

# 改进型异质栅对深亚微米栅长碳化硅 MESFET 特性影响\*

宋坤<sup>†</sup> 柴常春 杨银堂 贾护军 陈斌 马振洋

(西安电子科技大学微电子学院, 教育部宽禁带半导体材料与器件重点实验室, 西安 710071)

(2012年1月6日收到; 2012年2月29日收到修改稿)

基于器件物理分析方法, 结合高场迁移率、肖特基栅势垒降低、势垒隧穿等物理模型, 分析了改进型异质栅结构对深亚微米栅长碳化硅肖特基栅场效应晶体管沟道电势、夹断电压以及栅下电场分布的影响. 通过与传统栅结构器件特性的对比表明, 异质栅结构在碳化硅肖特基栅场效应晶体管的沟道电势中引入了多阶梯分布, 加强了近源端电场; 另一方面, 相比于双栅器件, 改进型异质栅器件沟道最大电势的位置远离源端, 因此载流子在沟道中加速更快, 在一定程度上屏蔽了漏压引起的电势变化, 更好抑制了短沟道效应. 此外, 研究了不同结构参数的异质栅对短沟道器件特性的影响, 获得了优化的设计方案, 减小了器件的亚阈值倾斜因子. 为发挥碳化硅器件在大功率应用中的优势, 设计了非对称异质栅结构, 改善了栅电极边缘的电场分布, 提高了小栅长器件的耐压.

**关键词:** 碳化硅, 肖特基栅场效应晶体管, 异质栅, 短沟道效应

**PACS:** 72.10.-d, 72.20.Ht, 73.43.Cd

## 1 引言

碳化硅 (SiC) 材料具有宽禁带 (3.26 eV)、高电子饱和漂移速率 ( $2 \times 10^7$  cm/s)、高临界击穿场强 ( $3 \times 10^6$  V/cm)、高热导率 (3.5 W/cm·K) 等优良特性, 被誉为是继硅、砷化镓之后作为主流应用的第三代半导体材料之一<sup>[1]</sup>. 随着无线通信技术的飞速发展, 对高频、高增益、大功率应用的需求日益迫切, 基于 SiC 材料的肖特基栅场效应晶体管 (MESFET) 逐渐成为微波功率器件领域的研究热点, 相关理论研究亦随之深入<sup>[2-8]</sup>. 随着超大规模集成电路技术的发展, 传统硅器件的尺寸已经进入纳米时代, 与此同时, 为了不断满足高频段应用的需求, SiC MESFET 的栅长从微米级向亚微米以及深亚微米级不断缩小. 近年来, 国内外先后报道了栅长为 1  $\mu\text{m}$ , 0.6  $\mu\text{m}$ , 0.5  $\mu\text{m}$  和 0.4  $\mu\text{m}$  的高性能 SiC MESFET 研制成果<sup>[9-12]</sup>.

硅器件的特征尺寸缩至与耗尽层厚度同一量级时, 横向电场的作用愈发显著, 导致器件线性区阈值电压下降、漏至势垒降低 (DIBL) 等短沟道效应, 对于高频、大功率应用的 SiC MESFET 该负面效应更为明显<sup>[13]</sup>. 因此, 为实现短沟器件在微波频段的应用, 需要在器件结构上加以改进, 以降低二级物理效应的影响. 在传统硅器件发展过程中, 研究人员提出了轻掺杂漏 (LDD) 的 MOSFET 结构来减小漏端强电场对器件的影响<sup>[14]</sup>, 在一定程度上抑制了 DIBL 效应, 并且减小了阈值电压的漂移. 然而, 由于 SiC 材料的化学稳定性且常用掺杂原子在 SiC 中的能级较深, 目前主流 SiC MESFET 器件均是通过对外延片进行自上而下的加工获得, 各外延层的导电类型与杂质浓度在外延生长时通过原位掺杂已经确定, 难以通过后续的注入工艺实现浅结深的局域掺杂. 绝缘衬底上硅 (SOI) 技术以其独特的材料结构有效地克服了体硅材料的不足, 削弱了短沟道效应所带来的不利影响. 然而, 由

\* 国家杰出青年基金 (批准号: 60725415) 和国家部委预研项目 (批准号: 51308030201) 资助的课题.

<sup>†</sup> E-mail: sk88205853@sina.com

于碳化硅材料与介质材料之间存在的高密度界面态,引起体材料迁移率严重衰退,对器件微波特性有较大负面影响<sup>[15-17]</sup>.因此相比于SOI结构,针对绝缘物上碳化硅结构(SiCOI)的研究较少.双栅结构(dual-material-gate)场效应晶体管的提出,抑制了短沟道带来的负面效应<sup>[18]</sup>,并有相关报道将该结构应用于硅基SOI MEFET,建立了二维的电势和阈值电压模型<sup>[19]</sup>.

本文基于上述考虑,针对同质外延生长的SiC MEFET器件,提出了改进型的异质栅结构,分析了其相比于传统器件与双栅器件的优点,并且结合实际工艺条件下的测试结果设计了不同的异质栅结构,研究了其对深亚微米栅长SiC MEFET特性的影响,以期对相关领域器件设计与研制提供参考.

## 2 器件结构与物理模型

### 2.1 器件结构

图1为异质栅结构HMG(hetero-material-gate)的SiC MEFET示意图,器件通过在半绝缘衬底上同质外延依次生长缓冲层、沟道层、帽层.与传统结构MEFET相比,其特点在于栅电极由不同的金属材料构成,可通过金属功函数调整工艺和金属互扩散工艺加以实现<sup>[20]</sup>.由于不同金属材料与沟道层形成的肖特基结具有不同的势垒高度,通过在靠近源极的栅电极中采用功函数较高的金属,与沟道层的碳化硅材料形成较高的肖特基势垒,进而使得沟道电势的最小值靠近源端.本文结合微电子工艺35 nm的“特征尺寸极限”针对栅长0.2 μm的SiC MEFET设计了四重材料的异质栅结构.

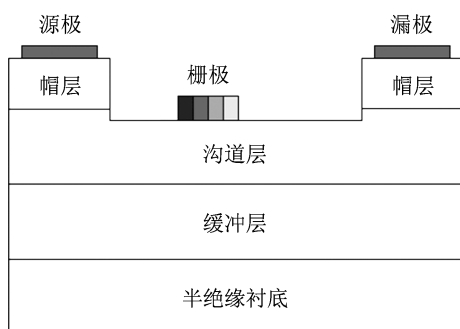


图1 异质栅结构的SiC MEFET示意图

本文仿真研究所采用的器件结构的具体参数

在表1中详细列出.

表1 器件结构参数

器件参数	异质栅结构
栅长/μm	0.2
栅源间距/μm	0.5
栅漏间距/μm	1.5
帽层厚度/μm	0.3
帽层掺杂浓度/cm <sup>-3</sup>	1×10 <sup>19</sup>
沟道层厚度/μm	0.24
沟道层掺杂浓度/cm <sup>-3</sup>	3.1×10 <sup>17</sup>
缓冲层厚度/μm	1
缓冲层掺杂浓度/cm <sup>-3</sup>	4×10 <sup>15</sup>

### 2.2 物理模型

低场迁移率采用场效应器件仿真中常用的经验模型<sup>[21]</sup>

$$\mu_0 = \mu_{\min} + \frac{\mu_{\max} - \mu_{\min}}{1 + \left(\frac{N_D^+}{N_{\text{ref}}}\right)^\alpha}, \quad (1)$$

其中 $N_D^+$ 为电离施主浓度, $\mu_{\max}$ , $\mu_{\min}$ , $N_{\text{ref}}$ , $\alpha$ 为拟合参数,分别取950 cm<sup>2</sup>/Vs, 40 cm<sup>2</sup>/Vs, 2×10<sup>17</sup> cm<sup>-3</sup>, 0.76.

为了准确描述迁移率与电场强度的依赖关系 $\mu(E) = v(E)/E$ ,载流子漂移速率采用适合表征宽禁带半导体材料特性的多参数模型<sup>[2]</sup>:

$$v(E) = \frac{\mu_1 E + \mu_0 E \left(\frac{E}{E_0}\right)^\theta + V_{\text{sat}} \left(\frac{E}{E_1}\right)^\eta}{1 + \left(\frac{E}{E_0}\right)^\theta + \left(\frac{E}{E_1}\right)^\eta}, \quad (2)$$

其中 $\mu_1$ , $E_0$ , $E_1$ , $\theta$ 和 $\eta$ 分别为漂移速率峰值、电场强度峰值以及速度饱和和深度的影响因子,具体参数与文献[2]中描述的一致.

为了研究栅压对器件特性的控制作用,考虑了肖特基势垒降低效应.势垒降低使用以下公式进行表述:

$$\Delta\Phi_B(E) = a_1 \left[ \left(\frac{E}{E_0}\right)^{p_1} - \left(\frac{E_{\text{eq}}}{E_0}\right)^{p_1} \right] + a_2 \left[ \left(\frac{E}{E_0}\right)^{p_2} - \left(\frac{E_{\text{eq}}}{E_0}\right)^{p_2} \right], \quad (3)$$

其中 $E$ 为电场强度, $E_{\text{eq}}$ 为热平衡态的场强, $E_0$ , $a_1$ , $p_1$ , $a_2$ , $p_2$ 为拟合参数,分别取1 V·cm<sup>-1</sup>, 2.6×10<sup>-4</sup> eV, 0.5, 0 eV, 1.对n型材料的肖特基接触,最终的势垒高度为 $\Phi_B - \Delta\Phi_B(E)$ .

此外,实际肖特基结的隧穿模型对 MESFET 器件的仿真精度尤为重要,穿过势垒的隧穿电流密度可表述为 [22]

$$J_{st}(\varepsilon) = A^*T^2 \int_{\varepsilon}^{\infty} \Gamma_{WKB}(r(\varepsilon')) \times \ln \left( 1 + \exp \left( \frac{\varepsilon_F - \varepsilon'}{k_B T} \right) \right) d\varepsilon', \quad (4)$$

其中  $e$  为位于  $r$  处的电子的能量,  $A^*$  为自由电子的有效理查森常数,  $T$  为载流子的温度,  $\Gamma_{WKB}$  为基于 WKB 近似的隧穿概率,可表示为

$$\Gamma_{WKB} = \exp \left( -\frac{2}{h} \int_0^r [2m_t(\varphi - \varphi(r') + \frac{\chi - \chi(r')}{q})]^{1/2} dr' \right), \quad (5)$$

其中  $\varphi$  为静电势,  $\chi$  为材料中电子的亲势,  $m_t$  为电子的隧穿质量. 对于 SiC 材料,  $\chi$  和  $m_t$  分别取 3.1 eV 和 0.92.

### 3 结果与讨论

本文使用 ISE TCAD<sup>[23]</sup> 软件对器件的特性进行了模拟,通过对软件中内嵌模型进行修正实现了与 2.2 节中所述物理模型的整合,以获得更加精确的仿真结果. 图 2 为与 2.1 节中介绍的器件结构具有相同外延层厚度和掺杂浓度的传统栅结构器件转移特性模拟结果,其中器件的栅长  $L_g$  由 1.5  $\mu\text{m}$  减小至 0.3  $\mu\text{m}$ . 可以看到,夹断电压  $V_p$  (pinch-off voltage) 的绝对值随栅长的减小越来越大,随着  $L_g$  与沟道厚度比值的减小,器件越来越难以夹断,且夹断电压变化愈加明显,逐渐呈现出短沟道效应.

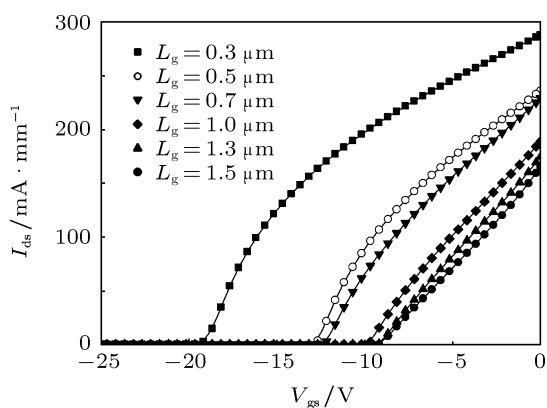


图 2 不同栅长器件的转移特性图

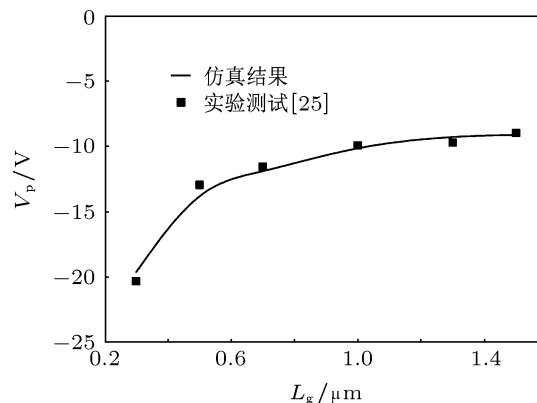


图 3 模拟得到的不同栅长器件的夹断电压与实验结果对比

图 3 为根据仿真得到的具有不同  $L_g$  的器件的  $V_p$  与实验测试结果 [24] 的对比,可见本文仿真结果与实验测试结果在趋势上一致,且符合较好,表明了模型与参数的正确性,也为本文进一步的研究工作提供了支持.

图 4 为具有不同  $L_g$  的器件在栅源电压  $V_{gs} = 0 \text{ V}$  时的直流输出曲线,其中  $L_g = 0.5 \mu\text{m}$  的特性与文献 [24] 的测试结果一致. 由于 SiC 材料具有比 Si 更宽的禁带, SiC 场效应器件可以在外加数十伏的电压下正常工作,而 Si 器件已失效;另一方面, SiC 的电子饱和漂移速率约为 Si 的两倍,因此,电子在较高电场下可以得到充分的加速,使器件具有更大的电流密度. 由图 4 还可以看到,随着栅长的减小,在对应于大栅长器件的饱和区内,小栅长器件的漏源电流  $I_{ds}$  依旧受漏源电压  $V_{ds}$  的影响较大,  $I_{ds}$  随  $V_{ds}$  呈线性增大关系.

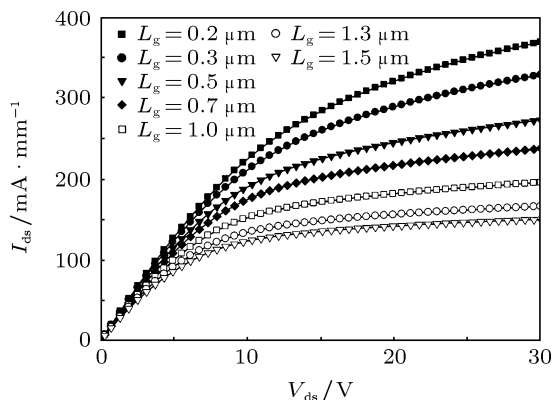


图 4 不同栅长器件的  $I$ - $V$  特性

为进一步表征这种影响,研究了不同栅长的 SiC MESFET 的夹断电压与漏压的变化关系,如图 5 所示. 由图 5 可知,随着栅长的减小,夹断电压受漏电压的影响逐渐增大,当栅长减小到 0.5  $\mu\text{m}$

以下时, DIBL 效应逐渐明显, 这是因为当  $L_g$  降至与沟道厚度可比拟的大小时, 沟道中电势不再是长沟器件中近似的一维分布, 横向电场的作用逐渐显著, 栅压对沟道的控制能力减弱, 器件沟道电势主要受  $V_{ds}$  影响. 因此, 要使得深亚微米 SiC MESFET 夹断, 需要更大的负栅压.

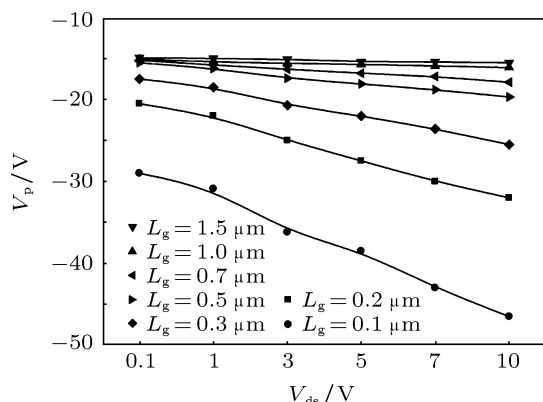


图5 不同栅长器件夹断电压  $V_P$  随漏压  $V_{ds}$  的变化趋势

SiC MESFET 的 DIBL 效应可由沟道电势  $\varphi$  随横向相对位置  $x/L_g$  的变化情况进行描述. 图 6 为不同栅长器件的沟道表面电势分布, 可以看到, 当栅长较大时, 在沟道长度的较宽范围内, 沟道电势都保持一恒定值, 器件表面电势的最小值出现在栅电极下面靠近源端的位置. 随着栅长的减小, 原先较为陡直的凹槽分布发生改变, 凹槽逐渐变为抛物线状, 此时, 表面电势的最低值出现在栅电极下中间位置, 而不是靠近源端处. 而当  $L_g < 0.5 \mu\text{m}$  时,  $\varphi$  升高, 且沟道越短这种变化越明显, 这主要是因为当栅长较大时 ( $L_g > 0.7 \mu\text{m}$ ), 沟道长度远大于沟

道厚度, 此时器件沟道中的电场分布可近似为一维分布, 而当  $L_g$  变化至小于  $0.5 \mu\text{m}$  时, 沟道长度和厚度可相比拟, 此时器件内的二维电场分布对沟道势垒的影响变大, 导致  $\varphi$  升高, 且表面电势最小值的位置逐渐远离源端, 呈现出短沟道效应.

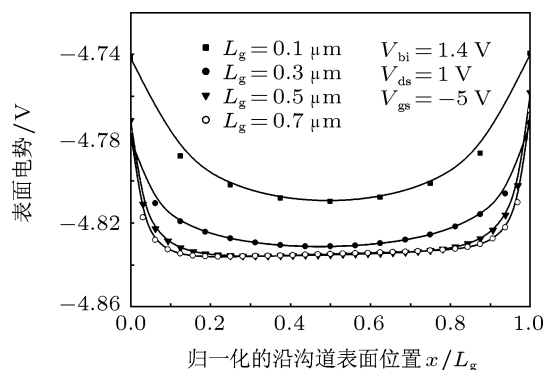


图6 不同栅长器件表面电势分布

为降低栅长减小导致的负面效应, 改善小尺寸器件的特性, 本文结合实际工艺条件提出了三重材料的异质栅结构 TMG (triple-material-gate) 以及四重材料的异质栅结构 QMG (quadri-material-gate) 器件, 并与传统的单栅结构 SMG (single-material-gate) 和双栅结构 DMG (dual-material-gate) 器件特性进行了对比研究. 所采用功函数较高的金属靠近源端, 与沟道形成较高的势垒, 具体形成的势垒大小如表 2 中所示. SiC 材料具有比 Si 更低的电子亲和势 (约为 3.1 eV, Si 约为 4.05 eV), 其与金属形成肖特基接触的势垒比 Si 材料与金属接触的肖特基势垒更高, 因此, 将异质栅结构应用于 SiC MESFET 中, 能进一步增大栅下电势梯度.

表2 四种不同栅结构的肖特基势垒 [25-28]

不同栅结构的内建电势	$V_{bi}/\text{eV}$	$V_{bi1}/\text{eV}$	$V_{bi2}/\text{eV}$	$V_{bi3}/\text{eV}$	$V_{bi4}/\text{eV}$
SMG	1.4	—	—	—	—
DMG	—	1.8	1.2	—	—
TMG	—	1.8	1.4	1.2	—
QMG	—	1.8	1.6	1.4	1.2

图 7 显示了引入异质栅结构的器件与传统栅结构器件沟道表面电势分布, 传统栅结构小尺寸器件由于短沟道效应, 沟道表面电势的最小值  $\varphi_{\min}$  出现在接近沟道中间位置, 远离源端. 异质栅结构

将功函数较高的金属布置在靠近源极, 功函数较低的金属布置在靠近漏极, 因此, 栅电极与沟道形成的肖特基势垒自源端向漏端由高向低变化, 将表面电势最小值改变至靠近源端处. 采用四重材料的异

质栅结构使得器件表面电势最小值出现在距源端最近的位置, 且与双栅结构和三重栅材料的异质栅结构相比, 四重材料的异质栅结构的器件的最大电势出现在距离源端最远的位置, 对比于文献 [19] 中通过设计双栅结构的尺寸将  $\varphi_{\min}$  改变至靠近源端的方法, 本文提出的改进结构还能将沟道电势最大值  $\varphi_{\max}$  的位置改变至靠近漏端, 减弱了漏压对沟道电势的影响, 更好地抑制了短沟道效应. 此外, 对于栅长一定的情况下 (如  $L_g = 0.2 \mu\text{m}$ ), 本文结构器件的  $\varphi_{\min}$  与  $\varphi_{\max}$  之间电势分布具有最大的分布区间, 故载流子能得到充分的加速, 提高了场效应器件的载流子运输效率.

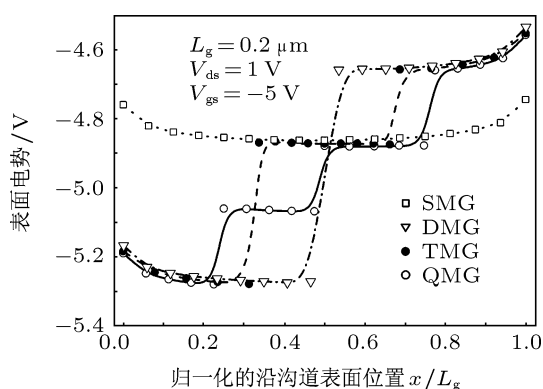


图7 异质栅与传统栅结构器件沟道表面电势分布

图 8 为传统栅结构器件与改进的异质栅结构器件的沟道底部电势分布对比. 有研究 [11] 表明, 陷阱对 SiC MESFET 的特性有较大负面影响, 为抑制该负面效应, 常规的 SiC MESFET 结构在沟道下方存在一层与沟道导电类型相反的缓冲层以隔离衬底中的陷阱, 而缓冲层与沟道层之间形成了额外的 p-n 结耗尽层, 因此, SiC MESFET 沟道电势的分布情况与文献 [19] 中模拟的硅基 SOI MESFET 的电势分布有所不同. 图 8 所示的底部电势分布并无图 7 所示表面电势分布中明显的台阶, 但是整体仍呈现向源端靠拢的非对称趋势. 由图 8 还可以看到, 随着栅结构的改进,  $\varphi_{\min}$  逐渐降低, 且其位置随相对位置  $x/L_g$  变化而变化, 由传统栅结构的沟道中间位置逐渐向源端变化. 对于  $L_g = 0.2 \mu\text{m}$  的深亚微米器件, 由于沟道内的二维电场分布对沟道势垒的影响较长沟器件较大, 应用异质栅结构对器件的亚阈特性将有很大改进, 这对于微波功率应用的 SiC MESFET 尤为重要.

在亚阈值区, MESFET 的亚阈电流  $I_{\text{dsub}}$  随着  $V_{\text{gs}}$  的增大而指数式增加, 亚阈斜率  $S$  表征

了  $V_{\text{gs}}$  对  $I_{\text{dsub}}$  影响程度,  $S$  定义为

$$S = \frac{\partial V_{\text{gs}}}{\partial (\lg I_{\text{dsub}})}, \quad (6)$$

表示  $I_{\text{dsub}}$  减小到 1/10 所需要的  $V_{\text{gs}}$ ,  $S$  值越小, 器件在导通态和截止态之间的转换速度越快, 因此  $S$  值的大小反映了小栅长 SiC MESFET 在亚阈区的开关特性. 图 9 给出了不同栅结构的小栅长 SiC MESFET 的亚阈斜率随栅长的变化曲线. 可以看到, 随着栅结构的改进, 器件具有改善的亚阈摆幅.  $S$  越小,  $I_{\text{dsub}}$  随栅压变化越快, 对短沟道效应的抑制越显著. 目前以  $S$  波段 (2—4 GHz) 功放为主要应用的 SiC MESFET, 其对输入信号的响应速率尤为重要, 对于深亚微米栅长的 SiC MESFET 器件, QMG 结构比传统 SMG 结构的  $S$  降低了约 16%, 改进非常明显, 有助于提升器件在较高频率工作时的特性.

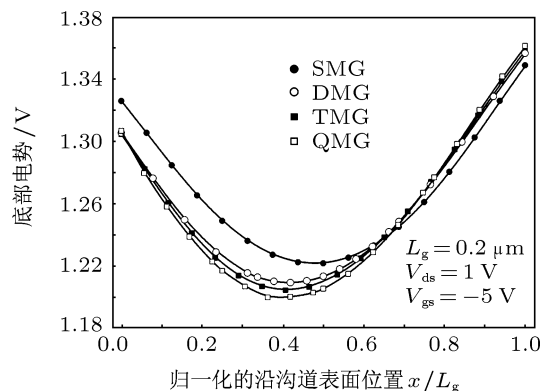


图8 异质栅器件与传统器件的底部电势分布

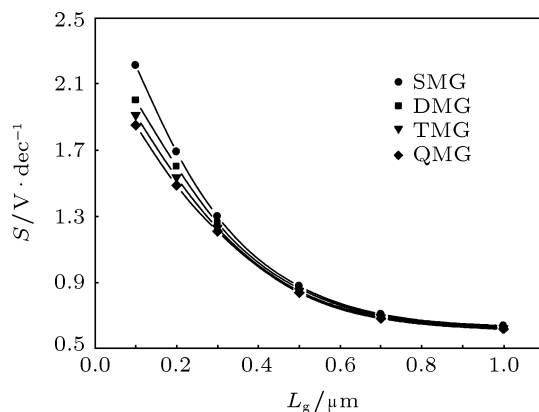


图9 不同栅结构器件的亚阈斜率  $S$  随栅长的变化

为进一步分析栅结构改进对短沟道器件特性改善的影响, 设计了非对称的 QMG 异质栅结构并模拟了不同栅长器件的夹断电压, 如图 10 所示. 目的是通过设计不同栅材料长度占总栅长的比例使

得栅下沟道电势分布发生进一步改变. 由图 10 可以看出, 当栅长比为 1:1:1:3 时, 器件夹断电压随栅长的变化最小, 短沟道效应得到了更好抑制. 这是因为当靠近源端具有最大功函数的金属长度较小时, 沟道最小电势距离源端最近, 此时沟道电势受漏电压的影响得到了削弱. 而当栅长比为 3:1:1:1 时, 沟道最小电势距离源端较远, 此时器件的短沟道效应比对称的异质栅器件更为严重.

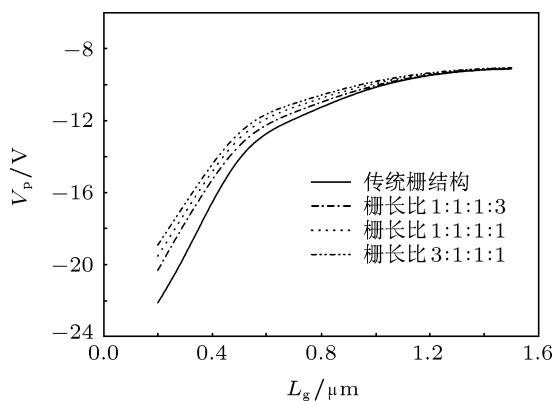


图 10 不同栅结构器件的亚阈值斜率  $S$  随栅长的变化

为满足 SiC MESFET 大功率应用需要, 本文还研究了改进后的结构对器件耐压的改善. 图 11 给出了传统栅器件与改进的异质栅器件的沟道表面电场分布情况对比. 由于改进的异质栅电极由四种不同金属材料构成, 且从靠近源端向靠近漏端采用的金属的功函数是逐渐减小的, 其与碳化硅沟道表面形成的肖特基势垒亦不同. 在栅下沟道表面不同金属材料界面处的势垒突变产生了电场峰值, 如图 11 所示. 从场调制的角度来看, 由于单栅器件的栅下电场分布是连续的, 在外加电压不变的情况下, 在原先的连续的电场分布中引入新的极大值后, 原先电场分布中的极大值将有所减小, 改进型异质栅引入的 3 个新电场峰值有效降低了栅电极靠漏极边缘的强电场峰, 因此, 本文提出结构的器件栅极边缘电场峰值较传统结构器件有所降低, 器件具有更大耐压, 从而在理论上具有更大的功率密度.

为进一步优化器件结构, 模拟了非对称异质栅器件在大漏压条件下发生击穿时的表面电场分布, 目的是通过设计不同栅材料长度占总栅长的比例使栅下沟道表面的电场分布发生进一步改变. 由图 12 可见, 各栅材料长度均相等的对称异质栅器件的栅极边缘电场峰值强度最高, 而当靠近漏端的具有最低功函数的金属栅长占总栅长的比例较大

时, 栅极边缘的电场强度有一定降低, 这是由于此时在靠近源端的 3 个新电场峰值位置较为接近, 该区域电场总体分布较为密集, 整体作用增强, 从而使得较远处栅极边缘的电场峰值有所降低. 当靠近源端的具有最高功函数的金属栅长占总栅长比例较大时, 电场强度较之前更进一步降低, 这是因为此时引入的新电场峰都靠近在漏端处, 而漏电极在 SiC MESFET 实际工作中作为输出端与外接电源相连, 漏端场强比源端高很多, 因此新电场峰值的整体作用比在靠近源端时更强, 进一步降低了栅极边缘的强电场峰值, 即提高了器件的工作耐压, 也同时提高了器件的可靠性.

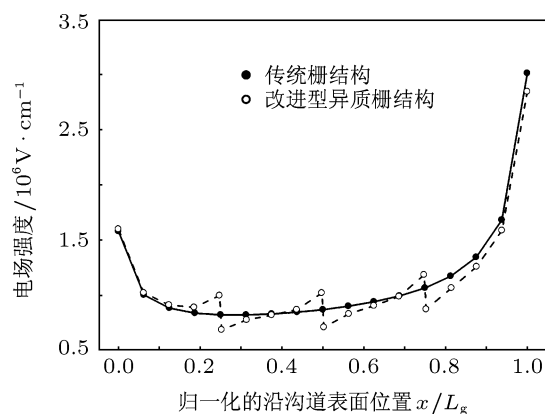


图 11 改进型异质栅器件与传统器件沟道表面电场分布

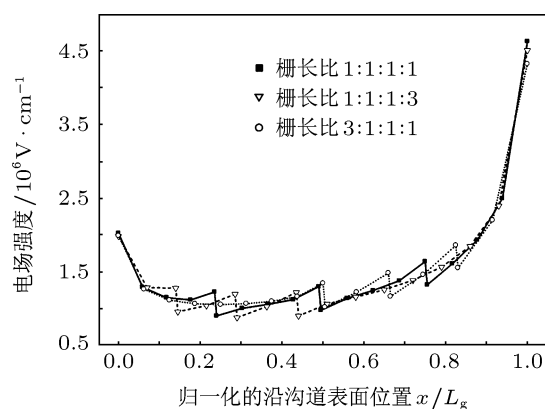


图 12 不同异质栅结构器件沟道表面电场

## 4 结论

结合微电子工艺水平提出了改进的异质栅结构, 改善了深亚微米碳化硅肖特基场效应晶体管的特性. 相比于双栅结构, 改进型异质栅结构在将沟道最小电势引入靠近源端的同时将沟道最大电势

改变至靠近漏端处,进一步降低了沟道电势受漏压影响的程度,更好地抑制了器件的短沟道效应;另一方面,异质栅结构通过在栅下引入多个小的电场峰值,从而降低了原先栅极靠漏端的强电场峰值,

提高器件的耐压.此外,设计了非对称的异质栅结构,并对结构参数与器件特性的关系进行了研究,为小尺寸器件设计提供了一定参考.

- 
- [1] Clarke R C, Palmour J W 2002 *Proc. IEEE*. **90** 987
- [2] Lü H L, Zhang Y M, Zhang Y M 2004 *IEEE Trans. Electr. Dev.* **51** 1065
- [3] Lü H L, Zhang Y M, Zhang Y M, Che Y, Cao Q J, Zheng S J 2008 *Appl. Phys. A* **91** 287
- [4] Lü H L, Zhang Y M, Zhang Y M, Che Y 2008 *Chin. Phys. B* **17** 1410
- [5] Cao Q J, Zhang Y M, Zhang Y M 2008 *Chin. Phys. B* **17** 4622
- [6] Lü H L, Zhang Y M, Che Y, Wang Y H, Chen L 2008 *Acta Phys. Sin.* **57** 2871 (in Chinese) [吕红亮, 张义门, 车勇, 王悦湖, 陈亮 2008 物理学报 **57** 2871]
- [7] Lü H L, Zhang Y M, Zhang Y M, Zhang T 2009 *Sol. St. Electr.* **53** 285
- [8] Deng X C, Zhang B, Zhang Y R, Wang Y, Li Z J 2011 *Chin. Phys. B* **20** 017304-1
- [9] Zhu C L, Rusli, Zhao P 2007 *Sol. St. Electr.* **51** 343
- [10] Chen G, Qin Y F, Bai S, Wu P, Li Z Y, Chen Z, Han P 2010 *Sol. St. Electr.* **54** 353
- [11] Henry H G, Augustine G, DeSalvo G C 2004 *IEEE Trans. Electr. Dev.* **51** 839
- [12] Hjelmgren H, Allerstam F, Andersson K, Nilsson P Å, Rorsman N 2010 *IEEE Trans. Electr. Dev.* **57** 729
- [13] Cao Q J, Zhang Y M, Jia L X 2009 *Chin. Phys. B* **18** 4456
- [14] Ogura S, Tsang P J, Walker W W 1980 *IEEE Trans. Electr. Dev.* **27** 1359
- [15] Binari S C, Klein P B, Kazior T E 2002 *Proc. IEEE*. **90** 1048
- [16] Hilton K P, Uren M J, Hayes D G 2002 *Mater. Sci. Forum.* **389-393** 1387
- [17] Mitra S, Rao M V, Jones A K 2004 *Sol. St. Electr.* **48** 143
- [18] Long W, Qu H, Kuo J M, Chin K K 1999 *IEEE Trans. Electr. Dev.* **46** 865
- [19] Hashemi P, Behnam A, Fathi E, Afzali-Kusha A, Nokali M E 2005 *Sol. St. Electr.* **49** 1341
- [20] Wakabayashi H, Saito Y, Takeuchi K, Mogami T, Kunio T 2001 *IEEE Trans. Electr. Dev.* **48** 2363
- [21] Roschke M, Schwierz F 2001 *IEEE Trans. Electr. Dev.* **48** 1442
- [22] Grivickas P, Galeckas A, Linnros J, Syvajarvi M, Yakimova R, Grivickas V, Tellefsen J A 2001 *Mater. Sci. in Semiconductor Processing.* **4** 191
- [23] DESSIS-ISE Manual Ver. 10.0, ISE
- [24] Manabu A, Hirotake H, Shuichi O, Hiroshi S, Makoto O 2003 *Electronics and Communications in Japan Part 2.* **86** 386
- [25] Itoh A, Matsunami H 1997 *Physica Status Solidi A-Applied Research.* **162** 389
- [26] Hatayama T, Kawahito H, Kijima H, Uraoka Y, Fuyuki T 2002 *Mater. Sci. Forum.* **389-393** 925
- [27] Roccaforte F, Via L, Raineri F, Musumeci V, Calcagno P, Condorelli L G G 2003 *Appl. Phys. A: Mat. Sci. & Proc.* **77** 827
- [28] Lee S K, Zetterling C M, Östling M 2000 *J. Appl. Phys.* **87** 8039

# Effects of the improved hetero-material-gate approach on sub-micron silicon carbide metal-semiconductor field-effect transistor\*

Song Kun<sup>†</sup> Chai Chang-Chun Yang Yin-Tang Jia Hu-Jun Chen Bin Ma Zhen-Yang

(Key Laboratory of Wide Band-Gap Semiconductor Materials and Devices of the Ministry of Education, School of Microelectronics, Xidian University, Xi'an 710071, China)

(Received 6 January 2012; revised manuscript received 29 February 2012)

## Abstract

Based on the device operation mechanism and physical model, effects of the improved hetero-material-gate (HMG) approach on deep sub-micron silicon carbide (SiC) metal-semiconductor field-effect transistor (MESFET) are analyzed. By comparing with the conventional MESFET, it is shown that the improved HMG approach induces a multi-stepped distribution of the potential in the channel, leading to an enhanced electric field at the source. Meanwhile, the position of the maximum of the channel potential is changed to the drain side compared with the dual-material-gate (DMG) device, thus the carriers in the channel are accelerated more efficiently and the variation of potential caused by drain voltage is eliminated to a certain degree, resulting in a better restraint in short-channel effect. Also, different technological parameters are designed to study the dependence of the device performance and an optimization plan is obtained, leading to a decreased sub-threshold swing. In addition, asymmetric gate structures are designed for high power application, achieving an improved distribution of the electric field at the gate edge and an enhanced breakdown voltage of the small scale device.

**Keywords:** silicon carbide, metal-semiconductor field-effect transistor, hetero-material-gate, short-channel effect

**PACS:** 72.10.-d, 72.20.Ht, 73.43.Cd

---

\* Project supported by the National Science Fund for Distinguished Young Scholars of China (Grant No. 60725415), and the Pre-research Foundation of China.(Grant No. 51308030201).

<sup>†</sup> E-mail: sk88205853@sina.com