

非晶硅薄膜晶体管沟道中阈值电压及温度的分布*

强蕾 姚若河[†]

(华南理工大学电子与信息学院, 广州 510640)

(2011年7月6日收到; 2011年12月16日收到修改稿)

基于氢化非晶硅薄膜晶体管(a-Si:H TFT)沟道中陷阱态的双指数分布, 区分了带尾陷阱态和深能级陷阱态的特征温度。利用源端、漏端串联电阻及沟道电阻, 将源端和漏端特征长度与有源层接触长度、 $\text{SiO}_2/\text{氢化非晶硅(a-Si:H)}$ 界面陷阱态及a-Si:H薄膜内陷阱态联系起来。由串联电阻上电流密度相等解出沟道势。通过泊松方程和高斯定理得出a-Si:H TFT沟道各点的阈值电压表达式, 结果表明沟道中某一点的阈值电压随着该点与源端距离的增大而减小。在此基础上, 研究了自加热效应引起沟道各点温度的变化, 结果显示a-Si:H TFT在自加热效应下, 从源端到漏端各点温度变化先增大后减小, 沟道中心的温度变化最大。

关键词: 非晶硅, 薄膜晶体管, 值电压, 温度效应

PACS: 73.61.-r, 71.23.An, 68.60.Dv

1 引言

氢化非晶硅(a-Si:H)与多晶硅相比, 迁移率小, 但其制造成本较低, 在大面积制备时均匀性较好^[1], 因此a-Si:H被广泛应用于有源矩阵液晶显示器^[2]、有源矩阵有机发光二极体面板(AMOLED)^[3]等器件中。a-Si:H薄膜中存在较多的缺陷态^[4], 大多数氢化非晶硅薄膜晶体管(a-Si:H TFT)的阈值电压模型只考虑沟道中陷阱态的双指数分布, 认为阈值电压随沟道位置变化分布一致^[5,6]。但在AMOLED驱动电路中, 薄膜晶体管(TFT)工作于饱和模式时, 过驱动应力在整个沟道分布是连续变化的, 且在源端最大, 漏端最小, 这样就导致了沿沟道方向上不同点的阈值电压不同^[7]。

Karim等^[8]假设a-Si:H TFT阈值电压漂移 ΔV_{th} 正比于应力下总栅电荷浓度, 研究了 ΔV_{th} 对漏源偏压 V_{ds} 的依赖性, 结果表明 ΔV_{th} 在 V_{ds} 等于零时取最大值, 而在a-Si:H TFT工作于饱和区时取最小值。正常a-Si:H TFT阈值电压模型均基于陷阱池(defect-pool)模型^[9], 都假设 ΔV_{th} 正比于沟道中陷阱态浓度^[10,11]。Shringarpure等^[10]给出

了工作于饱和模式的a-Si:H TFT在温度偏置应力下源端和漏端交换前后的I-V特性曲线, 认为沟道夹断点和源端之间的区域存在较多缺陷, 但夹断点与漏端之间的区域没有任何应力诱导缺陷。Wie等^[12]亦假设 ΔV_{th} 只发生在源端与夹断点之间的区域, 沟道中一点的阈值电压漂移正比于该点的过驱动应力, 即

$$V_{\text{ov}}(y) = V_{\text{gs}} - V_{\text{th}0} - V_{\text{ch}}(y), \quad (1)$$

其中, $V_{\text{ov}}(y)$ 为沟道不同点的过驱动应力, V_{gs} 为栅源电压, $V_{\text{th}0}$ 为初始阈值电压, $V_{\text{ch}}(y)$ 为沟道势, y 表示沟道方向上任意一点到源端距离。随后利用缓变沟道近似得出

$$V_{\text{th}}(y) = V_{\text{th}0} + \Delta V_{\text{th}}(1 - y/L_{\text{sat}})^{1/2}, \quad (2)$$

其中, $V_{\text{th}}(y)$ 为沟道不同点的阈值电压, L_{sat} 为a-Si:H TFT工作于饱和区时的沟道长度。通过给栅漏施加温度偏压应力, 得出沟道不同点的阈值电压分布曲线^[7]。此外, Wie^[13]利用沟道阈值电压分布, 取阈值电压平均值

$$V_{\text{th}} = \frac{2}{3}B(V_{\text{gs}} - V_{\text{th}0}) + C, \quad (3)$$

其中 B 和 C 为常数。文献[12,13]研究了a-Si:H

* 国家自然科学基金(批准号: 60776020)资助的课题。

† E-mail: phryao@scut.edu.cn

TFT 工作于饱和模式时的沟道调制效应和自加热效应.

文献 [14] 指出, 导致阈值电压漂移机制有以下两个: 一是栅绝缘层俘获电子; 二是有源层膜内陷阱态或有源层和栅绝缘层界面缺陷态的产生. 器件刚进入饱和区时, 阈值电压漂移 ΔV_{th} 依赖于栅源偏压 V_{gs} 和漏源偏压 V_{ds} , 当 TFT 进一步饱和时, V_{gs} 和 V_{ds} 对 ΔV_{th} 几乎没什么影响^[8], 假设 ΔV_{th} 正比于过驱动应力 V_{ov} 得出的 $V_{\text{th}}(y)$, 所得的阈值电压就存在较大偏差.

本文基于陷阱态的双指数分布, 区分了带尾陷阱态和深能级陷阱态的特征温度, 并且利用源端、漏端及沟道电阻, 将源端和漏端特征长度与有源层接触长度、 $\text{SiO}_2/\text{a-Si:H}$ 界面陷阱和 a-Si:H 膜内陷阱联系起来, 最后得出 a-Si:H TFT 沟道不同点阈值电压 $V_{\text{th}}(y)$ 的表达式. 在此基础上, 研究了自加热效应引起的沟道各点温度变化 ΔT , 并得出了 ΔT 的表达式. 这为导致 a-Si:H TFT 退化的相关效应 (如沟道调制效应) 等研究提供了理论基础.

2 模型

图 1 为 a-Si:H TFT 漏源电流分布示意图, 定义沿沟道方向为 y 方向, 垂直于沟道方向为 x 方向, 其中非晶硅薄膜层厚度为 t_{Si} , 沟道长度为 L , 源/漏金属与 a-Si:H 薄膜接触长度均为 L_0 , W 为沟道宽度.

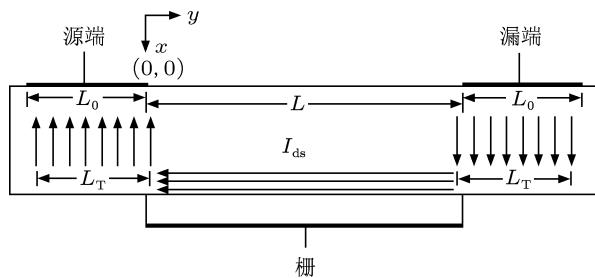


图 1 a-Si:H TFT 漏源电流分布示意图

设带尾态浓度

$$n_{\text{tail}} = g_1 \exp \left(\frac{q\varphi - qV_{\text{ch}}(y) - E_{\text{F0}}}{k_B T_1} \right), \quad (4)$$

深陷阱态浓度

$$n_{\text{deep}} = g_2 \exp \left(\frac{q\varphi - qV_{\text{ch}}(y) - E_{\text{F0}}}{k_B T_2} \right), \quad (5)$$

沟道自由载流子浓度

$$n = g_0 \exp \left(\frac{q\varphi - qV_{\text{ch}}(y) - E_{\text{F0}}}{k_B T_0} \right). \quad (6)$$

这里, E_{F0} 为体费米势, g_0 , g_1 和 g_2 分别为自由电子、带尾态和深陷阱态的态密度, T_1 和 T_2 分别为带尾态和深陷阱态的特征温度, T_0 为晶格温度, φ 为静电势, k_B 为玻尔兹曼常数.

设沟道电阻为 R_{ch} , 电阻率为 ρ_{ch} , 源端和漏端串联电阻分别为 R_s 和 R_d , 相应的电阻率分别为 ρ_s 和 ρ_d , a-Si:H TFT 的源端、漏端和沟道电阻的等效电路如图 2 所示.

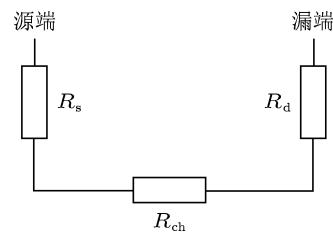


图 2 a-Si:H TFT 源端、漏端和沟道电阻的等效电路图

源端/漏端垂直方向电流密度

$$J_s = \frac{V_{\text{ch}}(y)}{R_s}. \quad (7)$$

设沟道电流密度为 J_{ch} , 由于源端下方垂直方向电流密度等于沟道方向电流密度, 则沟道电流分布

$$\begin{aligned} \frac{dI_{\text{ds}}(y)}{dy} &= -W J_{\text{ch}} \\ &= -W J_s \\ &= -W \frac{V_{\text{ch}}(y)}{R_s}, \end{aligned} \quad (8)$$

$$\frac{dV_{\text{ch}}(y)}{dy} = -I_{\text{ds}}(y) \frac{R_{\text{ch}}}{L}. \quad (9)$$

将 (9) 式两边对 y 求导, 并将 (8) 式代入后可得

$$\frac{d^2V_{\text{ch}}(y)}{dy^2} = \frac{WR_{\text{ch}}}{LR_s} V_{\text{ch}}(y), \quad (10)$$

同时有

$$\frac{dV_{\text{ch}}(y)}{dy} \Big|_{y=-L_0} = 0, \quad (11)$$

$$\frac{dV_{\text{ch}}(y)}{dy} \Big|_{y=0} = -\frac{I_{\text{ds}}(y)R_{\text{ch}}}{L}. \quad (12)$$

令

$$\alpha = \sqrt{\frac{LR_s}{WR_{\text{ch}}}}, \quad (13)$$

α 即为特征长度 L_T ^[15], 则

$$\frac{R_s}{R_{\text{ch}}} = \frac{W\alpha^2}{L}. \quad (14)$$

由(9)–(12)式可解得

$$V_{ch}(y) = I_{ds}(y) \frac{R_{ch}}{L} \alpha \frac{\cosh[(y + L_0)/\alpha]}{\sinh(-L_0/\alpha)}, \quad (15)$$

则

$$I_{ds}(R_{ch} + 2R_s) = V_{ds}, \quad (16)$$

其中,

$$R_s = \frac{\rho_s t_{Si}}{L_T W}, \quad (17)$$

$$R_{ch} = \frac{\rho_{ch} L}{t_{Si} W}. \quad (18)$$

联立(14), (16)式, 则 $y = 0$ 点的表面势

$$\varphi_s(0) = I_{ds} R_s = \frac{W \alpha^2}{L + 2W \alpha^2} V_{ds}. \quad (19)$$

将(16), (19)式代入(15)式可得

$$V_{ch}(y) = \frac{V_{ds} \alpha}{L + 2W \alpha^2} \frac{\cosh[(y + L_0)/\alpha]}{\sinh(-L_0/\alpha)}. \quad (20)$$

对 a-Si:H TFT 而言, a-Si:H 薄膜层很薄, 可假设沟道内沿 y 方向电场一致分布, 即

$$\frac{\partial \varphi_s(y)}{\partial y} = \frac{\partial V_{ch}(y)}{\partial y}, \quad (21)$$

那么

$$\varphi_s(y) = \frac{V_{ds} \alpha}{L + 2W \alpha^2} \frac{\cosh[(y + L_0)/\alpha]}{\sinh(-L_0/\alpha)} + C_0, \quad (22)$$

其中 C_0 为常数. 联立(19), (22)式可得表面势

$$\varphi_s(y) = \frac{V_{ds} \alpha}{L + 2W \alpha^2} \left\{ W \alpha + \coth \left(\frac{L_0}{\alpha} \right) - \frac{\cosh \left[\frac{y + L_0}{\alpha} \right]}{\sinh(L_0/\alpha)} \right\}, \quad (23)$$

则沟道不同点阈值电压

$$\begin{aligned} V_{th}(y) &= V_{fb} + \varphi_s(y) + \frac{q}{C_{ox}} n_t \\ &= V_{fb} + \frac{q}{C_{ox}} n_t + \frac{V_{ds} \alpha \left[W \alpha + \coth \left(\frac{L_0}{\alpha} \right) \right]}{L + 2W \alpha^2} \\ &\quad - \frac{\alpha V_{ds} \cosh \left[\frac{y + L_0}{\alpha} \right]}{(L + 2W \alpha^2) \sinh \left(\frac{L_0}{\alpha} \right)}. \end{aligned} \quad (24)$$

对(24)式进行泰勒展开, 取前两项可得

$$\begin{aligned} V_{th}(y) &= V_{fb} + \frac{q n_t}{C_{ox}} + \frac{V_{ds} \alpha}{L + 2W \alpha^2} \\ &\quad \times \left[W \alpha + \coth \left(\frac{L_0}{\alpha} \right) - \frac{1}{\sinh(L_0/\alpha)} \right] \\ &\quad - \frac{V_{ds} \alpha \left(\frac{L_0 + y}{\alpha} \right)^2}{2(L + 2W \alpha^2) \sinh(L_0/\alpha)}. \end{aligned} \quad (25)$$

进一步求解陷阱浓度 n_t . 对 $\text{SiO}_2/\text{a-Si:H}$ 界面使用高斯定理可得表面垂直方向电场,

$$E_{\perp s} = -\frac{C_{ox}}{\varepsilon_{Si}} (V_{gs} - V_{fb} - \varphi_s), \quad (26)$$

其中, C_{ox} 为栅氧化层电容, V_{fb} 为平带电压, ε_{Si} 为 a-Si:H 电介质常数.

假设沟道内垂直方向电场分布满足

$$\begin{aligned} E_{\perp} &= -\frac{d\varphi}{dx} = \eta E_{\perp s} \\ &= \eta \frac{C_{ox}}{\varepsilon_{Si}} (V_{gs} - V_{fb} - \varphi_s), \end{aligned} \quad (27)$$

则

$$n_t = \int_0^{\varphi_s} \frac{n_{tail} + n_{deep}}{d\varphi/dx} d\varphi = -\frac{\varepsilon_{Si} k \left\{ \frac{g_1 T_1 \left[\exp \left(\frac{q \varphi_s}{k_B T_1} \right) - 1 \right]}{\exp \left(\frac{q V_{ch} + E_{F0}}{k_B T_1} \right)} + \frac{g_2 T_2 \left[\exp \left(\frac{q \varphi_s}{k_B T_2} \right) - 1 \right]}{\exp \left(\frac{q V_{ch}(y) + E_{F0}}{k_B T_2} \right)} \right\}}{\eta C_{ox} (V_{gs} - V_{fb} - \varphi_s) q}. \quad (28)$$

自由载流子浓度

$$\begin{aligned} n &= \int_0^{\varphi_s} \frac{g_0}{d\varphi/dx} \exp \left(\frac{q \varphi_s - q V_{ch} - E_{F0}}{k_B T_0} \right) d\varphi \\ &= \frac{\varepsilon_{Si} k_B g_0 T_0}{\eta C_{ox} (V_{gs} - V_{fb} - \varphi_s) q} \exp \left(-\frac{q V_{ch} + E_{F0}}{k_B T_0} \right) \\ &\quad \times \left[\exp \left(\frac{q \varphi_s}{k_B T_0} \right) - 1 \right]. \end{aligned} \quad (29)$$

这里 η 为调节因子. 令

$$f_i = g_i \frac{k_B T_i}{q} \exp \left(-\frac{q V_{ch}(y) + E_{F0}}{k_B T_i} \right)$$

$$\times \left[\exp \left(\frac{q \varphi_s}{k_B T_i} \right) - 1 \right] \quad (i = 0, 1, 2),$$

则陷阱态载流子浓度

$$n_t = \frac{\varepsilon_{Si}}{\eta C_{ox} (V_{gs} - V_{fb} - \varphi_s)} (f_1 + f_2), \quad (30)$$

自由载流子浓度

$$n = \frac{\varepsilon_{Si}}{\eta C_{ox} (V_{gs} - V_{fb} - \varphi_s)} f_0. \quad (31)$$

对 $\text{SiO}_2/\text{a-Si:H}$ 界面使用高斯定理, 得

$$C_{ox} (V_{gs} - V_{fb} - \varphi_s) = q(n + n_t), \quad (32)$$

联立(30),(31),(32)式,就有

$$n_t = \sqrt{\frac{\varepsilon_{Si}(f_1 + f_2)^2}{\eta q(f_0 + f_1 + f_2)}}, \quad (33)$$

将(33)式代入(25)式可求出沟道阈值电压分布 $V_{th}(y)$

$$\begin{aligned} V_{th}(y) &= V_{fb} + \frac{q}{C_{ox}} \sqrt{\frac{\varepsilon_{Si}(f_1 + f_2)^2}{\eta q(f_0 + f_1 + f_2)}} \\ &\quad + \frac{V_{ds}\alpha}{L + 2W\alpha^2} \left[W\alpha + \coth\left(\frac{L_0}{\alpha}\right) - \frac{1}{\sinh(L_0/\alpha)} \right] \\ &\quad - \frac{V_{ds}\alpha \left(\frac{L_0 + y}{\alpha}\right)^2}{2(L + 2W\alpha^2) \sinh(L_0/\alpha)} \\ &= V_0 - V_1 \left(\frac{L_0 + y}{\alpha}\right)^2, \end{aligned} \quad (34)$$

其中,

$$\begin{aligned} V_0 &= V_{fb} + \frac{q}{C_{ox}} \sqrt{\frac{\varepsilon_{Si}(f_1 + f_2)^2}{\eta q(f_0 + f_1 + f_2)}} + \frac{V_{ds}\alpha}{L + 2W\alpha^2} \\ &\quad \times \left[W\alpha + \coth\left(\frac{L_0}{\alpha}\right) - \frac{1}{\sinh(L_0/\alpha)} \right], \end{aligned} \quad (35)$$

$$V_1 = \frac{V_{ds}\alpha}{2(L + 2W\alpha^2) \sinh(L_0/\alpha)}. \quad (36)$$

考虑自加热效应,文献[16]得出

$$\Delta T = \left(\frac{V_{gs} - V_{th}}{V_{gs} - V_{th0}}\right)^2 (V_{ds}I_{ds}R_{th}), \quad (37)$$

其中 R_{th} 为热阻。文献[17]给出了阈值电压随温度变化关系式,即

$$V_{th}(T) = V_{th0} + K_T \Delta T, \quad (38)$$

其中 K_T 为温度系数。将(38)式代入(37)式可得

$$\Delta T(y) = \left(1 - \frac{K_T \Delta T}{V_{gs} - V_{th0}}\right)^2 (V_{ds}I_{ds}R_{th}), \quad (39)$$

热阻 R_{th} 可表示为^[18]

$$R_{th} = \frac{1}{2W} \sqrt{\frac{t_{box}}{\lambda_{Si}\lambda_{ox}t_{Si}}}, \quad (40)$$

$$I_{ds} = \int_0^L W\mu C_{ox} (V_{gs} - V_{th} - V_{ch}) \frac{dV_{ch}}{dy} dy. \quad (41)$$

这里 λ_{Si} 和 λ_{ox} 分别为a-Si:H热导率和栅氧化层热导率, t_{box} 和 t_{Si} 分别为埋氧化层厚度和a-Si:H厚度。

将(39)式中的 V_{th0} 用(34)式代替,可得

$$\begin{aligned} y &= -L_0 + \alpha \\ &\quad \times \operatorname{arcosh} \left[\left(\frac{K_T \Delta T}{1 - \sqrt{\Delta T/A_1}} - V_2 \right) \frac{1}{2V_1} \right], \end{aligned} \quad (42)$$

其中,

$$\begin{aligned} A_1 &= V_{ds}I_{ds}R_{th}, \\ V_2 &= V_{gs} - V_0 - 2V_1. \end{aligned} \quad (43)$$

3 结果及分析

由(34)式计算得到的沟道阈值电压分布如图3所示。从图3可以看出,由(34)式得到的沟道阈值电压随沟道位置的变化规律与文献[7]的实验结果基本一致,即沟道中某一点的阈值电压随着该点与源端距离的增大而减小。

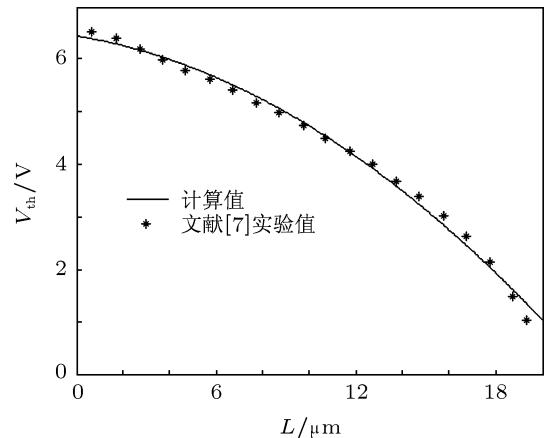


图3 a-Si:H TFT 阈值电压与沟道位置的关系

由(42)式计算所得的a-Si:H TFT由自加热效应引起的沟道各点温度变化如图4所示,其中a-Si:H TFT棚长为4 μm,源端、漏端接触长度均为25 μm^[17]。结果表明在自加热条件下,沿沟道方向从源端到漏端各点温度变化先增大后减小,沟道中心温度变化最大。这与文献[12]给出的沟道温度分布曲线的变化趋势一致。

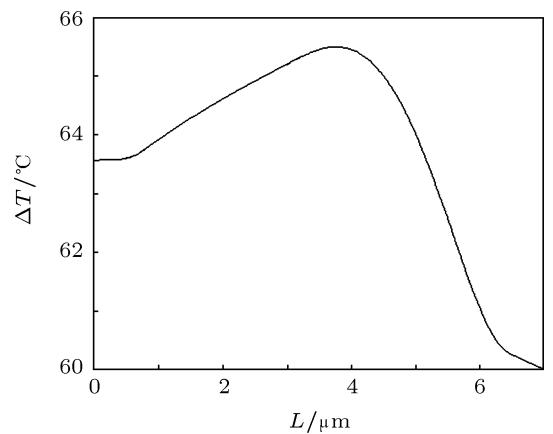


图4 a-Si:H TFT 自加热效应引起沟道不同位置的温度变化 ΔT

4 结 论

本文基于串联电阻上电流密度相等解出沟道势, 再通过源端、漏端以及沟道寄生电阻将 a-Si:H 膜内陷阱态和 SiO₂/a-Si:H 界面陷阱态联系起来, 得出沟道不同位置准费米势的表达式. 利用表达式计算得到了沟道内阈值电压的分布, 计算结果表明,

沟道内某一点的阈值电压随着该点与源端距离的增大而减小, 源端阈值电压最大, 漏端阈值电压最小. 此外, 还得出 a-Si:H TFT 在自加热效应退化下沟道各点温度变化 ΔT 的表达式. 计算结果显示, 从源端到漏端各点温度变化先增大后减小, 沟道中心温度变化最大. 这为导致 a-Si:H TFT 退化的相关效应(如沟道调制效应)等研究提供了理论基础.

-
- [1] He Y, Hattori R, Kanicki J 2000 *IEEE Electron Dev. Lett.* **21** 590
 - [2] Nathan A, Kumar A, Sakariya A, Servati P 2004 *IEEE J. Solid-State Circuits* **39** 1477
 - [3] Stryahilev D, Sazonov A, Nathan A 2002 *J. Vac. Sci. Technol. A* **20** 1087
 - [4] Zhu M F, Xu Z Y 1989 *Acta Phys. Sin.* **38** 1988 (in Chinese) [朱美芳, 许政一 1989 *物理学报* **38** 1988]
 - [5] Colalongo L 2001 *Solid-State Electron.* **45** 1525
 - [6] Liu Y, Yao R H, Li B, Deng W L 2008 *J. Dis. Technol.* **4** 180
 - [7] Wie C R, Tang Z, Park M S 2008 *J. Appl. Phys.* **104** 114509
 - [8] Karim K S, Nathan A, Hack M, Milne W I 2004 *IEEE Electron Dev. Lett.* **25** 188
 - [9] Powell M J, van Berkel C, Franklin A R, Deane S C, Milne W I 1992 *Phys. Rev. B* **45** 4160
 - [10] Shringarpure R, Venugopal S, Clark L T, Allee D R, Bawolek E 2008 *IEEE Electron Dev. Lett.* **29** 93
 - [11] Sambandan S, Ng T, Endicott F 2008 *J. Dis. Technol.* **4** 304
 - [12] Wie C R, Tang Z 2011 *IEEE International Reliability Physics Symposium* (Monterey: IEEE) pp347–353
 - [13] Wie C R 2010 *IEEE Trans. Electron Dev.* **57** 846
 - [14] Powell M J, van Berkel C, Hughes J R 1989 *J. Appl. Phys. Lett.* **54** 1323
 - [15] Busta H H, Pogemiller J E, Standley R W, Mackenzie K D 1989 *IEEE Trans. Electron Dev.* **36** 2883
 - [16] Kao S C, Zan H W, Huang J J, Kung B C 2010 *IEEE Trans. Electron Dev.* **57** 588
 - [17] Wang L, Fjeldly T A, Iniguez B, Slade H C, Shur M 2000 *IEEE Trans. Electron Dev.* **47** 387
 - [18] Karami M A, Afzali-Kusha A 2006 *International Conference on Microelectronics* (Dhahran: IEEE) pp5–8

Distributions of the threshold voltage and the temperature in the channel of amorphous silicon thin film transistors*

Qiang Lei Yao Ruo-He[†]

(School of Electronic and Information Engineering, South China University of Technology, Guangzhou 510640, China)

(Received 6 July 2011; revised manuscript received 16 December 2011)

Abstract

Based on the double exponential distributions of trap states in the channel of the hydrogenated amorphous silicon thin film transistor, characteristic temperatures of tail state and deep state are distinguished. Besides, series resistances are used to be associated with characteristic lengths of the source and the drain with trap states. By taking advantage of the Poisson equation and Gauss theorem, the expression of the threshold voltage distribution is obtained. The results show that with the increase of the distance between the point and the source, the threshold voltage decreases. Moreover, under the degradation of the self-heating effect, the distribution of the temperature in the channel is non-uniform and its variation in the channel center is the biggest.

Keywords: amorphous silicon, thin film transistor, threshold voltage, temperature effect

PACS: 73.61.-r, 71.23.An, 68.60.Dv

* Project supported by the National Natural Science Foundation of China (Grant No. 60776020).

† E-mail: phryao@scut.edu.cn