

高 k 介质电导增强 SOI LDMOS 机理与优化设计*

王骁玮 罗小蓉† 尹超 范远航 周坤 范叶 蔡金勇 罗尹春 张波 李肇基

(电子科技大学微电子与固体电子学院, 成都 610054)

(2013年7月15日收到; 2013年9月17日收到修改稿)

本文提出一种高 k 介质电导增强 SOI LDMOS 新结构 (HK CE SOI LDMOS), 并研究其机理. HK CE SOI LDMOS 的特征是在漂移区两侧引入高 k 介质, 反向阻断时, 高 k 介质对漂移区进行自适应辅助耗尽, 实现漂移区三维 RESURF 效应并调制电场, 因而提高器件耐压和漂移区浓度并降低导通电阻. 借助三维仿真研究耐压、比导通电阻与器件结构参数之间的关系. 结果表明, HK CE SOI LDMOS 与常规超结 SOI LDMOS 相比, 耐压提高 16%—18%, 同时比导通电阻降低 13%—20%, 且缓解了由衬底辅助耗尽效应带来的电荷非平衡问题.

关键词: 高 k 介质, 绝缘体上硅 (SOI), 击穿电压, 比导通电阻

PACS: 73.40.Ty, 73.90.+f, 73.61.Ng

DOI: 10.7498/aps.62.237301

1 引言

SOI (silicon-on-insulator) 器件具有高速、低功耗、高集成度及便于隔离等优点, SOI LDMOS (Lateral Double diffused Metal-Oxide-Semiconductor) 便于集成, 但随着器件耐压 V_B 升高, 其漂移区长度增加且漂移区浓度降低, 器件的导通电阻按 $R_{on} \propto V^{2.5}$ 的关系增加, 器件功耗随之迅速增大^[1-3]. 超结 (super-junction, SJ) 打破了常规功率器件中存在的“硅极限”^[4], 降低了器件导通电阻并保持高阻断电压. 超结 SOI LDMOS 兼具以上二者优势, 可大大提高器件性能. 然而, 横向超结器件特有的衬底辅助耗尽效应 (substrate assisted depletion, SAD) 加剧了超结器件固有的电荷非平衡问题, 与超结 VDMOS 相比, 超结 LDMOS 商业化进程缓慢^[5-10]. 为解决此问题, 学者们提出了一系列新结构, 例如完全刻蚀硅衬底结构, 蓝宝石做绝缘衬底结构, 虽然缓解了衬底辅助耗尽效应, 但工艺复杂, 成本较高, 且导通电阻随耐压升高迅速增大. 例如 Al_2O_3 衬底上的 SJ LDMOS, 当耐压从 170 V 提高到 520 V 时, 比导通电阻从 $87 \text{ m}\Omega\cdot\text{cm}^2$ 提高到 $820 \text{ m}\Omega\cdot\text{cm}^2$, 增大了近 10 倍^[8-10].

有学者提出在 VDMOS 中采用 OB (Oxide-bypassed) 结构来替代超结结构, 利用介质辅助耗尽漂移区, 取得了较好的耐压和导通电阻折衷, 简化了制造工艺^[11].

本文提出一种高 k 介质电导增强 SOI LDMOS 新结构 (HK CE SOI LDMOS). 该结构采用高 k 介质 n 柱区替代常规 SJ SOI LDMOS 中的 p 柱区/ n 柱区作为耐压层. 反向阻断时, 高 k 介质辅助耗尽漂移区, 增强 RESURF 效应并调制体内电场, 提高击穿电压 (breakdown voltage, V_B) 并降低比导通电阻 (specific-on-resistance, $R_{on,sp}$). 三维仿真结果表明, HK CE SOI LDMOS 与常规 SJ SOI LDMOS 相比, 不仅提高 V_B , 降低 $R_{on,sp}$, 还缓解了由衬底辅助耗尽效应带来的电荷非平衡问题.

2 器件结构与机理

图 1(a) 为 HK CE SOI LDMOS 结构示意图, 与图 1(b) 所示的 SJ SOI LDMOS 区别在于: 高 k 介质替代 n 型漂移区两侧的 p 柱区. 高 k 介质的相对介电系数用 k_{HK} 表示, 大于半导体硅的相对介电系数 k_{Si} ($k_{Si} = 11.9$), 用二氧化硅作介质时, 其相对介电系数用 k_{OX} 表示 ($k_{OX} = 3.9$). x , y 和 z 的方向已在

* 国家自然科学基金 (批准号: 61176069)、中国博士后科学基金 (批准号: 2012T50771) 和教育部新世纪优秀人才支持计划 (批准号: NCET-11-0062) 资助的课题.

† 通讯作者. E-mail: xrluo@uestc.edu.cn

图 1(a), (b) 中标出. 高 k 介质在 z 方向宽度为 W_{HK} , SJ SOI LDMOS 的 p 柱区在 z 方向宽度为 W_P . 漂移区浓度为 N_n , 漂移区 x 方向长度为 L_d , 漂移区 z 方向宽度为 W_N . 顶层硅厚度为 t_{soi} , 埋氧层厚度为 t_{ox} .

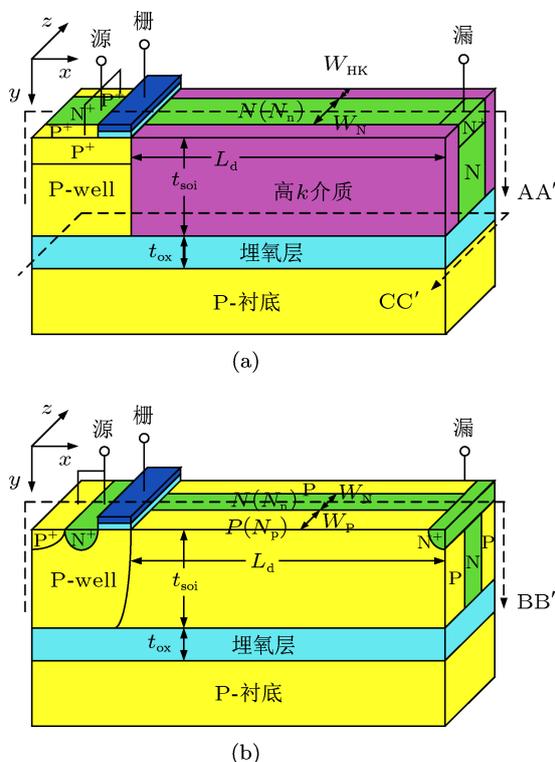


图 1 (a) HK CE SOI LDMOS 与 (b) SJ SOI LDMOS 三维结构图

HK CE SOI LDMOS 在反向阻断时, 漂移区电离施主发出的电力线穿过漂移区和高 k 介质终止于 P-well 区的电离受主, 因此可将漂移区和高 k 介质视做一块等效半导体 [12-14], 其等效相对介电系数定义为 k_{eff} . 对等效半导体, 有一维泊松方程

$$\frac{dE}{dx} = \frac{qN_n}{k_{eff}\epsilon_0}, \quad 0 < x < L_d, \quad (1)$$

其中, ϵ_0 为真空介电系数. 由于 $k_{HK} > k_{Si}$, 所以 $k_{HK} > k_{eff} > k_{Si}$, 对同样的电场斜率 $\frac{dE}{dx}$ (即在相同横向尺寸下具有相同的横向击穿电压 V_B), 漂移区的等效浓度 N_n 将大于常规硅结构的漂移区浓度, 使导通电阻下降.

图 2(a)–(c) 为 HK CE SOI LDMOS 与 SJ SOI LDMOS 正向导通时的三维电流线分布图 (隐藏 HK CE SOI LDMOS 漂移区两侧的介质, 或 SJ SOI LDMOS 漂移区两侧的 p 柱区), $V_{GS} = 15$ V, $V_{DS} = 0.5$ V. 图 2(a) $k_{HK} = 200$ 的 $V_B = 212$ V, 图 2(b) $k_{OX} = 3.9$ 的 $V_B = 165$ V, 图 2(c) SJ SOI LDMOS 的 $V_B = 179$ V. 比较各结构可知, $k_{HK} = 200$ 时的 HK

CE SOI LDMOS 与 $k_{OX} = 3.9$, SJ SOI LDMOS 相比, 不仅 V_B 高, 而且正向电流密度大, 导通电阻更小. 这是因为高 k 介质提高了 (1) 式中的 k_{eff} , 相同 (或更高) V_B 下的漂移区浓度得到了提高.

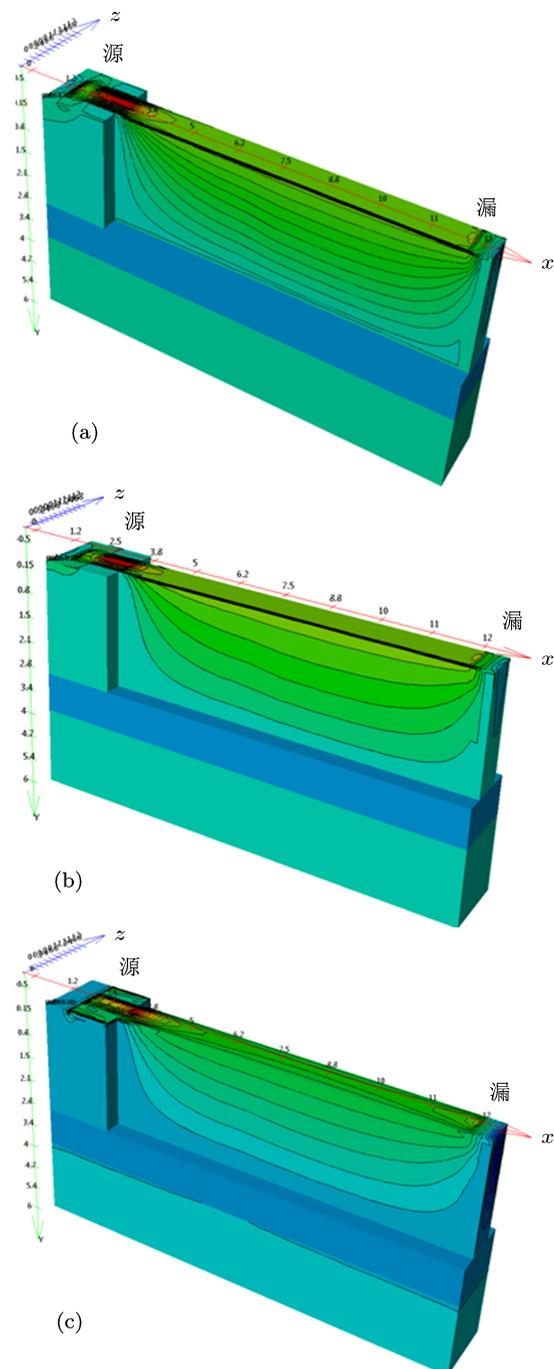


图 2 HK CE SOI LDMOS 与 SJ SOI LDMOS 正向导通电流线分布图 (1×10^{-6} A/根) (a) $k_{HK} = 200$; (b) $k_{OX} = 3.9$; (c) SJ SOI LDMOS

图 3(a)–(c) 示意反向阻断时 ($V_{DS} = 20$ V), 不同 k 值的介质对漂移区从源端到漏端的耗尽情况 (不同 k 值对应不同漂移区优化浓度 N_n), 图中选取图 1(a) 中的 CC' 剖面, $y = 0.1 \mu\text{m}$. P-well-漂

移区形成 MIS 电容结构, 其等效电容可近似表达为

$$C_{MIS} = \lambda \cdot k \cdot \epsilon_0 / d, \quad (2)$$

λ 为等效平板电容因子, $0 < \lambda < 1$, d 为 P-well 与漂移区的等效间距. d 一定, k 值越大, 电容越大 (例如 $C_{31} > C_{21} > C_{11}$), 电容存储电荷越多, 存储电荷来自于耗尽区的电荷, 所以随 k 值增大, 介质对漂移区的耗尽作用越明显, 比较图 3(a)—(c) 可知图 3(c) 的耗尽区在 x, z 方向均更宽. 同时, 如图 3(c) 所示, 高 k 介质对漂移区耗尽作用从源端到漏端逐渐减小, 即在 z 方向的耗尽区宽度从源端到漏端逐渐减小 (如红框所示), 称为高 k 介质的自适应辅助耗尽; 另一种理解, 在相同 k 值下, 越靠近源端, d 越小, 等效电容满足 $C_{31} > C_{32} > C_{33}$, 电容存储电荷越多, 耗尽区在 z 方向越宽. k 值越大, 自适应辅助耗尽越强. 这种效果等效于漂移区浓度从源端到漏端逐渐增加的变掺杂, 有效缓解了由衬底辅助耗尽效应带来的电荷非平衡问题, 提高了 V_B .

图 4(a)—(c) 为 HK CE SOI LDMOS 与 SJ SOI LDMOS 击穿时的三维等势线分布图 (隐藏 HK CE SOI LDMOS 漂移区两侧的介质, 或 SJ SOI LDMOS 漂移区两侧的 p 柱区). 反向阻断时, 1) 高 k 介质对漂移区在 z 方向的自适应辅助耗尽, 2) x 方向 P-well/漂移区构成的 pn 结以及 3) y 方向衬底-埋氧层-顶层硅形成的 MIS 结构一起对漂移区形成三维度耗尽, 实现并增强三维 RESURF 效应. 图 4(a) $k_{HK} = 200$ 由于三维 RESURF 效应使电场在 x 方向均匀分布 (如红色虚线框所示), 故耐压较高, $V_{B,max} = 212$ V. 可以预见, 在一定范围内增加漂移区长度, 器件耐压将单调 (接近线性) 上升. 图 4(b) $k_{OX} = 3.9$ 和 (c) SJ SOI LDMOS 在漏端下方纵向电场集中, 该处提前击穿, 耐压较低, $V_{B,max}$ 分别为 165 V 与 179 V. 可见高 k 介质有明显的电场调制作用, 进一步提高了 V_B .

3 仿真结果与讨论

仿真时取 $W_{HK} = 0.5 \mu\text{m}$, $W_P = 0.5 \mu\text{m}$, $N_p = 1 \times 10^{16} \text{cm}^{-3}$, $L_d = 10 \mu\text{m}$, $W_N = 1 \mu\text{m}$, $t_{soi} = 3 \mu\text{m}$, $t_{ox} = 1 \mu\text{m}$. HK CE SOI LDMOS 与 SJ SOI LDMOS 的 z 方向原胞尺寸均为 $2 \mu\text{m}$. 图 5(a) 为 HK CE SOI LDMOS 与 SJ SOI LDMOS 击穿时沿图 1 中 AA', BB' 剖面 ($y = 0.1 \mu\text{m}$, $z = 1 \mu\text{m}$) 的横向电场分布图. 可以看到, $k_{OX} = 3.9$ 与 SJ SOI LDMOS 的横向电场较低; $k_{HK} = 50, 200, 500$ 时, 高 k 介

质增强三维 RESURF 效应, 提高横向电场和横向 V_B . 图 5(b) 为各结构沿上述剖面的纵向电场分布图 ($x = 11 \mu\text{m}$, $z = 1 \mu\text{m}$). 可以看到, 高 k 介质的电场调制作用增强了顶层硅/埋氧层界面处电场, 由高斯定理

$$\epsilon_{Si} \cdot E_{Si} = \epsilon_{ox} \cdot E_{ox} \quad (3)$$

顶层硅/埋氧层界面处存在 $3E_{Si} \approx E_{ox}$ 关系. $k_{HK} = 200$ 时的 HK CE SOI LDMOS, 与 SJ SOI LDMOS 相比, 顶层硅/埋氧层界面处 E_{Si} 从 $3.3 \times 10^5 \text{V/cm}$ 提高到 $4.4 \times 10^5 \text{V/cm}$, E_{ox} 从 $9.9 \times 10^5 \text{V/cm}$ 提高到 $1.4 \times 10^6 \text{V/cm}$, 器件的纵向 V_B 提高.

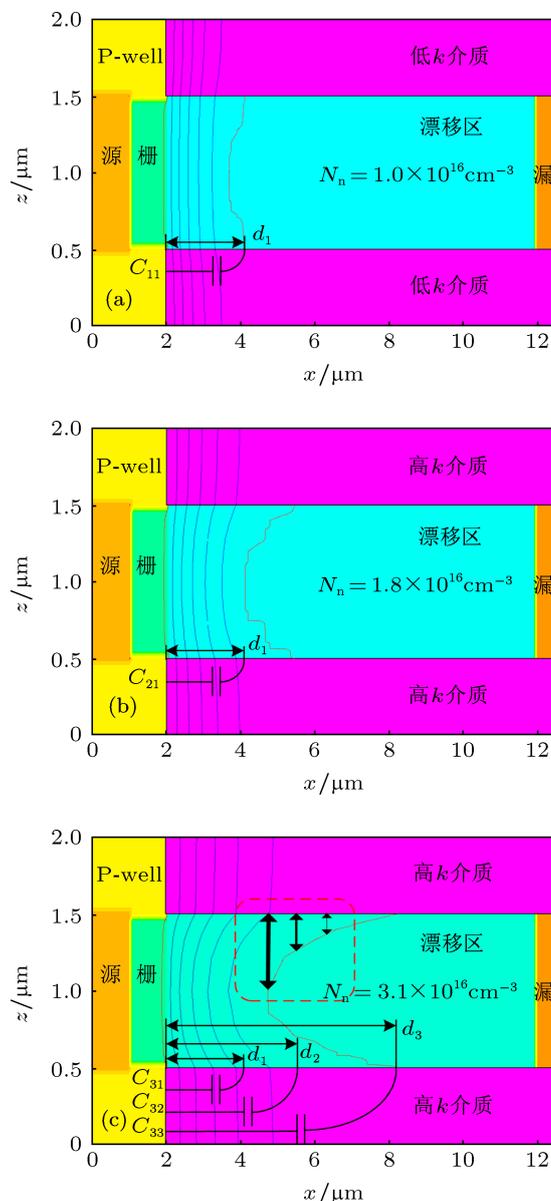


图 3 $V_{DS} = 20$ V 时, 不同 k 值的介质对漂移区耗尽情况 (等势线 4 V/根) (a) $k_{OX} = 3.9$; (b) $k_{HK} = 50$; (c) $k_{HK} = 200$

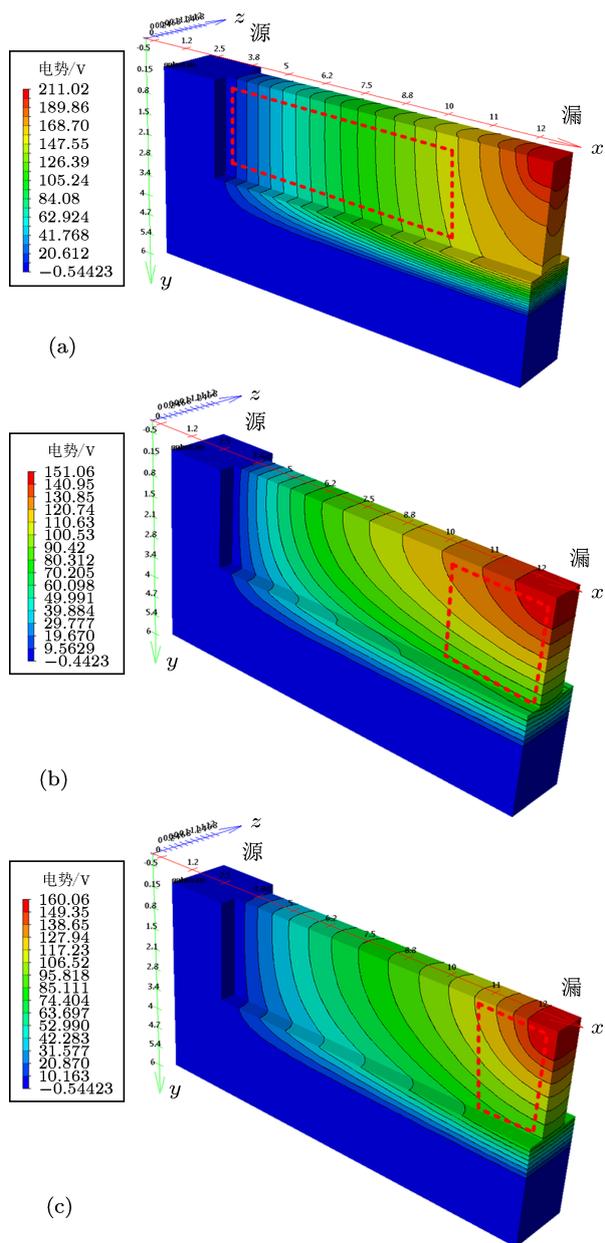


图4 HK CE SOI LDMOS 与 SJ SOI LDMOS 反向击穿等势线分布图 (10 V/根) (a) $k_{HK} = 200$; (b) $k_{OX} = 3.9$; (c) SJ SOI LDMOS

图6给出了HK CE SOI LDMOS 与 SJ SOI LDMOS 的击穿电压 V_B 与漂移区浓度 N_n 关系。从图6(a)看出, $k_{OX} = 3.9$ 时, 由于复合耐压区有效介电系数 $k_{eff} < k_{Si}$, 由(1)式知, 这使最优漂移区浓度降低, $N_n = 1.0 \times 10^{16} \text{ cm}^{-3}$ 低于 SJ SOI LDMOS 的漂移区优化浓度 $N_n = 2.2 \times 10^{16} \text{ cm}^{-3}$, 同时耐压较低, $V_{B,max} = 165 \text{ V}$. $k_{HK} = 50, 200, 500$ 时, 复合耐压区有效介电系数 $k_{eff} > k_{Si}$, 最优漂移区浓度明显提高, 分别为 $N_n = 1.8 \times 10^{16} \text{ cm}^{-3}$, $N_n = 3.1 \times 10^{16} \text{ cm}^{-3}$, $N_n = 4.2 \times 10^{16} \text{ cm}^{-3}$, k_{eff} 的提高增强了三维 RESURF 效应, 使 $V_{B,max}$ 提高,

$k_{HK} = 50, 200, 500$ 时 $V_{B,max}$ 分别为 209 V, 212 V, 207 V. 图6(b)为归一化 V_B 与归一化 N_n 关系曲线。从图中看出, 与 SJ SOI LDMOS 相比, HK CE SOI LDMOS 的归一化 V_B 与归一化 N_n 关系曲线更平缓, 即 V_B 对 N_n 的变化不敏感, 原因有两方面: 一方面, HK CE SOI LDMOS 用高 k 介质/n 柱区替代了 SJ SOI LDMOS 中的 p/n 柱区, 消除了 p/n 柱区之间的电荷非平衡问题; 另一方面, 高 k 介质对漂移区的自适应辅助耗尽, 等效于漂移区横向变掺杂, 缓解了衬底辅助耗尽效应带来的电荷非平衡, 且 k_{HK} 越大, 自适应辅助耗尽越强. 以上特征提高了器件耐压的稳定性和工艺容差。

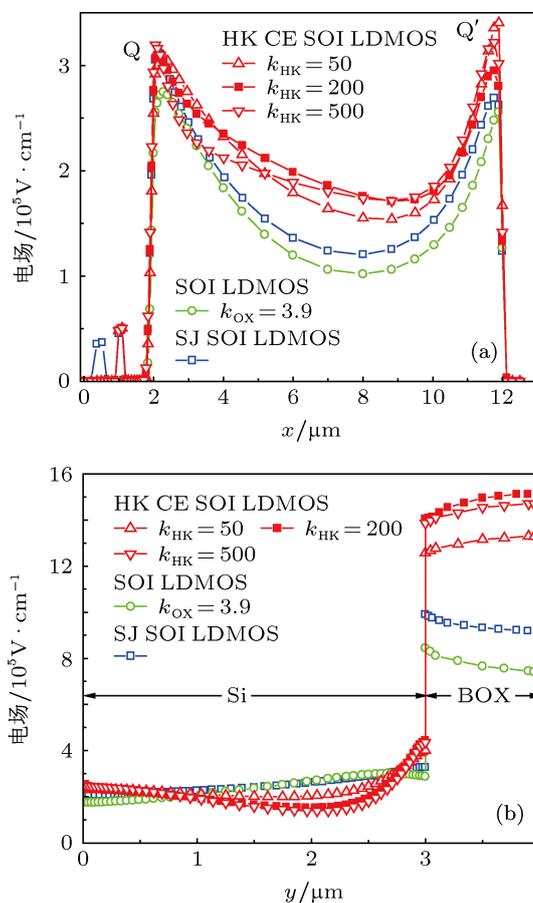


图5 HK CE SOI LDMOS 与 SJ SOI LDMOS 的 (a) 表面纵向电场和 (b) 漏端纵向电场分布图

图7给出了 $k_{HK} = 200$ 时, HK CE SOI LDMOS 的击穿电压 V_B 、比导电电阻 $R_{on.sp}$ 与高 k 介质 z 方向宽度 W_{HK} 的关系曲线。从图中看出: V_B 随 W_{HK} 改变几乎没有变化, $R_{on.sp}$ 随 W_{HK} 减小而减小。在相同原胞尺寸下 (高 k 介质/n 柱区/高 k 介质), W_{HK} 减小, 漂移区所占面积增大, 导电面积增大, 使 $R_{on.sp}$ 下降。对 z 方向宽度 $2 \mu\text{m}$ 的原胞, $W_{HK} < 0.5 \mu\text{m}$ 有较好的 $V_B, R_{on.sp}$ 折衷。

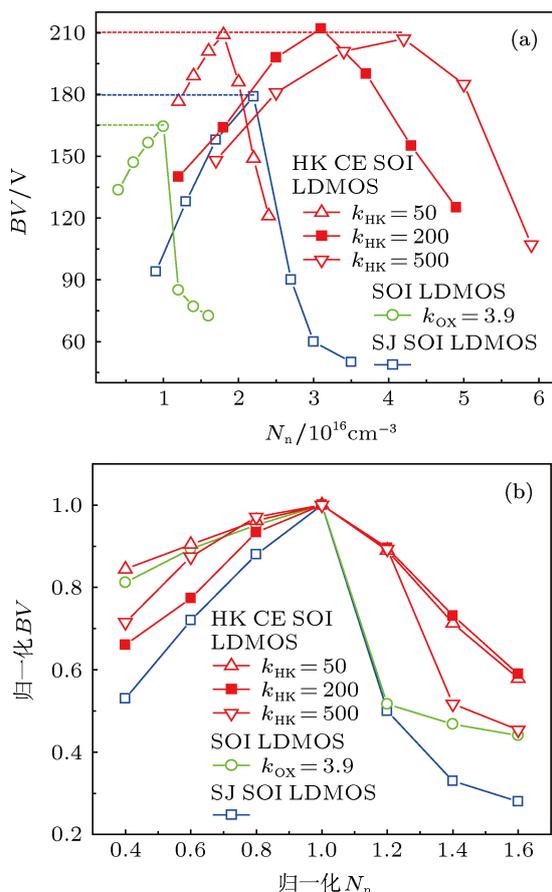


图6 (a) V_B 与 N_n 关系曲线和 (b) 归一化 V_B 与归一化 N_n 关系曲线

图8给出了HK CE SOI LDMOS的 V_B , $R_{on,sp}$ 与介质 k 值关系曲线。从图中看到, k 值的提高增强三维RESURF效应, V_B 得到提高并在210V左右出现饱和。 $k_{OX} = 3.9$ 时, k_{eff} 低于 k_{Si} 使漂移区优化浓度下降, $R_{on,sp}$ 上升;随 k_{HK} 增加, k_{eff} 提高使漂移区优化浓度上升, $R_{on,sp}$ 下降。 $k_{HK} > 200$ 有较好的 V_B , $R_{on,sp}$ 折衷。

表1给出了HK CE SOI LDMOS与SJ SOI LDMOS各参数优化结果。 $k_{HK} = 50, 200, 500$ 时,高 k 介质增强三维RESURF效应并调制电场,与SJ SOI LDMOS相比,HK CE SOI LDMOS的 V_B 提高了16%—18%。 $k_{HK} = 200, 500$ 时,高 k 介质辅助耗尽漂移区,提高 N_n 优化浓度,与SJ SOI LDMOS相比, $R_{on,sp}$ 下降了13%,20%,优值 $FOM (V_B^2/R_{on,sp})$,

表1 HK CE SOI LDMOS与SJ SOI LDMOS各参数优化结果

器件种类	漂移区优化浓度 N_n/cm^{-3}	击穿电压 V_B/V	比导通电阻 $R_{on,sp}/m\Omega \cdot cm^2$	优值 $FOM/MW \cdot cm^{-2}$
$k_{OX} = 3.9$	1.0×10^{16}	165	7.74	3.52
HK CE SOI LDMOS	$k_{HK} = 50$	209	5.76	7.58
	$k_{HK} = 200$	212	4.62	9.73
	$k_{HK} = 500$	207	4.23	10.13
SJ SOI LDMOS	2.2×10^{16}	179	5.30	6.01

提高了62%,68%。

本文提到的高 k 介质可选用钛酸锶(SrTiO₃/STO)。根据制备方法与结晶度不同, k_{HK} 在130—300范围内变化[15]。钛酸锶热导率为12W/(m·K),大大高于二氧化硅的热导率14W/(m·K),可改善功率器件散热问题。且由于晶格匹配好,STO/Si界面态好[16]。取 $k_{HK} = 200$,有较好的器件性能、高 k 介质制备难度折衷。图9给出了HK CE SOI LDMOS主要工艺步骤:(a)将SOI材料顶层硅减薄到所需厚度,采用干法刻蚀至埋氧层形成硅槽。(b)填充高 k 介质,对表面进行平坦化处理。(c)进行体区P-well及体接触区P⁺掺杂。(d)栅氧化,淀积多晶硅并刻蚀形成平面栅。(e)进行N⁺源区及N⁺漏区掺杂。(f)进行电极制备及表面钝化,形成完整器件结构。

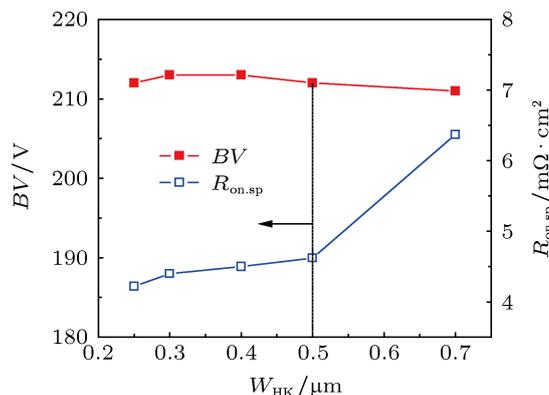


图7 击穿电压 V_B ,比导通电阻 $R_{on,sp}$ 与 W_{HK} 关系曲线($k_{HK} = 200$)

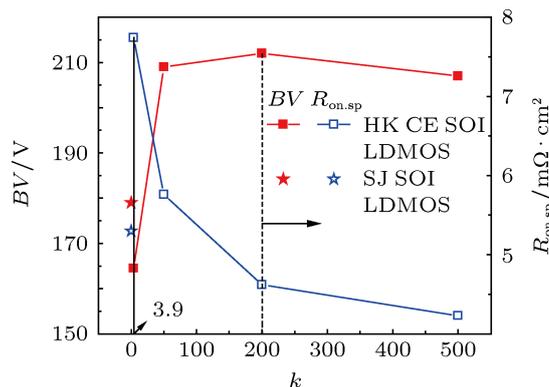


图8 击穿电压 V_B ,比导通电阻 $R_{on,sp}$ 与介质 k 值关系曲线

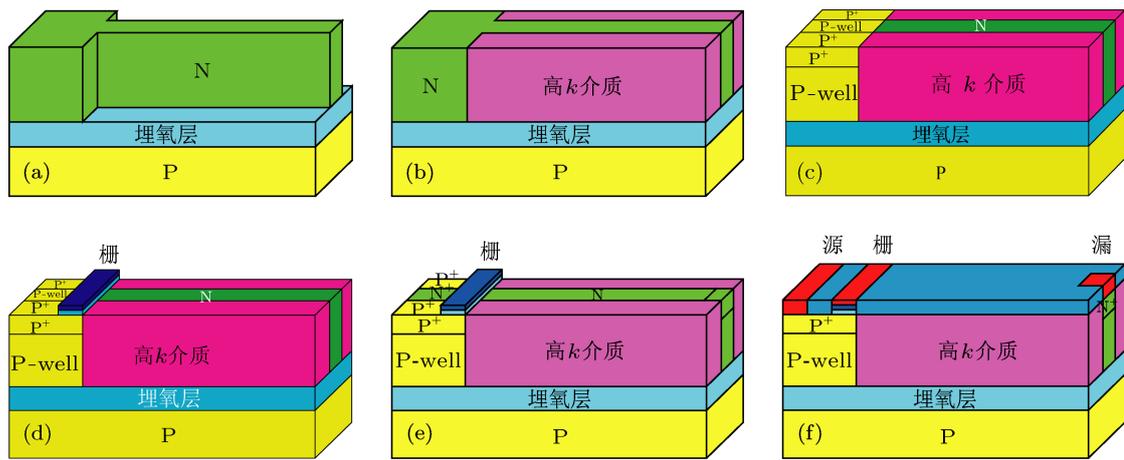


图9 主要工艺步骤 (a) 刻蚀硅槽; (b) 填充介质并平坦化; (c) 体区 P-well、体接触区 P⁺ 掺杂; (d) 形成平面栅; (e) N⁺ 源区、N⁺ 漏区掺杂; (f) 电极制备及表面钝化

4 结论

本文提出一种 HK CE SOI LDMOS 新结构. 该结构在漂移区两侧引入高 k 介质, 通过高 k 介质对漂移区的自适应辅助耗尽来实现三维 RESURF 效应并调制电场, 降低比导通电阻 $R_{on,sp}$, 提高

击穿电压 V_B . 仿真结果表明: HK CE SOI LDMOS 与 SJ SOI LDMOS 相比, 随 k_{HK} 不同, $R_{on,sp}$ 降低了 13%—20%, 同时 V_B 提高了 16%—18%, 优值 FOM 提高了 62%—68%, 且缓解了由衬底辅助耗尽效应带来的电荷非平衡问题.

- [1] Zhang B, Luo X R, Li Z J 2010 *Chin. Phys. B* **19** 037303
- [2] Zhang B, Hu S D, Li Z J 2009 *Chin. Phys. B* **18** 319
- [3] Li Z J, Zhang B, Li Q 2007 *Acta Phys. Sin.* **56** 6660 (in Chinese) [李肇基, 张波, 李琦 2007 物理学报 **56** 6660]
- [4] Chen X B, Mawby P A, Board K, Salama C A T 1998 *Microelectron J.* **29** 1005
- [5] Nassif-Khalil S G, Salama C A T 2002 *ISPSD* **1** 81
- [6] Pathirana G P V, Udrea F, Ng R, Garner D M, Amaratunga G A J 2003 *ISPSD* **1** 278
- [7] Xu S, Gan K P, Samudra G S, Liang Y C, O J K 2000 *IEEE Trans Electron Devices* **47** 1980
- [8] Amberetu M A, Salama C A T 2002 *ISPSD* **1** 101
- [9] Nassif-Khalil S G, Salama C A T 2003 *IEEE Tran. Electron Devices* **50** 1385
- [10] Nassif-Khalil S G, Salama C A T 2003 *ISPSD* **1** 228
- [11] Chen Y, Liang Y C, Samudra G S 2006 *IEEE Industrial Electronics* **32** 2746
- [12] Chen X 2007 *U S Patent 7230310B2* **1** 1
- [13] Luo X R, Jiang Y H, Zhou K, Wang P, Wang X W, Wang Q, Yao G L, Zhang B, Li Z J 2012 *IEEE Electron Device Letters* **33** 1042
- [14] Luo X R, Cai J Y, Fan Y, Fan Y H, Wang X W, Wei J, Jang Y H, Zhou K, Yin C, Zhang B, Li Z J, Hu G Y 2013 *IEEE Electron Device Letters* **60** 2840
- [15] Pontes M, Lee E J H, Leite E R, Longo E, Varela J A 2000 *J. Mater Sci.* **35** 4783
- [16] Wang Z, Kugler V, Helmersson U, Konofaos N, Evangelou E K, Nakao S, Jin P 2001 *Appl Phys. Lett.* **79** 1513

Mechanism and optimal design of a high- k dielectric conduction enhancement SOI LDMOS*

Wang Xiao-Wei Luo Xiao-Rong[†] Yin Chao Fan Yuan-Hang Zhou Kun
Fan Ye Cai Jin-Yong Luo Yin-Chun Zhang Bo Li Zhao-Ji

(College of Microelectronic and Solid-State electronic, University of Electronic Science & Technology, Chengdu 610054, China)

(Received 15 July 2013; revised manuscript received 17 September 2013)

Abstract

A high- k dielectric conduction enhancement SOI LDMOS is proposed and investigated by simulation. The high- k dielectric pillars are located at sidewalls of the drift region. The high- k dielectric assists the self-adapted depletion in the drift region, reshapes the electric field distribution, and makes the three-dimensional RESURF effect realized in a high-voltage blocking state. Dependences of the breakdown voltage (V_B) and the specific on-resistance ($R_{on,sp}$) on device parameters are exhibited using three-dimensional simulation. Simulation results show that the proposed structure increases V_B by 16%–18% and decreases $R_{on,sp}$ by 13%–20%, compared with the conventional super-junction SOI LDMOS. Furthermore, the charge-imbalance caused by the substrate-assisted depletion effect is alleviated.

Keywords: high- k dielectric, silicon-on-insulator (SOI), breakdown voltage, specific on-resistance

PACS: 73.40.Ty, 73.90.+f, 73.61.Ng

DOI: 10.7498/aps.62.237301

* Project supported by the National Natural Science Foundation of China (Grant No. 61176069), China Postdoctoral Science Foundation (Grant No. 2012T50771), and the Program for New Century Excellent Talents in University of Ministry of Education of China (Grant No. NCET-11-0062).

[†] Corresponding author. E-mail: xrluo@uestc.edu.cn