

LaON/SiO₂ 和 HfON/SiO₂ 双隧穿层 MONOS 存储器存储特性的比较*

何美林 徐静平[†] 陈建雄 刘璐

(华中科技大学, 光学与电子信息学院, 武汉 430074)

(2013年6月19日收到; 2013年8月25日收到修改稿)

本文对比研究了 LaON/SiO₂ 和 HfON/SiO₂ 双隧穿层 MONOS 存储器的存储特性. 实验结果表明, LaON/SiO₂ 双隧穿层 MONOS 存储器具有较大的存储窗口, 快的编程/擦除速度及好的疲劳和保持特性. 其机理在于 LaON 较大的介电常数有效提高了编程/擦除过程中载流子的注入效率, 较小的 O 扩散系数减少了界面陷阱, 从而减少了保持期间存储电荷通过陷阱辅助隧穿的泄漏. 而且 N 的结合在界面附近形成了强的 La-N, Hf-N 和 O-N 键, 可有效降低编程/擦除循环应力对界面的损伤, 使器件具有好的疲劳特性. 此外, 研究了退火温度对存储特性的影响, 结果表明 800 °C 退火样品的存储特性比 700 °C 退火的好, 这是因为 800 °C 时 NO 退火可在 LaON (HfON) 中引入更多的 N, 且能更好释放应力, 使介质中缺陷减少.

关键词: MONOS, 双隧穿层, LaON, HfON

PACS: 85.30.De, 73.40.Qv, 73.43.Jn

DOI: 10.7498/aps.62.238501

1 引言

多晶硅/金属-氧化物-氮化物-氧化物-硅 (S/MONOS) 存储器由于其较低的工作电压, 优良的保持特性及疲劳特性, 与标准的 CMOS 工艺兼容而成为近年来的研究热点之一^[1,2]. 随着器件尺寸的进一步缩小, 传统的 SONOS/MONOS 已不能满足闪存存储器高速及优良保持特性等存储性能的要求^[3]. 目前已报道的改善存储特性的主要方法有: 使用高 k 介质作为存储层和阻挡层^[4,5], 采用纳米晶作为存储层^[6] 以及采用能带工程 (BE) 结构的隧穿层^[3]. 利用能带工程的 BE-SONOS 存储器通过重新分配高 k /SiO₂ 隧穿层上的电场, 使得编程/擦除过程中 SiO₂ 上具有较大的电场, 增强了高场下载流子的隧穿概率, 而双隧穿层较大的物理厚度可减少保持过程中存储电荷的泄漏^[3,7]. 因此, 利用能带工程的高 k /SiO₂ 隧穿层存储器可增大编程/擦除速度且改善存储器的保持特性. 目前

关于隧穿层能带工程的研究主要采用对称结构的 SiO₂/高 k /SiO₂ 堆栈^[8] 和非对称结构的高 k /SiO₂ 堆栈 (如 Al₂O₃/SiO₂^[9] 和 HfO₂/SiO₂^[10] 等) 代替传统的 SiO₂ 单隧穿层. 在 45 nm 及以下工艺节点, 高 k 材料 (如 HfO₂, La₂O₃, ZrO₂ 及 Al₂O₃) 已被广泛研究来代替传统的 SiO₂ 作为栅介质, 可大大减小栅极漏电^[11,12]. HfO₂ ($\epsilon = 25$) 和 La₂O₃ ($\epsilon = 30$) 因为具有较大的介电常数及较好的热稳定性而成为 MOS 器件高 k 栅介质的研究热点, 但是 O 原子容易在 HfO₂ 中扩散且其结晶温度低^[13], La₂O₃ 由于羟基离子的存在而具有吸湿性^[14]. 通过在 HfO₂ 中引入 N 可有效阻止 O 扩散, 改善其热稳定性, 提高结晶温度^[11,15], 在 La₂O₃ 中掺入 N 可有效移除羟基离子以改善其吸湿性, 且 N 的引入可减少氧空位^[16]. 因此, 本文以 HfON/SiO₂ 和 LaON/SiO₂ 作为双隧穿层, 对比研究了相应 MONOS 存储器的存储特性, 为了获得高质量的隧穿层薄膜, 退火在 NO 气氛中进行, 并研究了退火温度对双隧穿层 MONOS 存储器存储特性的影响.

* 国家自然科学基金 (批准号: 60976091) 和中央高校基本科研业务费 (批准号: HUST: 2013QN037) 资助的课题.

[†] 通讯作者. E-mail: jpxu@mail.hust.edu.cn

2 实验

采用 $\langle 100 \rangle$ 晶向、电阻率 $1\text{--}10\ \Omega\cdot\text{cm}$ 、单面抛光 p 型 Si 片. 在标准 RCA 方法清洗后, 将 Si 片放入稀释的 HF 溶液 (1:50) 中浸泡 1 min 以去除自然氧化层, 并用去离子水冲洗, N_2 气吹干后立即放于高温氧化炉中于 $900\ ^\circ\text{C}$ 、干 O_2 气氛中热生长 $4\ \text{nm}$ 的 SiO_2 ; 接着将所有样品移至磁控溅射腔内, 在 $\text{Ar}:\text{O}_2:\text{N}_2 = 12:3:15$ 的气氛中进行 La 靶反应溅射淀积 $4\ \text{nm}$ 的 LaON; 接着在 NO 气氛中进行快速热退火处理形成 LaON/SiO₂ 双隧穿层 (退火时间 30 s, 退火温度分别为 $700\ ^\circ\text{C}$ 和 $800\ ^\circ\text{C}$ 样品分别标记为 LaON700 和 LaON800) 为了进行比较也制备了 HfON/SiO₂ 双隧穿层结构 (HfON 厚 $4\ \text{nm}$ 淀积和退火条件同上, 样品分别标记为 HfON700 和 HfON800). 然后再将所有样品放入磁控溅射腔内在 $\text{Ar}/\text{O}_2/\text{N}_2 = 24/3/6$ 的气氛中射频反应溅射 LaHf 靶淀积 $10\ \text{nm}$ HfLaON 作为存储层, 并在 N_2 中 $500\ ^\circ\text{C}$ 退火 30 s; 接着采用原子层淀积方法淀积 $13\ \text{nm}$ 的 Al_2O_3 作为阻挡层; 最后, 蒸铝、光刻形成栅电极以及背电极, 并在 $300\ ^\circ\text{C}$ 、 H_2/N_2 混合气氛 ($5\%\text{H}_2$) 中进行金属化退火 20 min, 以减小接触电阻.

采用 HP4156A 半导体参数分析仪施加编程/擦除电压, 采用 HP4284 LCR 测量仪测量 MONOS 电容的高频 ($1\ \text{MHz}$) $C\text{-}V$ 曲线. 通过提取平带电压 V_{FB} 来表征存储器的存储特性, V_{FB} 根据样品的高频 $C\text{-}V$ 曲线, 令 $C_{\text{FB}}/C_{\text{ox}} = 0.5$ (C_{FB} 和 C_{ox} 分别为平带电容和氧化物电容) 来提取. 所有测量均在室温、遮光和电屏蔽条件下进行.

3 结果与讨论

根据 (1) 式可计算得到样品及 LaON(HfON)/SiO₂ 堆栈隧穿层的等效氧化层厚度和等效介电常数:

$$C_{\text{OX}} = \frac{A_{\text{OX}}\epsilon_0\epsilon_{\text{OX}}}{t_{\text{OX}}}, \quad (1a)$$

$$\frac{1}{C_{\text{OX}}} = \frac{1}{A_{\text{OX}}\epsilon_0} \left(\frac{t_{\text{die}}}{\epsilon_{\text{die}}} + \frac{t_{\text{HfLaON}}}{\epsilon_{\text{HfLaON}}} + \frac{t_{\text{Al}_2\text{O}_3}}{\epsilon_{\text{Al}_2\text{O}_3}} \right), \quad (1b)$$

$$\text{EOT} = \frac{\epsilon_{\text{SiO}_2}t_{\text{OX}}}{\epsilon_{\text{OX}}}, \quad (1c)$$

$$\text{EOT}_{\text{die}} = \frac{\epsilon_{\text{SiO}_2}t_{\text{die}}}{\epsilon_{\text{die}}}, \quad (1d)$$

其中 EOT, EOT_{die} , ϵ_{ox} 和 ϵ_{die} 分别为样品和 LaON(HfON)/SiO₂ 堆栈隧穿层的等效氧化层厚度及等效介电常数, A_{OX} 为电容面积 ($7.85 \times 10^{-5}\ \text{cm}^2$), t_{OX} ($31\ \text{nm}$), t_{die} ($8\ \text{nm}$), t_{HfLaON} ($10\ \text{nm}$) 和 $t_{\text{Al}_2\text{O}_3}$ ($13\ \text{nm}$) 分别为样品、LaON(HfON)/SiO₂ 堆栈层、HfLaON 存储层和 Al_2O_3 阻挡层的物理厚度, ϵ_{SiO_2} , ϵ_{HfLaON} , $\epsilon_{\text{Al}_2\text{O}_3}$ 分别为 SiO₂, HfLaON 及 Al_2O_3 的相对介电常数. 计算中 ϵ_{SiO_2} , ϵ_{HfLaON} 和 $\epsilon_{\text{Al}_2\text{O}_3}$ 取值分别为 3.9, 21^[17] 和 9.3^[18], 计算结果如表 1 所示.

表 1 样品及 LaON(HfON)/SiO₂ 堆栈层的等效氧化层厚度和等效介电常数

样品	EOT/nm	ϵ_{ox}	$\text{EOT}_{\text{die}}/\text{nm}$	ϵ_{die}
LaON800	10.62	11.38	3.33	9.36
LaON700	11.17	10.82	3.88	8.03
HfON800	10.98	11.12	3.68	8.47
HfON700	11.57	10.45	4.28	7.29

在讨论存储特性之前, 有必要对 LaON 和 HfON 本身的存储效应予以排除. LaON 和 HfON 高 k 介质作为隧穿层, 不可避免地有少量陷阱, 存在着俘获电子的可能. 但对于高 k /低 k 堆栈隧穿层结构, 其低 k 层上的电场远远大于高 k 层的电场, 从而引起低 k 层能带大的弯曲, 使 Si 衬底中的电子能以 FN 隧穿机制仅通过薄的低 k 层而到达储存层 (如图 1 所示), 以致在高 k 隧穿层中没有多少电荷被陷住. 擦除时, 相应的逆过程发生. 因此, LaON 和 HfON 高 k 隧穿介质中的电荷存储效应可以忽略.

图 2 所示为 LaON 和 HfON 样品在编程/擦除 (P/E) 电压分别为 $\pm 10\ \text{V}$, $\pm 12\ \text{V}$ 和 $\pm 13\ \text{V}$ 下的存储窗口. 存储窗口定义为样品在相应工作电压下编程 1 s 的平带电压与擦除 1 s 的平带电压 (V_{FB}) 之差. 由图 2 可得到 LaON700 和 LaON800 样品的存储窗口分别为 $1.4\ \text{V}/3.1\ \text{V}/4.4\ \text{V}$ 和 $1.95\ \text{V}/3.6\ \text{V}/4.95\ \text{V}$, 而 HfON700 和 HfON800 的存储窗口分别为 $1.2\ \text{V}/2.15\ \text{V}/3.4\ \text{V}$ 和 $1.35\ \text{V}/2.65\ \text{V}/4.05\ \text{V}$. 可见, 随着 P/E 电压增加, 存储窗口增大, 这是因为大的 P/E 电压使得隧穿层能带弯曲增大, 电流注入效率增加^[19], 从而隧穿至电荷存储层的电荷量增多, 导致 V_{FB} 漂移增大. 相同退火温度下, LaON 样品的存储窗口比 HfON 样品的大, 这可归因于 LaON 的介电常数比 HfON 大 (如表 1 所示), 使得 LaON/SiO₂ 双隧穿层中 SiO₂ 层上的隧穿电场增大^[20], 从而减

小了 LaON 样品中载流子有效隧穿势垒宽度, 使隧穿载流子增加. 此外, 800 °C NO 退火样品的存储窗口比 700 °C 大, 这是因为随着退火温度的增加,

在 LaON(HfON) 中引入更多的 N, 使其介电常数增大 [21], 从而增加了高 k/SiO_2 双隧穿层中 SiO_2 层上的隧穿电场强度, 提高了载流子隧穿概率.

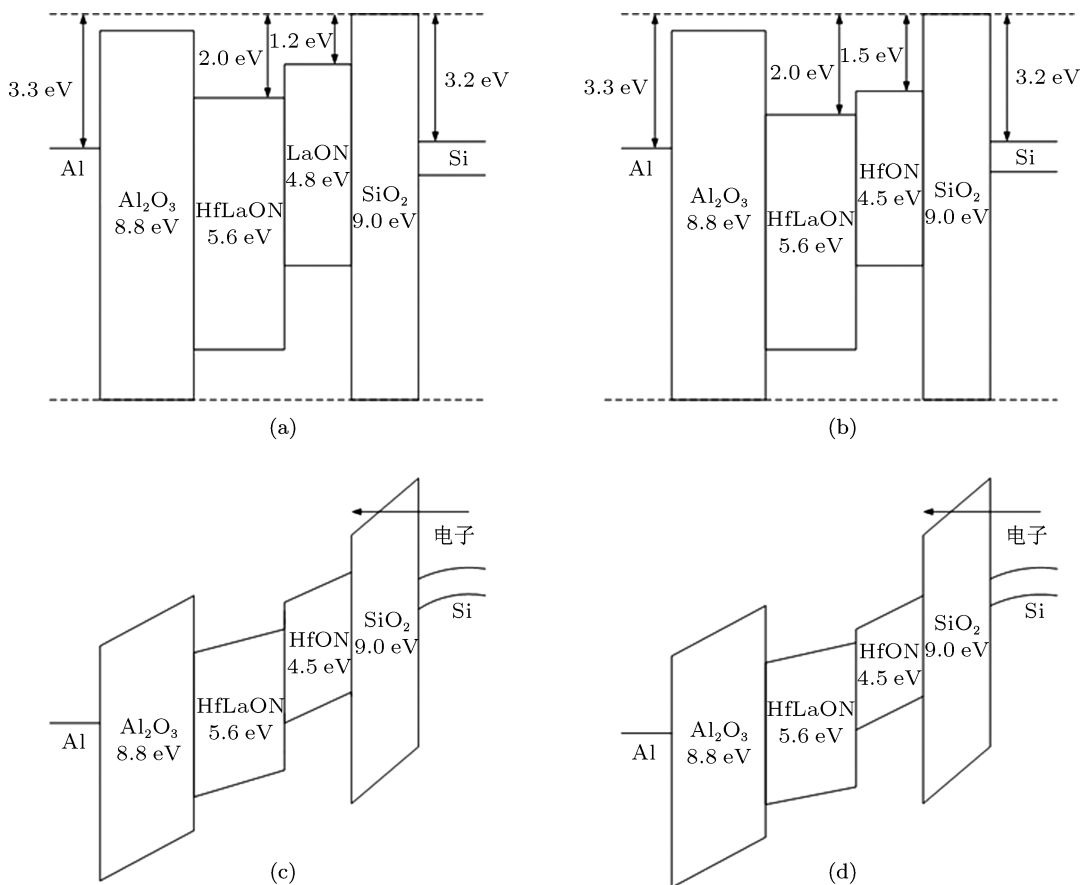


图1 LaON 和 HfON 样品平带条件及编程状态下的能带示意图 平带条件: (a) LaON 样品、(b) HfON 样品; 编程状态: (c) LaON 样品、(d) HfON 样品

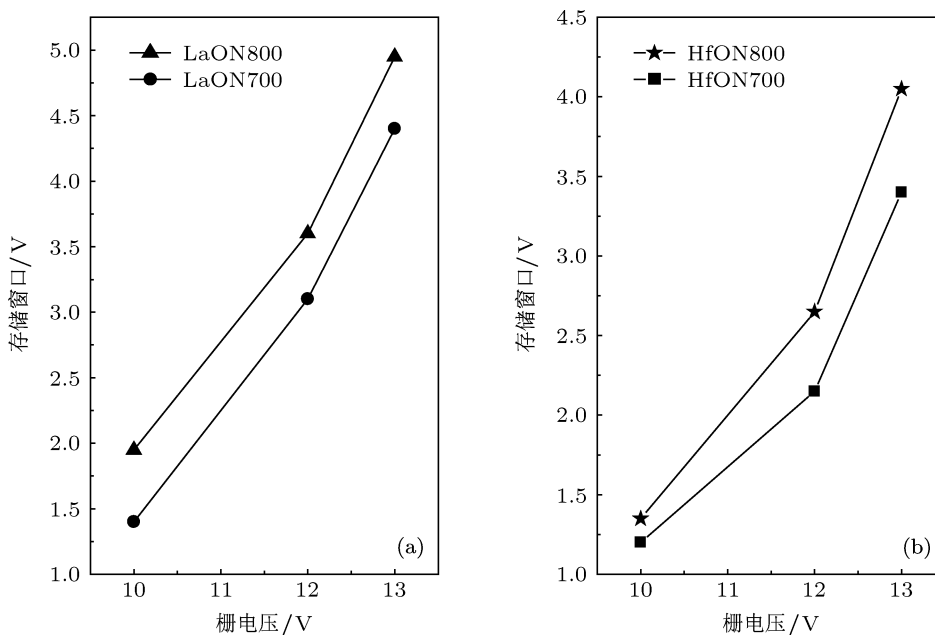


图2 LaON 和 HfON 样品在不同编程/擦除电压下的存储窗口 (a) LaON 样品; (b) HfON 样品

图 3 所示为 LaON 和 HfON 样品的 P/E 瞬态特性曲线. 由图可知 800 °C 退火样品的 P/E 速度比 700 °C 退火的大; LaON800 样品的编程/擦除在 100 μ s/1 ms 时即基本达到平带电压漂移饱和值 (2.35 V/-3.0 V), 表明其 P/E 时间即为 100 μ s/1 ms. LaON800 样品比 LaON700 样品快的 P/E 速度是因为其 LaON 层具有更大的介电常数 (正如上面提到的), 导致 SiO₂ 隧穿层上更大的电场, 从而具有更大的载流子隧穿概率. 而且, 高 k /SiO₂ 界面处的间隙 O 原子随着退火温度增大而减小, 800 °C 退火温度下形成的高 k /SiO₂ 界面具有更小的界面态密度, 从而使样品具有更大的隧穿电流 [22]. 由图 3 还可知 800 °C 退火温度下, LaON 样品和 HfON 样品在较短时间内即出现编程饱和现象, 这是因为 N 的引入

可明显降低介质相对于 Si 的导带差, 从而降低了电子的 FN 隧穿势垒, 而对空穴 FN 隧穿势垒影响较小 [23]. 从图 3(b) 可知 HfON 样品在编程时间为 10 ms 编程出现饱和, 擦除在 1 s 时仍然没有饱和, P/E 速度比 LaON 样品小. 这是因为 LaON 的介电常数比 HfON 大, 相同 P/E 电压下, LaON 样品隧穿层等效氧化层厚度小, 从而载流子更容易隧穿通过, 产生更大的隧穿电流. 此外, 由图 3 可知, LaON 和 HfON 样品分别在擦除 100 ms 和 10 ms 以后出现二次擦除现象, 这是因为在擦除的第一阶段主要是浅能级陷住电子的解陷, 待这些电子电荷擦除后, 衬底空穴的注入成为主要擦除机理 [18], 即出现二次擦除现象.

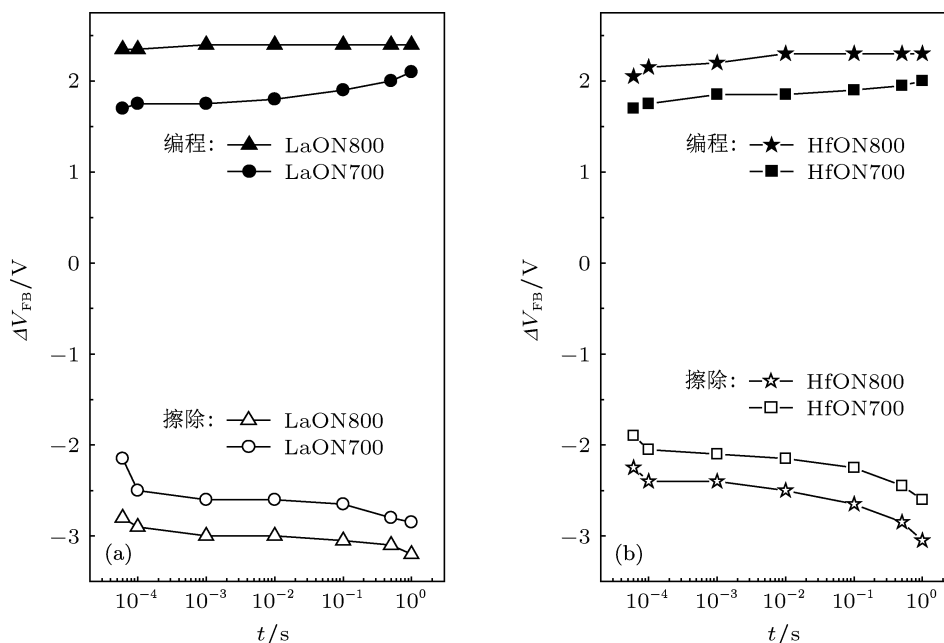


图 3 LaON 和 HfON 样品在 P/E 电压为 ± 12 V 时, 平带电压漂移随时间的变化 (a) LaON 样品; (b) HfON 样品

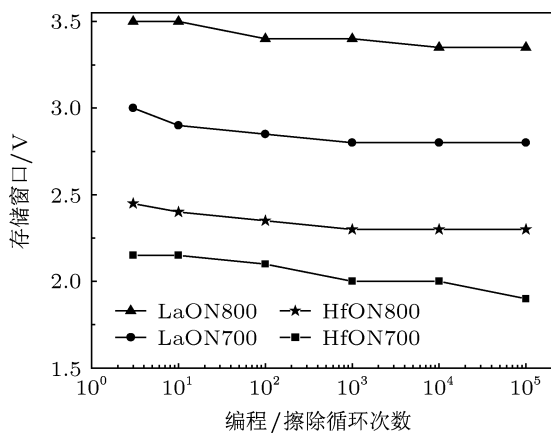


图 4 LaON 和 HfON 样品的疲劳特性曲线

表 2 LaON 和 HfON 样品在 10⁵ 次 P/E 循环后存储窗口的变化量及损失率

样品	LaON700	LaON800	HfON700	HfON800
变化量/V	0.2	0.15	0.15	0.15
损失率/%	6.67	4.28	6.98	6.12

图 4 所示为 LaON 和 HfON 样品的疲劳特性曲线, P/E 电压为 ± 12 V/P/E 脉冲时间为 100 μ s/1 ms. 表 1 所示为样品在 10⁵ 次 P/E 循环后存储窗口的变化量及损失率. 由表 2 可知所有样品的存储窗口变化量及损失率均较小, NO 退火形成的与 N 有关的强键 (Hf-N, La-N 和 O-N 键) 在应

力作用下较难断裂,减少了 P/E 循环过程中界面陷阱的产生,使得 LaON 样品和 HfON 样品具有好的界面特性. 800 °C NO 退火的样品存储窗口损失率小于 700 °C, 疲劳特性略好于后者, 这是因为前者可在 SiO₂/Si 界面及高 *k*/SiO₂ 界面引入更多的 N, 界面 N 的存在可减少应力过程中界面态的产生, 从而减少高场引起的界面损伤 [5,24]. 由表 2 还可知, LaON800 样品的窗口损失率最小. 这是因为该样品

具有快的 P/E 速度, 从而缩短了应力作用时间, 减少了界面陷阱的产生 [25].

图 5 所示为 LaON 和 HfON 样品在室温下的电荷保持特性曲线. 初始 P/E 电压为 +/− 13 V, P/E 时间 1 s. LaON800, LaON700, HfON800 和 HfON700 样品的初始存储窗口分别为 4.8 V, 4.4 V, 4.05 V 和 3.3 V, 在 10⁴ s 和 10 年后存储窗口的损失率如表 3 所示.

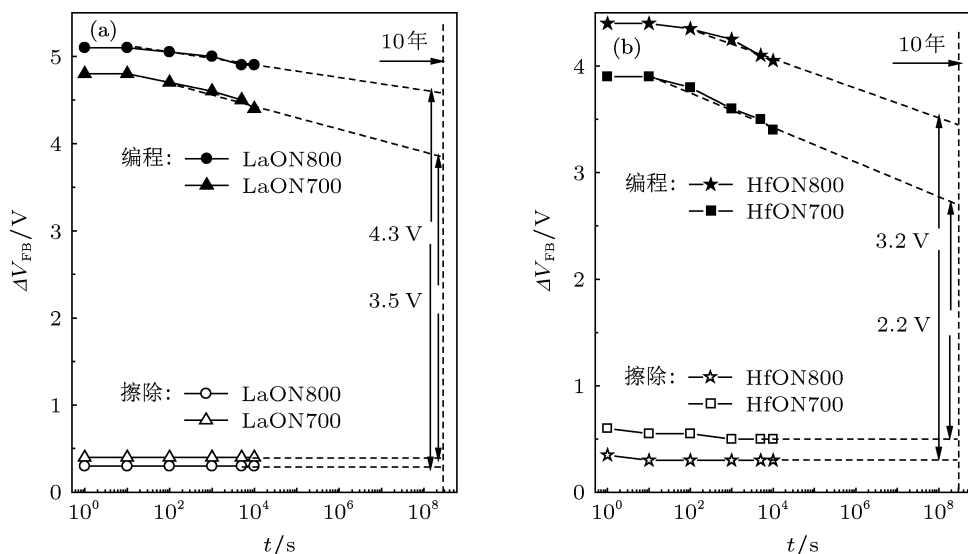


图 5 LaON 和 HfON 样品的电荷保持特性 (a) LaON 样品; (b) HfON 样品

表 3 LaON 和 HfON 样品保持期间存储窗口损失率

样品	LaON700	LaON800	HfON700	HfON800
10 ⁴ s 损失率/%	9.09	4.17	12.12	7.41
10 年后损失率/%	20.45	10.42	33.33	20.99

从表 3 可知, 相同退火温度下, HfON 样品的存储窗口损失率比 LaON 样品大, 这是因为 O 原子在 HfON 中的扩散系数比在 LaON 中大 [11,13], O 原子扩散至界面产生界面陷阱, 导致存储层电子通过陷阱辅助隧穿机理泄漏至 Si 衬底. 另一方面, 由图 1(a), (b) 所示的 LaON 和 HfON 样品的能带示意图可知, LaON 与 Si 的导带差比 HfON 与 Si 的导带差大, 使其存储层中的电子更难通过隧穿层隧穿至 Si 衬底, 从而降低了存储窗口损失率. 800 °C 退火样品的窗口损失率小于 700 °C 退火样品, 具有更好的保持特性. 800 °C 时 LaON 和 HfON 仍然为非晶态 [26,27], 800 °C NO 退火可引入更多的 N 以钝化界面陷阱, 通过在界面附近形成 Hf-N (La-N) 键减少氧空位, 且高温退火能更好释放应力, 使膜更加致

密, 从而有效去除缺陷 [22,28], 降低界面陷阱密度及固定氧化物电荷密度, 减少了保持过程中存储层电荷的泄漏.

4 结论

本文研究比较了 LaON/SiO₂ 和 HfON/SiO₂ 双隧穿层 MONOS 存储器的存储特性. 结果表明, LaON 样品具有比 HfON 样品更大的存储窗口, 更快的编程/擦除速度以及好的保持特性. 这是因为: 1) LaON 具有比 HfON 更大的介电常数, 使得 SiO₂ 隧穿层上的电场强度更大, 从而增加了编程/擦除过程中载流子的隧穿概率; 2) LaON 中较小的 O 扩散系数 (有效抑制了界面和近界面陷阱的产生) 及较大的导带差减少了保持过程中存储电荷的泄漏. LaON/SiO₂ 和 HfON/SiO₂ 双隧穿层 MONOS 存储器均具有好的疲劳特性, 这是因为 NO 退火过程中形成了与 N 有关的强键 (Hf-N, La-N 和 O-N), 减少了编程/擦除循环中载流子隧穿对界面的损伤. 此外, 研究了隧穿层不同温度退火对存储特性的影

响, 结果表明, 800 °C 比 70 °C 退火样品具有更好的存储特性, 这是因为 NO 环境下, 较高的退火温度可在界面附件引入更多的 N, 且能更好地释放应力, 使膜更加致密, 有效去除介质中的缺陷, 从而获

得高质量的高 k 隧穿层. 因此, 800 °C NO 退火的 LaON/SiO₂ 双隧穿层可有效改善 MONOS 存储器的存储特性.

- [1] Fang S H, Cheng X L, Huang Y, Gu H H 2007 *Acta Phys. Sin.* **56** 6634 (in Chinese) [房少华, 程秀兰, 黄晔, 顾怀怀 2007 物理学报 **56** 6634]
- [2] Li L L, Yu Z G, Xiao Z Q, Zhou X J 2011 *Acta Phys. Sin.* **60** 098502 (in Chinese) [李蕾蕾, 于宗光, 肖志强, 周昕杰 2011 物理学报 **60** 098502]
- [3] Lue H T, Wang S Y, Lai E K, Hsieh K Y, Liu R, Lu C Y 2007 *International Symposium on VLSI Technology, Systems and Applications Hsinchu*, April 23–25, 2007 p1
- [4] Liu L, Xu J P, Ji F, Chen J X, Lai P T 2012 *Appl. Phys. Lett.* **101** 033501
- [5] Zhao Y J, Wang X N, Shang H L, White M H 2006 *Solid-State Electronics* **50** 1667
- [6] Tang Z J, Li R, Yin J 2013 *Chin. Phys. B* **22** 067702
- [7] Govoreanu B, Blomme P, Rosmeulen M, Van Houdt J, De Meyer K 2003 *IEEE Electron Device Letters* **24** 99
- [8] Gilmer D C, Geol N, Verma S, Park H, Park C, Bersuker G, Kirsch P D, Saraswat K C, Jammy R 2009 *International Symposium on VLSI Technology, Systems and Applications Hsinchu*, April 27–29, 2009 p156
- [9] Lee D J, Yim S S, Kim K S, Kim S H, Kim K B 2010 *Journal of Applied Physics* **107** 013707
- [10] Kwang S S, Choi S J, Choi J Y, Jang E J, Kim B K, Park S J, Cha D G, Song I Y, Park J B, Park Y S, Choi S H 2006 *Appl. Phys. Lett.* **89** 083109
- [11] Robertson J 2004 *The European Physical Journal Applied Physics* **28** 265
- [12] Wilk G D, Wallace R M, Anthony J M 2001 *Journal of Applied Physics* **89** 5243
- [13] Iwai H, Ohmi S, Akama S, Ohshima C, Kikuchi A, Kashiwagi I, Taguchi J, Yamamoto H, Tonotani J, Kim Y, Ueda I, Kuriyama A, Yoshihara Yices 2002 *International Electron Devices Meeting San Francisco*, December 8–11, 2006 p625
- [14] Eom D, No S Y, Hwang C S, Kim H J 2006 *ECS Transaction* **1** 219
- [15] Wang S J, Chai J W, Dong Y F, Feng Y P, Sutanto N, Pan J S, Huan A C H 2006 *Appl. Phys. Lett.* **88** 192103
- [16] Sen B 2009 *Ph. D. Dissertation* (Hong Kong: City University of Hong Kong)
- [17] Xu Q X, Xu, G B, Wang W W, Chen D P, Shi S L, Han Z S, Ye T C 2008 *Appl. Phys. Lett.* **93** 252903
- [18] Padovani A, Arreghini A, Vandelli L, Larcher L, Pavan P, Van Houdt J 2011 *IEEE Transactions on Electron Devices* **58** 3147
- [19] Chen W, Liu W J, Zhang M, Ding S J, Zhang D W, Li M F 2007 *Appl. Phys. Lett.* **91** 022908
- [20] Maria J P, Wickaksana D, Parrette J, Kingon A I 2002 *Journal of Materials Research* **17** 1571
- [21] Guarini T, Bevan M, Ripley M, Ganguly U, Date L, Graoui H, Swenberg J 2010 *18th IEEE International Conference on Advanced Thermal Processing of Semiconductors (RTP)* Gainesville, Sept.28–Oct.1, 2010 p166
- [22] Lai H Y, Chang-Liao K S, Wang T K, Wang P K, Cheng C L 2006 *Journal of Vacuum Science & Technology B: Microelectronics and Nanometer Structures* **24** 1683
- [23] Aozasa H, Fujiwara I, Nomoto K, Komatsu H, Koyama K, Kobayashi T, Oda T 2007 *Journal of The Electrochemical Society* **154** H798
- [24] Lai S K, Lee J, Dham V K 1983 *International Electron Devices Meeting* **29** 190
- [25] Chin A, Lin S H, Yang H J, Tsai C Y, Yeh F S, Liao C C, Li M F 2009 *16th IEEE International Symposium on the Physical and Failure Analysis of Integrated Circuits Suzhou*, July 6–10, 2009 p641
- [26] Zhou H, Wang X, Nguyen B Y, Rai R, Prabhu L, Jiang J, Kaushik V, Scheaffer J, Zavala M, Duda E, Liu R, Zonner S, Hradsky B, Fejes P, Theodore D, Edwards G, Gregory R, Wang R, Hak Y, Yu J, Lu H B, Chen Z H, Lu X B, Liu Z G 2003 *IEEE Conference on Electron Devices and Solid-State Circuits Hong Kong*, December 16–18, 2003 p357
- [27] Liu M, Fang Q, He G, Zhu L Q, Zhang L D 2006 *Applied Surface Science* **252** 8673
- [28] Jur J S 2007 *Ph. D. Dissertation* (Raleigh NC: North Carolina State University)

Comparison between memory characteristics of MONOS memory with LaON/SiO₂ or HfON/SiO₂ as dual-tunnel layer*

He Mei-Lin Xu Jing-Ping[†] Chen Jian-Xiong Liu Lu

(School of optical and electronic information, Huazhong University of Science & Technology, Wuhan 430074, China)

(Received 19 June 2013; revised manuscript received 25 August 2013)

Abstract

Memory characteristics of MONOS memory with LaON/SiO₂ or HfON/SiO₂ as dual-tunnel layer were comparatively investigated. Experimental results show that the MONOS memory with LaON/SiO₂ as dual-tunnel layer exhibits large memory window, high program/erase (P/E) speed, good endurance and retention properties. The basic mechanism lies in the large dielectric constant of LaON which increases the injection efficiency of carriers during programming/erasing, the smaller Oxygen diffusion coefficient in LaON which leads to the reduction of interface traps and thus the leakage of stored charges through trap-assisted tunneling during retention. Moreover, strong La-N, Hf-N and O-N bonds are formed at/near the interface due to Nitrogen incorporation, which effectively decreases the damages of the P/E cycle stress to the interface, and thus achieves excellent endurance. In addition, impacts of annealing temperatures on characteristics of MONOS memory were investigated. It is demonstrated that the memory annealed at 800 °C has better memory properties than that annealed at 700 °C, which is attributed to the fact that the 800 °C NO annealing can incorporate more N into LaON (HfON), and well release strains, thus reducing defects in these dielectrics.

Keywords: MONOS, dual-tunnel layer, LaON, HfON

PACS: 85.30.De, 73.40.Qv, 73.43.Jn

DOI: 10.7498/aps.62.238501

* Project supported by the National Natural Science Foundation of China (Grant No. 60976091), and the Fundamental Research Funds for the Central Universities, China (Grant No. HUST: 2013QN037).

[†] Corresponding author. E-mail: jpxu@mail.hust.edu.cn