

应变 Si NMOSFET 阈值电压集约物理模型*

周春宇^{1)2)†} 张鹤鸣¹⁾ 胡辉勇¹⁾ 庄奕琪¹⁾ 舒斌¹⁾ 王斌¹⁾ 王冠宇¹⁾

1) (西安电子科技大学微电子学院, 宽禁带半导体材料与器件重点实验室, 西安 710071)

2) (辽宁工程技术大学电子与信息工程学院, 葫芦岛 125105)

(2012年11月4日收到; 2012年11月25日收到修改稿)

本文采用渐变沟道近似和准二维分析的方法, 通过求解泊松方程, 建立了应变 Si NMOSFET 阈值电压集约物理模型. 模型同时研究了短沟道, 窄沟道, 非均匀掺杂, 漏致势垒降低等物理效应对阈值电压的影响. 采用参数提取软件提取了阈值电压相关参数, 通过将模型的计算结果和实验结果进行对比分析, 验证了本文提出的模型的正确性. 该模型为应变 Si 超大规模集成电路的分析和设计提供了重要的参考.

关键词: 应变 Si NMOSFET, 阈值电压, 集约物理模型

PACS: 71.23.An, 71.70.Fk

DOI: 10.7498/aps.62.077103

1 引言

应变 Si (strained-Si, SSi) 材料具有高的载流子迁移率, 带隙可调, 与传统的 Si 工艺兼容等优点, 成为研究设计高速、高性能、小尺寸 MOSFET 器件的首选方案^[1,2]. 阈值电压作为 MOSFET 的一个最重要参数, 直接影响器件的直流、交流和亚阈值等特性, 是基于阈值电压的器件模型的核心与关键. 关于应变 Si NMOSFET 阈值电压的研究较多^[3-7], 但未全面考虑衬底偏压、短沟道效应、窄沟道效应和漏致势垒降低效应对阈值电压的影响, 不能够完全适用于现实工艺条件下器件和集成电路的设计要求.

本文首先采用缓变沟道近似的方法, 通过分析应变 Si NMOSFET 纵向电势, 建立了长沟阈值电压模型. 模型中充分考虑了衬底偏压对阈值电压的影响. 然而上述一维分析方法无法满足器件尺寸等比例缩小对阈值电压精度的要求, 为了进一步提高阈值电压的精确度, 多采用二维和准二维的分析方法^[8,9]. 由于二维分析方法在耗尽区求解二维泊松方程时, 边界条件做了很多近似, 模型参数缺乏物

理意义^[8]. 因此本文随后采用准二维的分析方法, 在器件的耗尽区求解准二维泊松方程, 建立的阈值电压模型充分研究了短沟道效应和漏致势垒降低效应对阈值电压的影响, 同时也研究了窄沟道效应的影响. 然而无论物理模型如何精确, 都必须引入工艺参数对模型进行修正, 才能保证仿真结果可以更好的和测试结果拟合^[10]. 所以在充分研究物理效应对阈值电压影响的同时, 引入了工艺参数, 最终建立了完整的应变 Si NMOSFET 阈值电压集约物理模型.

通过实验, 在相同工艺条件下制造了不同尺寸的器件, 并利用参数提取软件对阈值电压相关参数进行了提取. 通过将模型的计算结果和仿真结果进行的比较, 进一步证明了本文建立的应变 Si NMOSFET 阈值电压集约物理模型的正确性. 为应变 Si 器件的分析和设计提供了重要参考, 也为进一步进行集成电路设计提供了重要理论基础.

2 理论模型推导

双轴应变可以显著的提高电子的迁移率, 广泛的应用于应变 Si NMOSFET^[11,12]. 如图 1 所示, 为

* 教育部博士点基金(批准号: JY0300122503)、中央高校基本业务费(批准号: K5051225014, K5051225004)和陕西省自然科学基金(批准号: 2010JQ8008)资助的课题.

† 通讯作者. E-mail: chunyuzhou@stu.xidian.edu.cn

应变 Si NMOSFET 剖面图结构. Si 衬底上生长一层 Ge 组分渐变的 SiGe 层, 渐变 SiGe 层可以有效的降低器件表面的散射, 提高电子迁移率. 在渐变 SiGe 层上生长一层厚的弛豫 SiGe 层, 作为虚拟衬底. 最后在弛豫 SiGe 层上覆晶生长一层很薄的 Si

层, 由于 Si 和 SiGe 层晶格常数的不同, 在 Si 层中引入了张应变. 其中 S, G, D 和 B 分别为器件和源、栅、漏和衬底端. T_{SSi} 为应变 Si 层的厚度, W_D 为衬底耗尽层厚度, N_{SSi} 和 N_{SiGe} 分别为应变 Si 层和弛豫 SiGe 层的掺杂浓度.

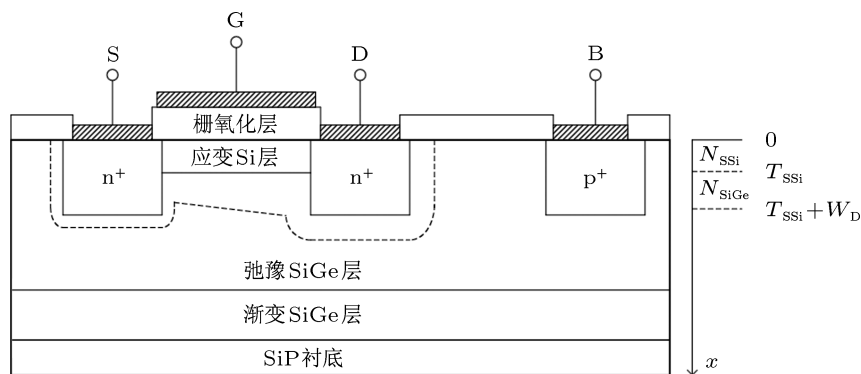


图 1 应变 Si NMOSFET 剖面图结构

2.1 长沟阈值电压模型

严格地说, 模拟 MOSFET 是一个三维问题, 但是从实用角度出发 (除非沟道宽度 W 和沟道长度 L 都非常小), 可以近似地将它看成是二维系统, 即只考虑沿着沟道的 y 方向和垂直沟道的 x 方向. 同时若沿着 y 方向的电场 E_y 的变化远小于相应的 x 方向的电场 E_x 的变化, 即所谓的渐变沟道近似, 则此时的器件可以采用一维的近似方法.

2.1.1 衬底零偏压阈值电压模型 ($V_{\text{sb}} = 0$)

如图 1 所示的器件结构, 当衬底偏压为零, 即 $V_{\text{sb}} = 0$ 时, 沿着垂直沟道的 x 方向建立并求解一维泊松方程, 可得到衬底零偏压长沟道应变 Si NMOSFET 阈值电压模型.

1) 弛豫 SiGe 层, 由于应变 Si/SiGe 量子阱的作用, 在弛豫 SiGe 层, 忽略电子浓度, 建立泊松方程

$$\frac{d^2\phi}{dx^2} = \frac{qN_{\text{SiGe}}}{\epsilon_{\text{SiGe}}}, \quad (T_{\text{SSi}} < x < T_{\text{SSi}} + W_D), \quad (1)$$

其中 ϕ 为以衬底 B 为参考点的电势, ϵ_{SiGe} 为弛豫 SiGe 层的介电常数. 其边界条件为

$$E = -\left.\frac{d\phi}{dx}\right|_{x=T_{\text{SSi}}+W_D} = \phi|_{x=T_{\text{SSi}}+W_D} = 0, \quad (2)$$

其中 E 为电场强度. 将 (1) 式积分, 可以得到该层的电场和电势分别为

$$E(x) = -\frac{d\phi}{dx} = -\frac{qN_{\text{SiGe}}}{\epsilon_{\text{SiGe}}}(x - T_{\text{SSi}} - W_D), \quad (3)$$

$$\phi(x) = \frac{qN_{\text{SiGe}}}{2\epsilon_{\text{SiGe}}}(x - T_{\text{SSi}} - W_D)^2. \quad (4)$$

则当 $x = T_{\text{SSi}}$ 时在弛豫 SiGe 层表面的电场和电势分别为

$$E(x)|_{x=T_{\text{SSi}}^+} = -\epsilon_{\text{SiGe}} \left.\frac{d\phi}{dx}\right|_{x=T_{\text{SSi}}^+} = \frac{qN_{\text{SiGe}}W_D}{\epsilon_{\text{SiGe}}}, \quad (5)$$

$$\phi_1 = \phi|_{x=T_{\text{SSi}}} = \frac{qN_{\text{SiGe}}W_D^2}{2\epsilon_{\text{SiGe}}}. \quad (6)$$

2) 应变 Si 层, 采用耗尽近似, 忽略电子浓度, 建立一维泊松方程

$$\frac{d^2\phi}{dx^2} = \frac{qN_{\text{SSi}}}{\epsilon_{\text{SSi}}}, \quad (0 < x < T_{\text{SSi}}), \quad (7)$$

其中 ϵ_{SSi} 为应变 Si 层的介电常数, 其边界分别条件为

$$\epsilon_{\text{SSi}} \left.\frac{d\phi}{dx}\right|_{x=T_{\text{SSi}}^-} = \epsilon_{\text{SiGe}} \left.\frac{d\phi}{dx}\right|_{x=T_{\text{SSi}}^+} = -qN_{\text{SiGe}}W_D, \quad (8)$$

$$\phi_1 = \phi|_{x=T_{\text{SSi}}} = \frac{qN_{\text{SiGe}}W_D^2}{2\epsilon_{\text{SiGe}}}. \quad (9)$$

将 (7) 式积分, 可得到应变 Si 层的电场和电势分别为

$$\epsilon_{\text{SSi}} \frac{d\phi}{dx} = qN_{\text{SSi}} \left(x - T_{\text{SSi}} - \frac{N_{\text{SiGe}}}{N_{\text{SSi}}} W_D \right), \quad (10)$$

$$\phi(x) = \frac{qN_{\text{SiGe}}W_D^2}{2\epsilon_{\text{SiGe}}} + \frac{qN_{\text{SSi}}}{2\epsilon_{\text{SSi}}} \left\{ \left[x - \left(T_{\text{SSi}} + \frac{N_{\text{SiGe}}}{N_{\text{SSi}}} W_D \right) \right]^2 - \left(\frac{N_{\text{SiGe}}}{N_{\text{SSi}}} W_D \right)^2 \right\}. \quad (11)$$

在应变 Si/SiO₂ 界面处的应变 Si 层, 其表面电场和表面电势分别为

$$\epsilon_{\text{SSi}} \frac{d\phi}{dx} \Big|_{x=0^+} = -qN_{\text{SSi}} \left(T_{\text{SSi}} + \frac{N_{\text{SiGe}}}{N_{\text{SSi}}} W_{\text{D}} \right), \quad (12)$$

$$\begin{aligned} \phi_{\text{s}} = \phi \Big|_{x=0} &= \frac{q}{2\epsilon_{\text{SSi}}\epsilon_{\text{SiGe}}} (\epsilon_{\text{SSi}}N_{\text{SiGe}}W_{\text{D}}^2 \\ &+ 2\epsilon_{\text{SiGe}}N_{\text{SiGe}}W_{\text{D}}T_{\text{SSi}} \\ &+ \epsilon_{\text{SiGe}}N_{\text{SSi}}T_{\text{SSi}}^2). \end{aligned} \quad (13)$$

由 (13) 式可得到在弛豫 SiGe 层的耗尽层厚度为

$$\begin{aligned} W_{\text{D}} &= \sqrt{\frac{2\epsilon_{\text{SiGe}}}{qN_{\text{SiGe}}} \phi_{\text{s}} + \frac{\epsilon_{\text{SiGe}}}{\epsilon_{\text{SSi}}} \left(\frac{\epsilon_{\text{SiGe}}}{\epsilon_{\text{SSi}}} - \frac{N_{\text{SSi}}}{N_{\text{SiGe}}} \right) T_{\text{SSi}}^2} \\ &\quad - \frac{\epsilon_{\text{SiGe}}}{\epsilon_{\text{SSi}}} T_{\text{SSi}}. \end{aligned} \quad (14)$$

沿着垂直沟道的 x 方向, 将外加栅压分解为等效总耗尽电荷在栅氧化层上的压降, 表面势 ϕ_{s} 和平带电压 V_{FB} [13], 即

$$V_{\text{GB}} = V_{\text{FB}} + \phi_{\text{s}} - \frac{Q_{\text{B}}}{C_{\text{ox}}}, \quad (15)$$

其中总的耗尽电荷 Q_{B} 为应变 Si 层耗尽电荷和弛豫 SiGe 层耗尽电荷之和, 即

$$Q_{\text{B}} = -qN_{\text{SSi}}T_{\text{SSi}} - qN_{\text{SiGe}}W_{\text{D}}. \quad (16)$$

将 (14) 式和 (16) 式代入 (15) 式, 整理可得

$$V_{\text{GB}} = V_{\text{FB}} + \phi_{\text{s}} + \gamma_2 (\sqrt{\phi_{\text{s}} + A_1 + A_2}), \quad (17)$$

其中

$$\begin{aligned} A_1 &= \frac{qN_{\text{SiGe}}}{2\epsilon_{\text{SSi}}} \left(\frac{\epsilon_{\text{SiGe}}}{\epsilon_{\text{SSi}}} - \frac{N_{\text{SSi}}}{N_{\text{SiGe}}} \right) T_{\text{SSi}}^2, \\ A_2 &= \sqrt{\frac{q}{2}} \left(\sqrt{\frac{N_{\text{SSi}}^2}{\epsilon_{\text{SiGe}}N_{\text{SiGe}}}} - \sqrt{\frac{\epsilon_{\text{SiGe}}N_{\text{SiGe}}}{\epsilon_{\text{SSi}}^2}} \right) T_{\text{SSi}}, \\ \gamma_2 &= \frac{\sqrt{2q\epsilon_{\text{SiGe}}N_{\text{SiGe}}}}{C'_{\text{ox}}}. \end{aligned}$$

当 ϕ_{s} 等于阈值表面势时, $V_{\text{GB}} = V_{\text{TH0}}$, 其中 V_{TH0} 为零衬底偏压的阈值电压, 其表达式为

$$V_{\text{TH0}} = V_{\text{FB}} + \phi_{\text{s}} + \gamma_2 (\sqrt{\phi_{\text{s}} + A_1 + A_2}). \quad (18)$$

2.1.2 衬底偏压对阈值电压的影响

若在衬源之间施加反向偏压 V_{bs} , 以源为参考点的表面势 ϕ_{s} , 则

$$\phi_{\text{s}} = \phi_{\text{s}} + V_{\text{bs}}. \quad (19)$$

当衬底偏压为零时, $\phi_{\text{s}} = \phi_{\text{s}}$, $V_{\text{gs}} = V_{\text{gb}}$; 若衬底偏压不为零, 则阈值电压定义为 ϕ_{s} 等于阈值表面势时的栅源电压, 由 (18) 式可得

$$V_{\text{TH}} = V_{\text{FB}} + \phi_{\text{s}} + \gamma_2 (\sqrt{\phi_{\text{s}} - V_{\text{bs}} + A_1 + A_2}). \quad (20)$$

将 (18) 式带入 (20) 式可得

$$V_{\text{TH}} = V_{\text{TH0}} + \Delta V_{\text{TH}}, \quad (21)$$

其中, $\Delta V_{\text{TH}} = \gamma_2 (\sqrt{\phi_{\text{s}} - V_{\text{bs}} + A_1} - \sqrt{\phi_{\text{s}} + A_1})$.

考虑衬底掺杂的不均匀性以及衬底电压的影响 [14], 引入工艺拟合参数 K_1 和 K_2 , 则此时长沟道应变 Si NMOSFET 阈值电压方程为

$$\begin{aligned} V_{\text{TH,L}} &= V_{\text{TH0}} + K_1 (\sqrt{\phi_{\text{s}} - V_{\text{bs}}} - \sqrt{\phi_{\text{s}}}) \\ &\quad + K_2 \cdot V_{\text{bs}}, \end{aligned} \quad (22)$$

其中, K_1 和 K_2 可通过参数提取获得.

2.2 短沟道效应和漏致势垒降低效应对阈值电压的影响

随着器件尺寸的不断减小 (W 和 L), 沿着沟道方向电场强度的不断增强, 渐变沟道近似不再成立, 当 L 与源衬结、漏衬结耗尽区宽度相比拟时, MOSFET 被认为是短沟道器件. 此时的一维泊松方程不再适用, 在弛豫 SiGe 层的耗尽区内, 采用准二维的分析方法, 建立短沟道应变 Si NMOSFET 阈值电压模型.

2.2.1 准二维方程的建立和求解

如图 2 所示, 在 SiGe 耗尽层内建立高斯盒, 其厚度为 X_{dep} , 忽略自由电子浓度的影响 (耗尽近似), 在平面内的 4 个面求面积分, 可得

$$\begin{aligned} \epsilon_{\text{ox}} \frac{V_{\text{GS}} - V_{\text{FB}} - V_2 - V_{\text{S}}(y)}{T_{\text{ox}}} \\ - \epsilon_{\text{SiGe}} \frac{X_{\text{dep}}}{\eta} \frac{dE_{\text{s}}(y)}{dy} = qN_{\text{SiGe}}X_{\text{dep}}. \end{aligned} \quad (23)$$

上述等式的左边第一项为从上表面流入高斯箱的电通量, 等式左边第二项为沿着 y 方向流入高斯箱总电通量; 流入高斯箱总的电通量等于高斯箱内总的离化电荷, 如等式右边所示; 耗尽层的底部, 由于和衬底相连, 电势和电场都为零; 其中, $V_2 = \frac{qN_{\text{SSi}}T_{\text{SSi}}^2}{2\epsilon_{\text{SSi}}} + \frac{qN_{\text{SSi}}T_{\text{SSi}}T_{\text{ox}}}{\epsilon_{\text{ox}}}$, η 为和工艺相关的拟合参数, 可由参数提取得到, X_{dep} 的表达式可由 (14) 式将 $\phi_{\text{s}} - V_{\text{bs}}$ 替换 ϕ_{s} 得到

$$X_{\text{dep}} = \sqrt{\frac{2\epsilon_{\text{SiGe}}}{qN_{\text{SiGe}}}(\phi_s - V_{\text{bs}}) + \frac{\epsilon_{\text{SiGe}}}{\epsilon_{\text{SSi}}}\left(\frac{\epsilon_{\text{SiGe}}}{\epsilon_{\text{SSi}}} - \frac{N_{\text{SSi}}}{N_{\text{SiGe}}}\right)T_{\text{SSi}}^2 - \frac{\epsilon_{\text{SiGe}}}{\epsilon_{\text{SSi}}}T_{\text{SSi}}}. \quad (24)$$

方程 (23) 的边界条件为: $V_s(0) = V_{\text{bi}}$, $V_s(L) = V_{\text{bi}} + V_{\text{DS}}$, 其解为

$$V_s(y) = V_{\text{SL}} + (V_{\text{bi}} + V_{\text{DS}} - V_{\text{SL}}) \frac{\sinh(y/l)}{\sinh(L/l)} + (V_{\text{bi}} - V_{\text{SL}}) \frac{\sinh\left(\frac{L-y}{l}\right)}{\sinh(L/l)}, \quad (25)$$

其中, $V_{\text{bi}} = \frac{kT}{q} \log\left(\frac{N_{\text{SD}}N_{\text{SiGe}}}{ni_{\text{SiGe}}^2}\right)$, N_{SD} 为源/漏区掺杂浓度, ni_{SiGe} 为弛豫 SiGe 层的掺杂浓度,

$$V_{\text{SL}} = V_{\text{GS}} - V_{\text{FB}} - V_2 - \frac{qN_{\text{SiGe}}X_{\text{dep}}T_{\text{ox}}}{\epsilon_{\text{ox}}},$$

$$l = \sqrt{\frac{\epsilon_{\text{SiGe}}T_{\text{ox}}X_{\text{dep}}}{\epsilon_{\text{ox}}\eta}}.$$

即在弛豫 SiGe 的耗尽层表面的表面势为 $V_s(y)$, 由于应变 Si 层的厚度很薄, 可将该层做一维近似处理, 则应变 Si NMOSFET (应变 Si 层) 的表面势为

$$V'_s(y) = V'_{\text{SL}} + (V_{\text{bi}} + V_{\text{DS}} - V_{\text{SL}}) \frac{\sinh(y/l)}{\sinh(L/l)} + (V_{\text{bi}} - V_{\text{SL}}) \frac{\sinh\left(\frac{L-y}{l}\right)}{\sinh(L/l)}, \quad (26)$$

其中, $V'_{\text{SL}} = V_{\text{GS}} - V_{\text{TH0}} + \phi_s$, 为应变 Si NMOSFET 长沟器件的表面势.

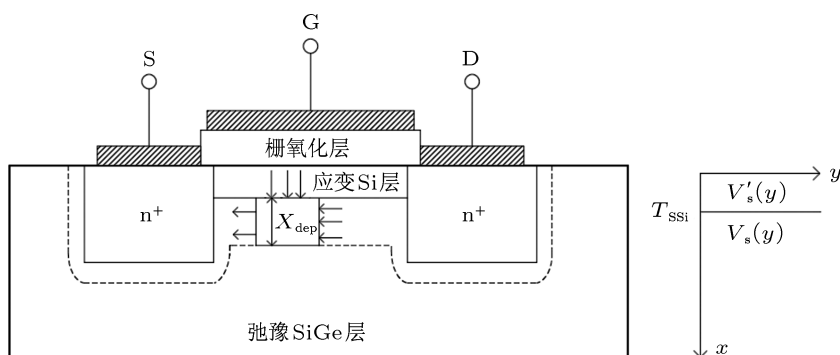


图2 弛豫 SiGe 层耗尽区高斯箱示意图

2.2.2 阈值电压

如 (26) 式所示的表面势, 沿着 y 方向找到其最小值点, 则在 $y = y_0$ 时的表面势为阈值表面势, 此时相应的栅源电压即为阈值电压. (26) 式对 y 求导, 找到零点, 则零点处对应的表面势即为其最小表面势

$$V_{\text{Smin}} = V'_{\text{SL}} + [2(V_{\text{bi}} - V_{\text{SL}}) + V_{\text{DS}}] \frac{\sinh(L/2l)}{\sinh(L/l)}. \quad (27)$$

当 $V_{\text{Smin}} = \phi_s$ 时, $V_{\text{gs}} = V_{\text{th}}$, 将此条件代入 (27) 式, 整理可得

$$V_{\text{th}} = V_{\text{TH0}} - \Delta V_{\text{th}}, \quad (28)$$

其中, $\Delta V_{\text{th}} = \frac{2(V_{\text{bi}} - \phi_s + V_1) + V_{\text{DS}}}{2 \cosh(L/2l) - 2}$. 在 ΔV_{th} 的表达式中, 分子的第一项可以认为是当 V_{DS} 不变时, 由于沟道长度的变化, 对阈值电压的影响, 即短沟道效应; 分子的第二项可以认为随着沟道长度的变化,

V_{DS} 的变化对阈值电压的影响, 即漏致势垒降低效应. 则 $\Delta V_{\text{th}} = \Delta V_{\text{th}}(\text{SCE}) + \Delta V_{\text{th}}(\text{DIBL})$, 同时考虑工艺对其的影响, 引入工艺参数^[14,15] K_5, K_6, K_7, K_8, K_9 和 K_{10} , 这些工艺参数值由参数提取获得, 则短沟道效应和漏致势垒降低效应对阈值电压的影响分别为

$$\Delta V_{\text{th}}(\text{SCE}) = - \frac{0.5 \cdot K_5}{\cosh\left(K_6 \cdot \frac{L_{\text{eff}}}{l}\right) - 1} (V_{\text{bi}} - \phi_s + V_1), \quad (29)$$

$$\Delta V_{\text{th}}(\text{DIBL}) = - \frac{0.5}{\cosh\left(K_7 \cdot \frac{L_{\text{eff}}}{l_0}\right) - 1} (K_8 + K_9 \cdot V_{\text{bs}}) \cdot V_{\text{ds}}, \quad (30)$$

其中

$$l_t = \sqrt{\frac{\epsilon_{\text{SiGe}} T_{\text{ox}} X_{\text{dep}}}{\epsilon_{\text{ox}}}} (1 + K_{10} \cdot V_{\text{bs}}),$$

$$l_{t0} = \sqrt{\frac{\epsilon_{\text{SiGe}} T_{\text{ox}} X_{\text{dep}0}}{\epsilon_{\text{ox}}}},$$

$$X_{\text{dep}0} = \sqrt{\frac{2\epsilon_{\text{SiGe}}}{qN_{\text{SiGe}}} \phi_s + \frac{\epsilon_{\text{SiGe}}}{\epsilon_{\text{SSi}}} \left(\frac{\epsilon_{\text{SiGe}}}{\epsilon_{\text{SSi}}} - \frac{N_{\text{SSi}}}{N_{\text{SiGe}}} \right) T_{\text{SSi}}^2} - \frac{\epsilon_{\text{SiGe}}}{\epsilon_{\text{SSi}}} T_{\text{SSi}}.$$

在 (29) 式中, K_6 代替了 $\eta^{-1/2}$.

2.3 窄沟道效应对阈值电压的影响

如图 3 所示, 在应变 Si NMOSFET 器件工艺中, 在薄的栅氧化层和厚场氧化层之间, 存在一个圆锥形的氧化层过渡区, 该边缘过渡区即为鸟嘴. 当施加栅压时, 在器件的边缘过渡区会形成栅控耗尽区. 定义栅压在器件边缘引起的总附加耗尽电荷为 ΔQ_w (每个边缘各为 $0.5\Delta Q_w$). 如果器件的沟道宽度 W 远大于栅引起的耗尽层宽度 X_{dep} , 栅压引起的附加耗尽电荷 ΔQ_w 与总耗尽电荷 Q_B 相比可以忽略; 当 W 与 X_{dep} 可比拟时, 附加电荷 ΔQ_w 与 Q_B 相比不能忽略, 其结果使得阈值电压增大, 其阈值电压的增量为 $\Delta V_{\text{th},w} = \Delta Q_w / C_{\text{ox}}$, 即当 L 不变时, 随着 W 的减小, V_{th} 增大. 为了用于电路模拟, 对耗尽区形状进行不同的近似, $\Delta V_{\text{th},w}$ 和器件的宽度 W 成反比, 和栅氧化层厚度以及强反型时的表面势成正比 [16]. 进一步考虑衬底偏压 V_{bs} 以及具体工艺对其影响, 我们建立了半经验的 $\Delta V_{\text{th},w}$ 模型

$$\Delta V_{\text{th},w} = (K_3 + K_4 \cdot V_{\text{bs}}) \frac{T_{\text{ox}}}{W_{\text{eff}}} \phi_s, \quad (31)$$

其中 K_3 和 K_4 为工艺拟合参数, 由参数提取获得.

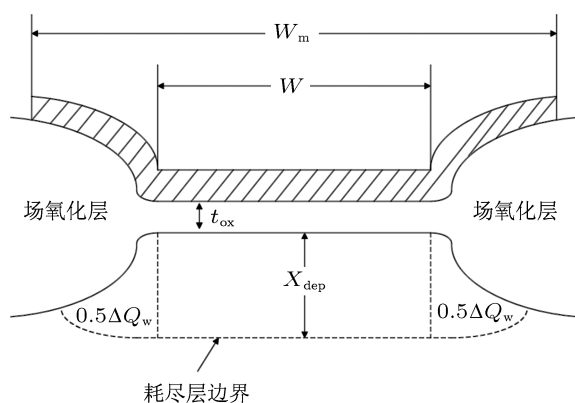


图 3 窄沟道器件宽度方向截面图

2.4 完整的阈值电压模型

在长沟阈值电压分析的基础上, 分别研究了衬底偏压、短沟道效应、漏致势垒降低和窄沟道效应对阈值电压的影响, 综合所有与阈值电压的相关因素, 完整的应变 Si NMOSFET 的阈值电压为

$$V_{\text{TH}} = V_{\text{TH,L}} + \Delta V_{\text{th}}(\text{SCE}) + \Delta V_{\text{th}}(\text{DIBL}) + \Delta V_{\text{th},w}, \quad (32)$$

其中, $V_{\text{TH,L}}$, $\Delta V_{\text{th}}(\text{SCE})$, $\Delta V_{\text{th}}(\text{DIBL})$ 和 $\Delta V_{\text{th},w}$ 的表达式分别为 (22), (29), (30) 和 (31) 式, 将它们代入 (32) 式中即可得到完整的应变 Si NMOSFET 阈值电压表达式为

$$V_{\text{TH}} = V_{\text{TH0}} + K_1 (\sqrt{\phi_s - V_{\text{bs}}} - \sqrt{\phi_s}) + K_2 \cdot V_{\text{bs}} + (K_3 + K_4 \cdot V_{\text{bs}}) \frac{T_{\text{ox}}}{W_{\text{eff}}} \phi_s - 0.5 \frac{K_5}{\cosh\left(K_6 \cdot \frac{L_{\text{eff}}}{l_t}\right) - 1} (V_{\text{bi}} - \phi_s + V_1) - \frac{0.5}{\cosh\left(K_7 \cdot \frac{L_{\text{eff}}}{l_{t0}}\right) - 1} \times (K_8 + K_9 \cdot V_{\text{bs}}) \cdot V_{\text{ds}}. \quad (33)$$

3 结果与讨论

对于应变 Si NMOSFET 的电路进行模拟时, 必须具有足够精度而又简便的器件模型, 而器件模型参数的真实性和数值精度就成了模拟正确与否的决定因素. 为了确保仿真结果和实际测试数据更好地拟合, 在模型中引入了大量和工艺相关参数 (V_{TH0} , K_1 — K_{10}), 这些参数必须采用参数提取方法获得, 即在已知的大量的实验测试数据中, 通过优化的程序来获得模型中的工艺相关参数 [12].

3.1 实验

实验中制造的应变 Si NMOSFET 结构如图 1 所示. 其主要的器件工艺参数如下: Si 衬底采用 [001] 晶向, 掺杂浓度为 $10^{17}/\text{cm}^3$; 渐变 SiGe 层厚度为 20 nm, 其 Ge 组分从 0 渐变到 20%; 弛豫 SiGe 层厚度为 7 nm, 其 Ge 组分保持 20% 不变; 应变 Si 层厚度为 8 nm. 制造的应变 Si NMOSFET 显微照片如图 4 所示.

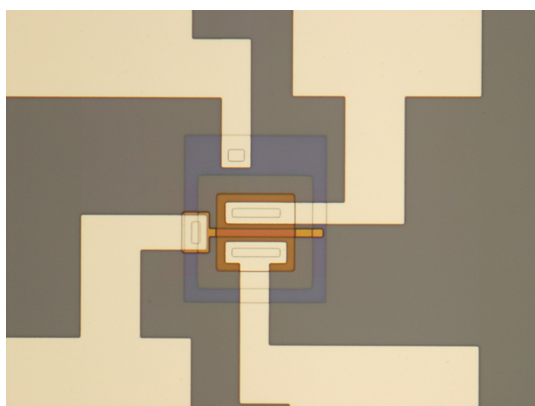


图4 应变 Si NMOSFET 器件显微照片

3.2 参数提取

基于应变 Si NMOSFET 完整的阈值电压集约物理模型, 通过相应的参数提取软件, 提取的相关的工艺参数 V_{TH0} , K_1 — K_{10} , 其工艺参数的单位和具体参数值如表 1 所示.

表 1 参数提取结果

V_{TH0}/V	0.701
$K_1/V^{1/2}$	0.438
K_2	0.011
K_3	2.25
K_4/V^{-1}	-0.018
K_5	2.28
K_6	0.53
K_7	0.46
K_8	0.069
K_9/V^{-1}	-0.021
K_{10}/V^{-1}	-0.032

3.3 讨论

为了验证本文建立的应变 Si NMOSFET 阈值电压集约物理模型的准确性, 首先将通过参数提取的模型用 MATLAB 软件进行计算, 然后将计算结果与通过实验的测试结果进行比较, 从而验证模型的正确性与精度.

3.3.1 短沟道效应和漏致势垒降低对阈值电压的影响

如图 5 所示为不同源漏偏压下阈值电压随沟道长度的变化情况. 从图中我们可以看出随着沟道长度的减小, 阈值电压不断降低, 并且随着沟道长度的不断降低其下降幅度不断增加, 注意到当沟道长度小于 $0.35 \mu\text{m}$ 时更加明显; 随着漏源偏压的不断增大, 阈值电压不断减小, 同样当沟道长度小于

$0.35 \mu\text{m}$ 时更加明显. 这是由于短沟道效应和漏致势垒降低效应的共同作用结果, 沟道长度越短, 漏源偏压越大, 栅极实际控制的耗尽区电荷越少, 阈值电压越低, 即短沟道效应和漏致势垒降低效应越明显. 从图中可以发现, 在沟道长度大于 $0.18 \mu\text{m}$ 时, 通过参数提取后的 (33) 式所建立的阈值电压模型和实验结果拟合非常精确.

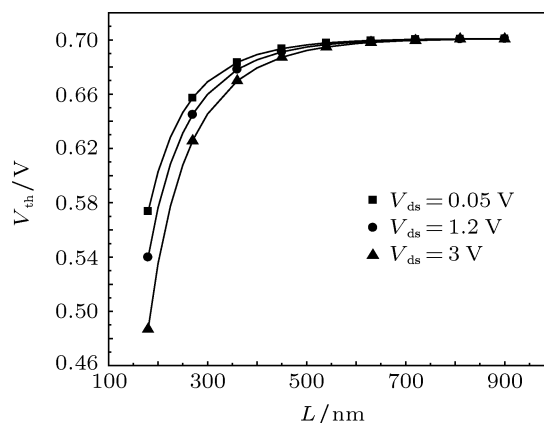


图5 不同源漏偏压下的阈值电压随沟道长度的变化

3.3.2 窄沟道效应对阈值电压的影响

窄沟道效应对阈值电压的影响如图 6 所示. 随着沟道宽度的不断减小, 阈值电压不断增加, 并且随着沟道宽度的减小, 其增加的幅度不断增大, 这是由于随着沟道宽度的不断减小, 如图 3 所示的鸟嘴区的衬底耗尽电荷和沟道宽度内的耗尽区电荷之比不断增加, 使得栅极需要更大的电压才能平衡鸟嘴区的耗尽电荷, 即阈值电压不断增加. 从图中可以发现, 在沟道宽度大于 $0.18 \mu\text{m}$ 时, 通过参数提取后的 (33) 式所建立的阈值电压模型和实验结果拟合非常精确.

3.3.3 衬底偏压对阈值电压的影响

不同衬底偏压下阈值电压的变化情况如图 7 所示. 随着衬底偏压 V_{bs} 的不断降低, 阈值电压不断增加, 且随着沟道长度的降低, 其增加幅度不断减小, 不同衬底偏压条件下的阈值电压相差无几. 这是由于当沟道长度很长时, 衬底偏压的减小使得衬底耗尽层宽度不断增加, 这时需要更高的栅极偏压来平衡额外增加的衬底耗尽电荷, 进而使得阈值电压提高, 此时衬底起到了栅控作用, 故也常称衬底为背栅. 随着沟道长度的不断降低, 栅极和衬底实际控制的衬底耗尽层电荷不断减小, 此时器件的源、漏电压对衬底电荷的控制作用变得逐渐显著, 此时的器件相当于由 4 个控制端即: 栅、衬底、源

和漏, 控制着衬底耗尽区电荷, 因此衬底电压对耗尽区电荷 (即阈值电压) 的影响变得越来越不明显. 如图 7 所示, 模型的计算结果和实验数据拟合地非常精确.

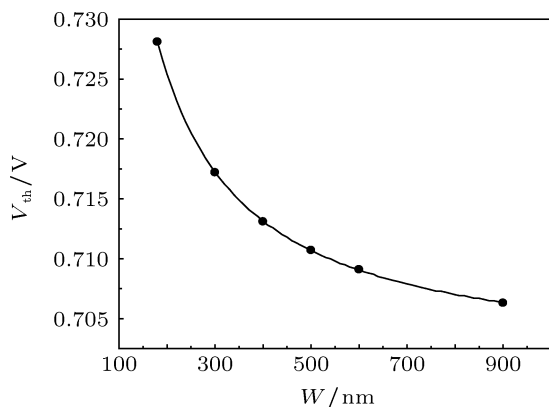


图 6 阈值电压随沟道宽度的变化

4 结论

本文针对应变 Si NMOSFET 器件, 基于缓变沟道近似和准二维泊松方程, 详细研究了器件的衬底

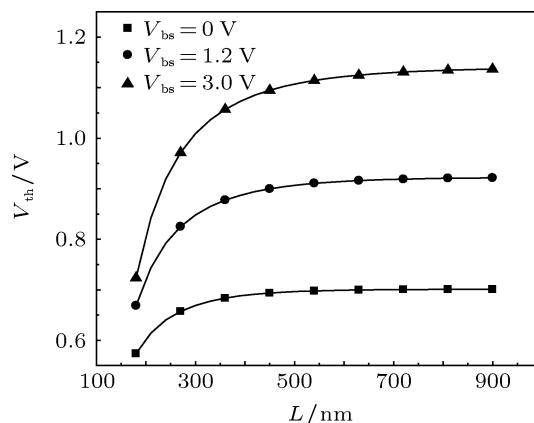


图 7 不同衬底偏压下阈值电压随沟道长度的变化

偏压、短沟道效应和漏致势垒降低效应对阈值电压的影响, 同时详细的研究了窄沟道效应的影响, 最终建立了完整的阈值电压集约物理模型. 通过实验, 提取了阈值电压相关参数. 随后详细的讨论了短沟道效应、窄沟道效应、漏致势垒降低效应和衬底偏压对阈值电压的影响. 并将提取的参数代入模型后与实验结果进行了比较, 验证了建立的模型的正确性与精确性. 本文建立的应变 Si NMOSFET 阈值电压集约物理模型为应变 Si 超大规模集成电路的分析和设计提供了重要的参考.

- [1] O'Neil A G, Antoniadis D A 1996 *IEEE Trans. Electron Devices* **43** 911
- [2] Song J J, Zhang H M, Hu H Y, Dai X Y, Xuan R X 2007 *Chin. Phys.* **16** 3827
- [3] Qu J T, Zhang H M, Qing S S, Xu X B, Wang X Y, Hu H Y 2011 *Acta Phys. Sin.* **60** 098501 (in Chinese) [曲江涛, 张鹤鸣, 秦珊珊, 徐小波, 王晓艳, 胡辉勇 2011 物理学报 **60** 098501]
- [4] Zhang Z F, Zhang H M, Hu H Y, Xuan R X, Song J J 2009 *Acta Phys. Sin.* **58** 4948 (in Chinese) [张志峰, 张鹤鸣, 胡辉勇, 宣荣喜, 宋建军 2009 物理学报 **58** 4948]
- [5] Wang G Y, Zhang H M, Wang X Y, Wu T F, Wang B 2011 *Acta Phys. Sin.* **60** 077106 (in Chinese) [王冠宇, 张鹤鸣, 王晓艳, 吴铁峰, 王斌 2011 物理学报 **60** 077106]
- [6] Karthik C, Zhou X, Chiah S B 2004 *NSTI-Nanotech* **2** 179
- [7] Hasen M N, Judy L, Dimitri A A 2004 *IEEE Trans. Electron Devices* **51** 2069
- [8] Kunihiro S 2000 *IEEE Trans. Electron Devices* **47** 2372
- [9] Kendall J D, Boothroyd A R 1986 *IEEE Electron Devices Lett.* **7** 407
- [10] Arora N 2007 *MOSFET Modeling for VLSI Simulation* (Singapore: World Scientific Press) p12-68
- [11] Xu S L, Xie M X, Zhang Z F 2007 *SiGe Microelectronics Technology* (Beijing: National Defense Industry Press) p8 (in Chinese) [徐世六, 谢孟贤, 张正璠 2007 SiGe 微电子技术 (北京: 国防工业出版社) 第 8 页]
- [12] Ting K K 2012 *IEEE Electron Devices Lett.* **33** 770
- [13] Yannis T, Colin M 2011 *Operation and Modeling of the MOS Transistor* (3rd Edn.) (New York: Oxford University Press) p600-638
- [14] Deen M J 1990 *IEEE Trans. Electron Devices* **37** 1707
- [15] Tsunomura T 2009 *IEEE Trans. Electron Devices* **56** 2073
- [16] Arora N D 1987 *Solid-State Electronics* **30** 560

Physical compact modeling for threshold voltage of strained Si NMOSFET*

Zhou Chun-Yu^{1)2)†} Zhang He-Ming¹⁾ Hu Hui-Yong¹⁾ Zhuang Yi-Qi¹⁾
Su Bin¹⁾ Wang Bin¹⁾ Wang Guan-Yu¹⁾

1) (Key Laboratory for Wide Band-Gap Semiconductor Materials and Devices, School of Microelectronics, Xidian University, Xi'an 710071, China)

2) (School of Electronic and Information Engineering, Liaoning Technical University, Huludao 125105, China)

(Received 4 November 2012; revised manuscript received 25 November 2012)

Abstract

The development of strained-Si physical compact threshold voltage model is based on Poisson's equation, using the gradual channel approximation (GCA) and coherent quasi-two-dimensional (2D) analysis, as well as taking into account the effects of short channel effect (SCE), narrow channel effect (NCE), non-uniform doping effect, and drain-induced barrier lowering (DIBL) effect. Moreover, the threshold voltage parameters are extracted from the experimental results by software. Finally, the validity of our model is derived from the comparison of our simulation results. The proposed model may be useful for the design and simulation of very large scale integrated circuits (VLSI) made of strained-Si.

Keywords: strained Si NMOSFET, threshold voltage, physical compact modeling

PACS: 71.23.An, 71.70.Fk

DOI: 10.7498/aps.62.077103

* Project supported by the Research Fund for the Doctoral Program of Higher Education of China (Grant No. JY0300122503), the Fundamental Research Funds for the Central Universities (Grant Nos. K5051225014, K5051225004), and the Natural Science Basic Research Plan in Shaanxi Province of China (Grant No. 2010JQ8008).

† Corresponding author. E-mail: chunyu Zhou@stu.xidian.edu.cn