

# 总剂量辐照下沟道长度对部分耗尽绝缘体上硅p型场效应晶体管电特性的影响\*

刘红侠<sup>†</sup> 王志 卓青青 王倩琼

(西安电子科技大学微电子学院, 宽禁带半导体材料与器件教育部重点实验室, 西安 710071)

(2013年7月14日收到; 2013年9月29日收到修改稿)

本文通过实验研究了0.8  $\mu\text{m}$  PD (Partially Depleted) SOI (Silicon-On-Insulator) p型Metal-oxide-semiconductor-field-effect-Transistor(MOSFET) 经过剂量率为50 rad(Si)/s的 $^{60}\text{Co}$   $\gamma$ 射线辐照后的总剂量效应, 分析了沟道长度对器件辐照效应的影响. 研究表明: 辐照总剂量相同时, 短沟道器件的阈值电压负向漂移量比长沟道器件大, 最大跨导退化的更加明显. 通过亚阈值分离技术分析得到, 氧化物陷阱电荷是引起阈值电压漂移的主要因素. 与长沟道器件相比, 短沟道器件辐照感生的界面陷阱电荷更多.

**关键词:** 总剂量辐照, 阈值电压漂移, 跨导退化, 界面陷阱电荷

**PACS:** 61.80.Ed, 73.40.Qv, 61.80.-x

**DOI:** 10.7498/aps.63.016102

## 1 引言

基于SOI的MOS器件本身自带良好的介质隔离, 彻底地消除了体硅MOS器件中的寄生门锁效应, 具有良好的抗辐射特性, 这些优点使得SOI技术广泛地应用于空间、军事等领域. 然而辐射在埋氧层中产生氧化层陷阱, 使得SOI器件的总剂量辐照效应比体硅器件的更复杂. 近年来, 国内外学者对SOI器件的总剂量辐照进行了深入地研究<sup>[1-4]</sup>, 主要涉及总剂量辐照引起的SOI器件性能退化与物理机理. 迄今为止, 对短沟道的辐照效应退化机理还没有统一的认识. 随着器件尺寸减小, 沟道长度减小给SOI器件带来了一系列的短沟道效应. 文献[5]认为器件沟道长度的变化主要影响辐照感生界面态的形成, 会导致短沟道器件辐照后产生更多的界面态. 文献[6]认为辐照后, 短沟道器件辐照感生的氧化层陷阱电荷增加, 界面态保持不变. Huang等<sup>[7]</sup>提出的电荷分享模型认为当器件的沟长比源漏耗尽区的宽度大很多时, 阈值电压的变化同长度没有关系. 当沟道长度很小时, 器件的

短沟道效应增加. 国内外主要针对n型SOI器件进行研究, 专门针对p型器件抗辐照特性的论文相对比较少. 辐照后p型SOI器件一些特性的退化不如NMOS器件严重, 但随着器件尺寸的减小, SOI PMOS器件受到总剂量辐照的影响越来越严重<sup>[8]</sup>.

本文以PD SOI PMOS器件为研究对象, 测试得到了不同沟道长度的器件辐照前后的特性曲线, 研究了辐照对SOI PMOSFET的影响. 研究表明: 辐照后沟道长度为0.8  $\mu\text{m}$ 器件的阈值电压漂移量与8  $\mu\text{m}$ 器件的相差不大, 但跨导却比8  $\mu\text{m}$ 器件退化的更严重.

## 2 辐照实验和测试

实验样品为0.8  $\mu\text{m}$ 工艺的部分耗尽SOI PMOS器件, 所有样品均为陶瓷封装, 工作电压为5 V. 图1是实验器件的版图示意图. 从器件的版图可以看出, 实验器件采用带两个N<sup>+</sup>体引出端的H形栅结构, 该结构可以有效地抑制边缘晶体管效应. 实验样品的栅氧厚度为12.5 nm. 样品宽长比W/L分别为8  $\mu\text{m}$ /8  $\mu\text{m}$ 和8  $\mu\text{m}$ /0.8  $\mu\text{m}$ . SOI器件的埋

\* 国家自然科学基金(批准号: 61076097, 11235008)和中央高校基本科研业务费专项资金(批准号: 20110203110012)资助的课题.

<sup>†</sup> 通讯作者. E-mail: hxliu@mail.xidian.edu.cn

氧化层厚度均为 375 nm, 硅膜厚度为 160 nm.

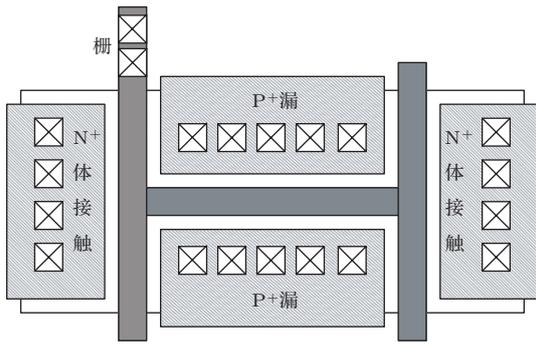


图1 实验样品版图示意图

电离辐照实验使用的是西北核技术研究所的  $^{60}\text{Co}$   $\gamma$  射线源, 选取的剂量率为 50 rad (Si)/s. 总剂量测试点为 200 krad (Si), 500 krad (Si). 辐照实验中, 为了确保辐照测试数据的精确性, 每次

测试都在 30 min 之内完成. 辐照前后器件参数的测量和提取通过计算机自动进行, 测试仪器为 HP4156A 半导体精密参数分析仪、HP3488A 程控开关和器件测试架. 辐照过程的偏置条件为开态偏置, 即栅极  $V_{\text{GS}}$  为  $-5\text{ V}$ , 其他电极接地.

### 3 实验结果

图 2 为沟道长度为  $8\ \mu\text{m}$  和  $0.8\ \mu\text{m}$  SOI PMOS 器件在开态辐照偏置下前栅转移特性曲线. 转移特性曲线中, 纵坐标是漏极电流  $I_{\text{DS}}$ , 取对数坐标, 横坐标是栅极扫描电压  $V_{\text{GS}}$  从  $0\text{ V}$  减小到  $-5\text{ V}$ , 漏源电压  $V_{\text{DS}} = -0.1\text{ V}$ . 从图中可以看出, 随着总剂量的增加, 器件的前栅阈值电压向负向漂移, 沟道长度为  $0.8\ \mu\text{m}$  器件辐照后阈值电压漂移比  $8\ \mu\text{m}$  器件稍大, 源漏泄漏电流都很小.

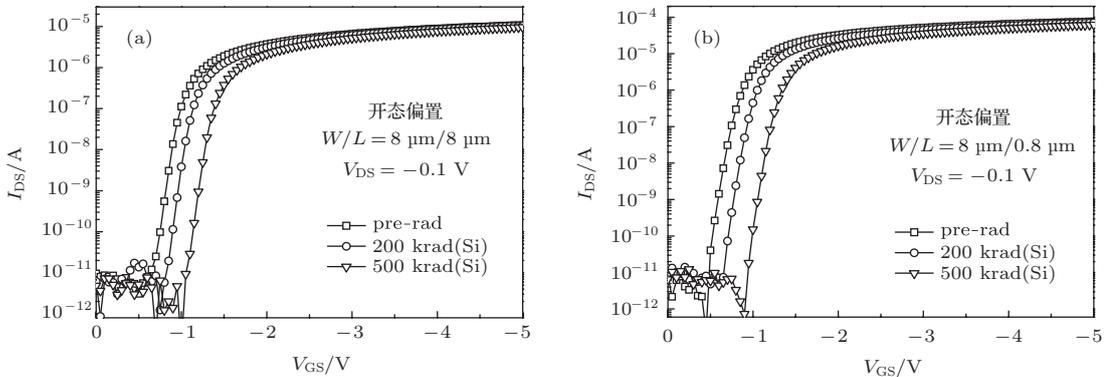


图2 开态偏置下器件辐照前后的前栅转移特性曲线 (a)  $L = 8\ \mu\text{m}$ ; (b)  $L = 0.8\ \mu\text{m}$

总剂量辐照在 MOS 器件中通过电离作用产生电子空穴对, 在外电场作用下, 这些电子空穴向边界处运动. 电子的迁移率很大. 因此在很短的时间内电子被扫出氧化层; 而空穴的迁移率很小, 在短时间内有部分空穴未被扫出, 这些空穴在氧化层中

被陷阱俘获产生陷阱电荷. 靠近界面处, 这些空穴会被界面陷阱俘获形成辐射感生界面态. PMOS 器件感生界面态带正电<sup>[9]</sup>, 与氧化层陷阱电荷一样会导致阈值电压的负向偏移, 造成了图 2 所示的负向漂移.

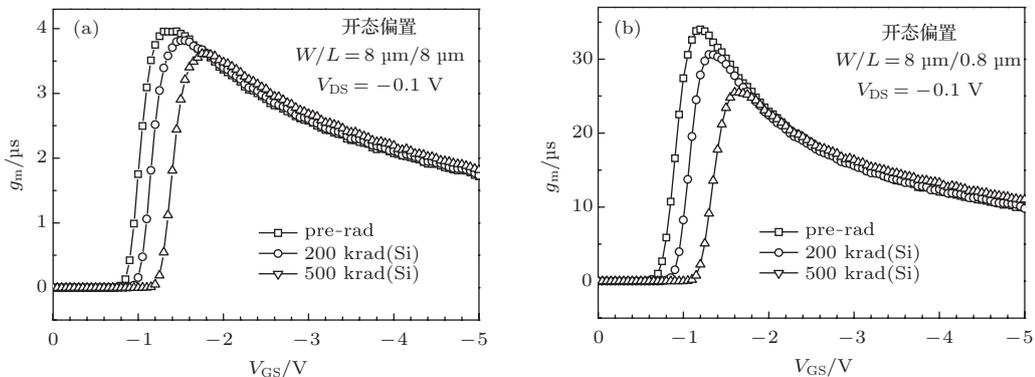


图3 开态偏置下器件辐照前后的前栅跨导曲线 (a)  $L = 8\ \mu\text{m}$ ; (b)  $L = 0.8\ \mu\text{m}$

图3为沟道长度为8 μm和0.8 μm SOI PMOS器件在开态辐照偏置下前栅跨导曲线. 该曲线中的跨导值是由图2中的  $dI_{DS}/dV_{GS}$  求得得到的, 栅源  $V_{GS}$  是该曲线的横坐标. 从图中可以看出, 随着辐照剂量的增加, 最大跨导降低, 沟道长度为0.8 μm器件辐照后跨导退化量比8 μm器件大很多. 且还可以看出, 跨导达到最大值之后, 随着栅源电压的增加, 出现了辐照剂量越大, 跨导越大的现象.

## 4 讨论

### 4.1 沟道长度对阈值电压的影响

图4为在开态偏置下,  $W/L = 8 \mu\text{m}/8 \mu\text{m}$  和  $W/L = 8 \mu\text{m}/0.8 \mu\text{m}$  的PMOS器件的前栅阈值电压漂移量随总剂量的变化关系. 所有的阈值电压都是通过线性外推法提取的. 从图中可以看出, 对长沟道器件, 在500 krad (Si) 辐照后, 阈值电压漂移量为382 mV, 而对短沟道器件, 阈值电压漂移移432 mV, 两种沟道长度器件的阈值电压漂移都比较小, 短沟道器件的阈值电压漂移量  $\Delta V_{th}$  比长沟道器件大.

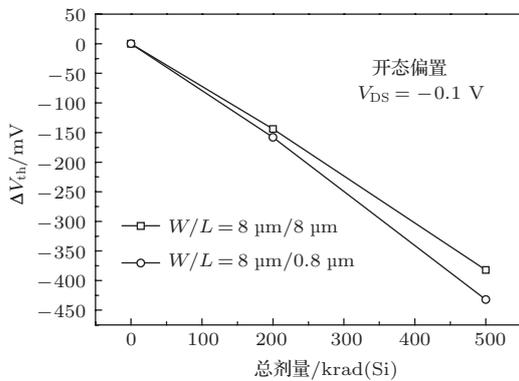


图4 开态偏置下不同沟道长度的PMOSFET前栅阈值电压漂移量与辐照剂量的关系

理论分析指出,  $\gamma$  辐照损伤电荷非均匀分布与短沟道电荷分享效应相互耦合, 造成短沟道MOS器件阈值电压辐照漂移比长沟道MOS器件大<sup>[10,11]</sup>. 源、漏 p-n 结电场使结表面附近的氧化层中电场畸变, 导致沟道两端的氧化层比沟道中部产生更多的氧化层辐照电荷和辐照引入的界面态, 使沟道的靠近源和漏一端的氧化层辐照损伤比沟道中部更大. 对于本次实验, 辐照偏置为开态偏置, 即栅极接负电压, 其他各电极接地, 这样源漏电压为零, 辐照在源、漏端附近产生的损伤电荷数量近似可以认为一样多. 这种辐照电荷的非均匀分布在

长沟MOS器件中也存在, 在长沟中其影响可忽略不计.

短沟道效应是由于沟道长度的减小导致出现了电荷共享, 即栅下耗尽区电荷不再完全受栅控制, 其中有一部分受源、漏控制. 随着沟道长度的减小, 受栅控制的耗尽区电荷减少, 更多的栅压用来形成反型层, 使得达到阈值的栅压不断降低. 图5为SOI PMOS器件在总剂量辐照下的电荷分享模型, 图中  $V_s, V_g, V_d, V_{sub}$  分别是源极、栅极、漏极、衬底电压, 受栅控制的耗尽区电荷可以用一个梯形ABCD的面积表示. 对长沟道器件, 梯形的上下边近似相等, 对短沟道器件, 梯形的下边缩短. 测试时漏端电压为  $-0.1 \text{ V}$ , 电压较小, 可以近似地认为源、漏 p-n 结耗尽区的大小相同.

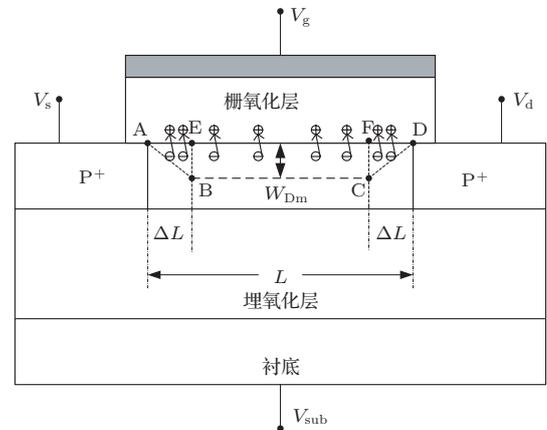


图5 SOI PMOSFET 电荷分享模型

为了简化问题, 把沟道区分为三个区域, 源端附近的三角形ABE区, 漏端附近的三角形FCD区, 沟道中部的矩形EBCF区, 并且假设作用在三个区域的辐照损伤电荷为均匀分布, 作用在三角形ABE区和FCD区的辐照损伤电荷密度为  $N_{1t}$ , 作用在矩形EBCF区的为  $N_{2t}$ , 根据之前分析的  $\gamma$  辐照引起损伤电荷的非均匀分布, 可知  $N_{1t}$  大于  $N_{2t}$ , 令  $\Delta N_t = N_{1t} - N_{2t}$ . 对于长沟道器件, 可以认为作用在整个梯形区域的辐照损伤电荷密度为  $N_{2t}$ . 因此作用在短沟道器件的总的辐照损伤电荷为

$$\begin{aligned}
 Q_t &= \frac{1}{2}qWN_{1t}\Delta LW_{Dm} \\
 &\quad + qWN_{2t}(L - 2\Delta L)W_{Dm} \\
 &\quad + \frac{1}{2}qWN_{1t}\Delta LW_{Dm} \\
 &= qWN_{1t}\Delta LW_{Dm} \\
 &\quad + qWN_{2t}(L - 2\Delta L)W_{Dm}, \quad (1)
 \end{aligned}$$

其中  $W$ ,  $L$  分别为沟道宽度和长度,  $\Delta L$  为源、漏耗尽区的宽度,  $W_{Dm}$  为表面最大耗尽层宽度,  $q$  为电子电荷量. 于是得到

$$\begin{aligned} \Delta V_{th} &= -\frac{qWN_{1t}\Delta LW_{Dm} + qWN_{2t}(L - 2\Delta L)W_{Dm}}{WLC_{ox}} \\ &= -\frac{qN_{2t}W_{Dm}(L - \Delta L)}{C_{ox}L} - \frac{q(N_{1t} - N_{2t})W_{Dm}}{C_{ox}} \\ &\quad \times \frac{\Delta L}{L} \\ &= -\frac{qN_{2t}W_{Dm}(L - \Delta L)}{C_{ox}L} - \frac{q\Delta N_t W_{Dm}}{C_{ox}} \\ &\quad \times \frac{\Delta L}{L}, \end{aligned} \quad (2)$$

与长沟道 SOI PMOSFET 阈值电压漂移

$$\Delta V_{th0} = -\frac{qN_{2t}W_{Dm}(L - \Delta L)}{C_{ox}L} \quad (3)$$

相比得  $\Delta V_{th} = \Delta V_{th0} + \Delta V'_{th}$ .

当  $L \gg \Delta L$  时, (2) 式退化为长沟道时的 (3) 式. 因此辐照效应和短沟道效应耦合产生的阈值电压漂移量为

$$\Delta V'_{th} = -\frac{q\Delta N_t W_{Dm}}{C_{ox}} \times \frac{\Delta L}{L}. \quad (4)$$

由 (3) 式和 (4) 式可知, 当沟道长度远远大于源、漏的最大耗尽区宽度  $\Delta L$  时, 器件阈值电压的漂移便同沟道长度的变化几乎没有关系; 当沟道长度与源、漏耗尽区宽度相当时, 阈值电压漂移随着沟道长度的减小而增加. 对于实验样品, 源、漏区的掺杂浓度近似为  $3 \times 10^{19} \text{ cm}^{-3}$ , 沟道的掺杂浓度近似为  $1 \times 10^{17} \text{ cm}^{-3}$ , 器件的源、漏耗尽区宽度可以由下式求出:

$$\Delta L = \left\{ \frac{2\varepsilon_{Si}V_{bi}}{qN_A} \right\}^{1/2}, \quad (5)$$

$\varepsilon_{Si}$  为体硅内的介电常数,  $N_A$  为沟道的掺杂浓度,  $V_{bi}$  是源、漏 p-n 结的内建电势, 其值与源漏掺杂浓度、沟道掺杂浓度和温度有关. 在室温下,  $V_{bi}$  计算值为 1.102 V. 将参数代入 (5) 式, 可得源、漏的最大耗尽区宽度  $\Delta L$  为 0.12  $\mu\text{m}$ . 因此, 当沟道长度由 8  $\mu\text{m}$  减小到 0.8  $\mu\text{m}$  时, 阈值电压漂移量随着沟道长度减小而增大, 但增加幅度不大, 于是得到了图 2 所示的结果.

图 6 是 SOI PMOS 器件在开态偏置下不同辐照剂量的背栅阈值电压漂移量随沟道长度的变化曲线. 可以看出, 在总剂量辐照下, PMOS 器件的背栅阈值电压的漂移明显大于前栅. 这是由于厚的埋

氧层使得背栅在总剂量辐照下产生更多氧化层陷阱电荷和界面态陷阱电荷, 使其对总剂量辐照更加敏感. 和前栅氧化层一样,  $\gamma$  辐照损伤电荷非均匀分布与短沟道电荷分享效应的相互耦合会使短沟道器件的阈值电压负向漂移加剧.

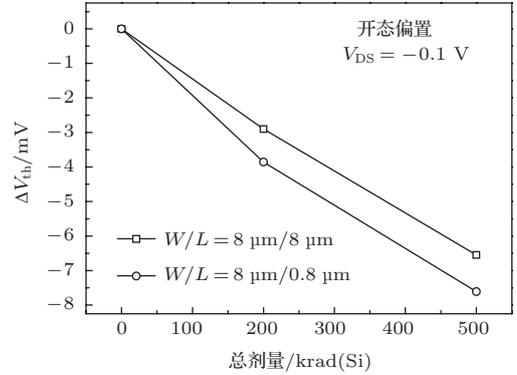


图 6 开态偏置下不同沟道长度的 PMOSFET 背栅阈值电压漂移量与辐照剂量的关系

## 4.2 沟道长度对跨导的影响

跨导  $g_m$  是表征 MOS 器件电学特性的重要参数, 是漏电流的改变与栅压改变之比, 即当栅压改变 1 V 时, 源漏电流的变化量即为跨导  $g_m$ . 该参量表示场效应晶体管对电流控制能力的大小. 对工作在线性区的 PMOS 器件, 当满足  $|V_{DS}| \ll |V_{GS} - V_T|$  时, 跨导为

$$g_m = -\frac{W}{L}\mu_p C_{ox} V_{DS}, \quad (6)$$

其中  $\mu_p$  为空穴迁移率,  $C_{ox}$  为栅氧化层电容, PMOS 器件饱和区的跨导  $g_m$  为

$$g_m = -\frac{W}{ML}\mu_p C_{ox}(V_{GS} - V_T), \quad (7)$$

其中  $M$  是掺杂浓度与氧化层厚度的函数. 由于测试是在固定漏源电压  $V_{DS} = -0.1 \text{ V}$  时进行的, 当栅源电压的绝对值较小时, 器件不能开启, 随着栅源电压绝对值的增大, 器件进入亚阈值, 之后位于饱和区, 最后过渡到线性区, 由 (7) 式可知, PMOS 器件进入饱和区后, 跨导随着栅压的增加而增大. 但图 3 显示的是跨导不会一直增大, 而是达到最大值后又逐渐减小. 这是由于此时器件已经进入线性区, 栅源电压较大, 沟道空穴会受到栅压影响的附加散射 [5]. 空穴从源端向漏端运动时, 被限制在  $\text{SiO}_2/\text{Si}$  界面势垒和 Si 价带顶  $E_V$  势垒之间的沟道区内. 对于 PMOSFET, 当栅源电压绝对值增加, 纵向电场变大, 纵向电场会加速空穴向  $\text{SiO}_2/\text{Si}$  界面的运动, 使沟道空穴受到的附加散射增强, 迁移

率变小, 所以跨导  $g_m$  会逐渐减小. 从上述分析可知峰值跨导出现在饱和区和线性区的交界附近.

图 3 中可以看出随着辐照剂量的增加, 最大跨导降低. 由 (6) 式和 (7) 式可以看出, 最大跨导和迁移率有密切的关系, 最大跨导直接反应了  $\text{SiO}_2/\text{Si}$  界面处的界面陷阱对沟道载流子迁移率的影响. 所以最大跨导退化是由于电离辐照在 MOSFET 的  $\text{SiO}_2/\text{Si}$  界面或附近感生某些陷阱电荷, 这些位于或临近界面的带电中心的库仑散射导致沟道载流子迁移率的变化而引起最大跨导退化. 对于 PMOS 器件, 辐照感生陷阱电荷为正氧化物陷阱电荷和界面陷阱电荷, 陷阱电荷对迁移率的影响可表示为 [12]

$$\mu = \frac{\mu_0}{1 + \alpha_{ot}Q_{ot} + \alpha_{it}Q_{it}}, \quad (8)$$

其中  $\mu$  为辐照后载流子迁移率,  $\mu_0$  为辐照前的载流子迁移率,  $\alpha_{ot}$  是与氧化物陷阱电荷有关的经验常数,  $Q_{ot}$  是辐照引起的有效氧化物陷阱电荷密度,  $\alpha_{it}$  是与界面陷阱电荷有关的经验常数,  $Q_{it}$  是辐照引起的有效界面陷阱电荷密度.

图 3 中还出现了随着总剂量的增加, 在高栅源电压下的跨导值反而有所提高的现象, 这是由于随着剂量增加, 辐照产生的氧化层陷阱电荷越多, 陷阱电荷为正电荷. 这些正电荷产生的电场就会抵消部分负栅压和感生陷阱电荷对跨导的影响, 从而出现上述跨导随剂量增加而增大的现象.

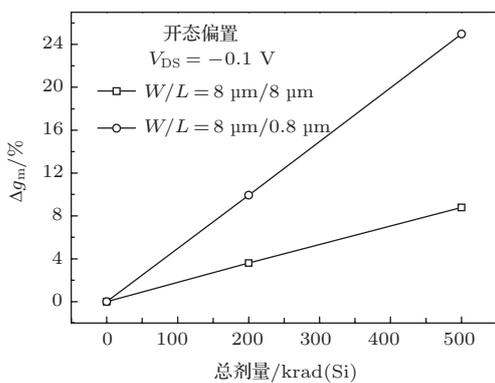


图 7 开态偏置下不同沟道长度的 PMOSFET 峰值跨导退化百分比与辐照剂量的关系

由图 7 中可以得到, 沟道长度为 0.8  $\mu\text{m}$  器件辐照后最大跨导退化量明显大于 8  $\mu\text{m}$  器件的跨导退化, 其中最大跨导值来自于图 3 中的跨导曲线的峰值, 最大跨导值与栅源电压  $V_{GS}$  的关系示于表 1 中. 根据前一节的内容, 沟道长度为 0.8  $\mu\text{m}$  器件辐照后阈值电压漂移比 8  $\mu\text{m}$  器件略大. 通过对比可以得出, 辐照后短沟道器件产生的陷阱电荷明显多于

长沟道器件. 接下来将通过亚阈值分离技术证明这个结论.

图 8 是通过亚阈值分离得到的由氧化物陷阱电荷和界面陷阱电荷引起的阈值电压漂移  $\Delta V_{ot}$  和  $\Delta V_{it}$ , 可以看出, 两种陷阱电荷都引起阈值电压的负向漂移, 辐照感生的氧化物陷阱电荷是引起阈值电压漂移的主要因素, 两种沟道长度器件感生的氧化物陷阱电荷的数量相差不大. 但是沟道长度为 8  $\mu\text{m}$  器件在 500 krad(Si) 辐照后产生的界面陷阱电荷引起的阈值电压漂移为 -0.045 V, 而沟道长度为 0.8  $\mu\text{m}$  器件因界面陷阱电荷引起的阈值电压漂移达到了 -0.108 V, 可知短沟道器件在辐照后会产生更多的界面陷阱电荷, 引起更大的沟道载流子迁移率和跨导的退化.

表 1 总剂量辐照下不同沟道长度 PMOSFET 最大跨导  $g_m$  与栅源  $V_{GS}$  对应关系

总剂 量/krad(Si)	$W/L = 8\mu\text{m}/8\mu\text{m}$		$W/L = 8\mu\text{m}/0.8\mu\text{m}$	
	$V_{GS}/\text{V}$	$g_m/\mu\text{s}$	$V_{GS}/\text{V}$	$g_m/\mu\text{s}$
0	-1.45	3.958	-1.2	34.016
200	-1.5	3.815	-1.3	30.627
500	-1.75	3.609	-1.65	25.512

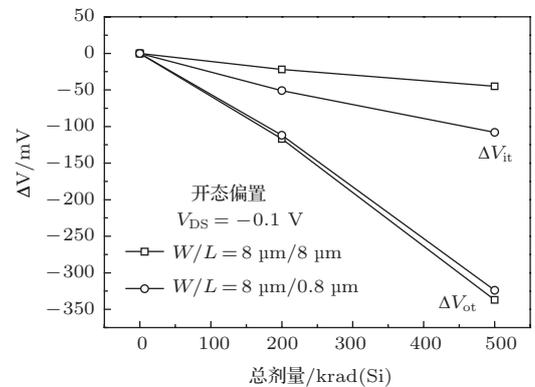


图 8 开态偏置下不同沟道长度的 PMOSFET 的  $\Delta V_{ot}$  和  $\Delta V_{it}$  与辐照剂量的关系

## 5 结 论

论文通过对实验所得数据的对比, 分析讨论了总剂量辐照后 SOI PMOS 器件的阈值电压漂移和跨导退化随沟道长度变化的规律. 通过利用  $\gamma$  辐照损伤电荷非均匀分布与短沟道电荷分享效应相耦合的研究发现, 当沟道长度远远大于源漏的最大耗尽区宽度  $\Delta L$  时, 器件阈值电压的漂移便同沟道长度的变化几乎没有关系. 当沟道长度与源漏耗尽层宽度相当时, 阈值电压漂移随着沟道长度的减小而

增加. 当沟道长度由  $8\ \mu\text{m}$  减小到  $0.8\ \mu\text{m}$  时, 阈值电压漂移量随着沟道长度减小稍有增加, 但跨导的退化却非常严重. 通过使用亚阈值分离技术发现短沟道器件辐照后会产生更多的界面陷阱电荷, 引起更大的沟道载流子迁移率和跨导退化.

### 参考文献

- [1] Liu Z L, Hu Z Y, Zhang Z X, Shao H, Chen M, Bi D W, Ning B X, Zou S C 2011 *Chin. Phys. B* **20** 070701
- [2] Adell P C, Barnaby H J, Schrimpf R D, Vermeir B 2007 *IEEE Trans. Nucl. Sci.* **54** 2174
- [3] Shang H C, Liu H X, Zhuo Q Q 2012 *Acta Phys. Sin.* **61** 246101 (in Chinese)[商怀超, 刘红侠, 卓青青 2012 物理学报 **61** 246101]
- [4] Zheng Z S, Liu Z L, Yu F, Li N 2012 *Chin. Phys. B* **21** 116104
- [5] Peng L, Zhuo Q Q, Liu H X, Cai H M 2012 *Acta Phys. Sin.* **61** 240703 (in Chinese)[彭里, 卓青青, 刘红侠, 蔡惠民 2012 物理学报 **61** 240703]
- [6] Djeddar B, Smatti A, Amrouche A, Kechouane M 2000 *IEEE Trans. Nucl. Sci.* **47** 1872
- [7] Schrankler J W, Reich R K, Holt M S, Ju D H, Huang T J S, Kirchner G D 1985 *IEEE Trans. Nucl. Sci.* **32** 3988
- [8] Esqueda I S, Barnaby H J, McLatin M L, Adell P C, Mamouni F E, Dixit S K, Schrimpf R D, Xiong W 2009 *IEEE Trans. Nucl. Sci.* **56** 2247
- [9] Schwank J R, Shaneyfelt W R, Fleetwood D M, Felix J A, Dodd P E, Paillet P, Ferlet-Cavrios V 2008 *IEEE Trans. Nucl. Sci.* **55** 1833
- [10] Chen W, Balasinski A, Ma T P 1991 *IEEE Trans. Nucl. Sci.* **38** 1126
- [11] Balasinski A, Ma T P 1992 *IEEE Trans. Nucl. Sci.* **39** 2000
- [12] Chin M R, Ma T P 1983 *Appl. Phys. Lett.* **42** 883

# Influence of channel length on PD SOI PMOS devices under total dose irradiation\*

Liu Hong-Xia<sup>†</sup> Wang Zhi Zhuo Qing-Qing Wang Qian-Qiong

(Key Laboratory of Ministry of Education for Wide Band-Gap Semiconductor Material and Devices, School of Microelectronics, Xidian University, Xi'an 710071, China)

( Received 14 July 2013; revised manuscript received 29 September 2013 )

### Abstract

This paper mainly investigates the total dose irradiation effects on  $0.8\ \mu\text{m}$  PD SOI PMOS devices which are exposed to  $^{60}\text{Co}$   $\gamma$ -rays at a dose rate of  $50\ \text{rad}(\text{Si})/\text{s}$ . The channel length dependence of SOI PMOS devices at total dose irradiation is investigated. The result shows that the threshold voltage shift is only a little larger for shorter channel devices at the same total dose. However, the degradation of maximum transconductance for shorter channel devices is more significant. We found that the oxide-trapped charge is the main factor impacting the threshold drift. We may conclude that a short channel device can produce more interface trapped charges by using the subthreshold separation technology.

**Keywords:** total dose radiation, threshold voltage shift, transconductance degradation, interface trapped charges

**PACS:** 61.80.Ed, 73.40.Qv, 61.80.-x

**DOI:** 10.7498/aps.63.016102

\* Project supported by the National Natural Science Foundation of China (Grant Nos. 61076097, 11235008), and the Fundamental Research Funds for the Central Universities of China (Grant No.20110203110012)

<sup>†</sup> Corresponding author. E-mail: [hxliu@mail.xidian.edu.cn](mailto:hxliu@mail.xidian.edu.cn)