

新型绝缘体上硅静态随机存储器单元总剂量效应

王硕 常永伟 陈静 王本艳 何伟伟 葛浩

Total ionizing dose effects on innovative silicon-on-insulator static random access memory cell

Wang Shuo Chang Yong-Wei Chen Jing Wang Ben-Yan He Wei-Wei Ge Hao

引用信息 Citation: *Acta Physica Sinica*, 68, 168501 (2019) DOI: 10.7498/aps.68.20190405

在线阅读 View online: <https://doi.org/10.7498/aps.68.20190405>

当期内容 View table of contents: <http://wulixb.iphy.ac.cn>

您可能感兴趣的其他文章

Articles you may be interested in

铁电存储器60Co γ 射线及电子总剂量效应研究

Total ionizing dose effect of ferroelectric random access memory under Co-60 gamma rays and electrons

物理学报. 2018, 67(16): 166101 <https://doi.org/10.7498/aps.67.20180829>

总剂量效应致0.13 μ m部分耗尽绝缘体上硅N型金属氧化物半导体场效应晶体管热载流子增强效应

Enhanced channel hot carrier effect of 0.13 μ m silicon-on-insulator N metal-oxide-semiconductor field-effect transistor induced by total ionizing dose effect

物理学报. 2016, 65(9): 096104 <https://doi.org/10.7498/aps.65.096104>

55 nm硅-氧化硅-氮化硅-氧化硅-硅闪存单元的 γ 射线和X射线电离总剂量效应研究

Total ionizing dose effects of γ and X-rays on 55 nm silicon-oxide-nitride-oxide-silicon single flash memory cell

物理学报. 2019, 68(3): 038501 <https://doi.org/10.7498/aps.68.20181661>

质子与金属布线层核反应对微纳级静态随机存储器单粒子效应的影响分析

Effects of nuclear reactions between protons and metal interconnect overlayers on single event effects of micro/nano scaled static random access memory

物理学报. 2015, 64(17): 178501 <https://doi.org/10.7498/aps.64.178501>

纳米静态随机存储器低能质子单粒子翻转敏感性研究

Single event upsets sensitivity of low energy proton in nanometer static random access memory

物理学报. 2016, 65(6): 068501 <https://doi.org/10.7498/aps.65.068501>

绝缘体上硅金属氧化物半导体场效应晶体管中辐射导致的寄生效应研究

Radiation induced parasitic effect in silicon-on-insulator metal-oxide-semiconductor field-effect transistor

物理学报. 2018, 67(21): 216102 <https://doi.org/10.7498/aps.67.20181372>

新型绝缘体上硅静态随机存储器单元总剂量效应*

王硕¹⁾²⁾ 常永伟¹⁾ 陈静^{1)†} 王本艳¹⁾ 何伟伟¹⁾²⁾ 葛浩¹⁾²⁾

1) (中国科学院上海微系统与信息技术研究所, 信息功能材料国家重点实验室, 上海 200050)

2) (中国科学院大学, 材料与光电研究中心, 北京 100049)

(2019年3月22日收到; 2019年5月27日收到修改稿)

静态随机存储器作为现代数字电路系统中常见且重要的高速存储模块, 对于提升电子系统性能具有重要作用. 到目前为止, 关于静态随机存储器单元总剂量辐射效应的数据依然有待补充完善. 本文采用 130 nm 绝缘体上硅工艺, 设计制备了一种基于 L 型栅体接触场效应晶体管器件的 6 晶体管静态随机存储器单元. 该 L 型栅体接触器件遵循静态随机存储器单元中心对称的版图特点, 使得存储单元面积相比于采用同器件尺寸的 T 型栅体接触器件的静态随机存储器单元减小约 22%. 文中对比研究了 L 型栅体接触器件与其他场效应晶体管之间的电学性能差异, 以及基于不同场效应晶体管静态随机存储器单元的漏电流和读状态下静态噪声容限随辐射总剂量增加的变化规律. 测试结果表明, L 型栅体接触器件与 T 型栅体接触器件的器件性能接近, 但前者具有面积更小的优势; 同时基于 L 型栅体接触场效应晶体管的静态随机存储器单元的基本电学性能以及抗总剂量辐射效应均优于传统基于浮体场效应晶体管的静态随机存储器单元, 因而具有稳定可靠的实用价值.

关键词: 静态随机存储器单元, 总剂量辐射效应, 绝缘体上硅, 体接触

PACS: 85.30.-z, 61.80.Ed, 85.25.Hv

DOI: 10.7498/aps.68.20190405

1 引言

绝缘体上硅 (silicon-on-insulator, SOI) 技术与体硅工艺相比, 通过引入掩埋氧化物 (buried oxide, BOX) 结构给器件提供了全介质隔离, 从而避免闩锁效应, 减少电荷泄漏, 同时减小了寄生电容, 提高了器件的开关速度^[1]. 然而, 直接将体硅工艺中的 MOSFET 移植到 SOI 工艺中, 由于碰撞电离和电子隧穿, 电荷将会在体区积累, 导致 MOSFET 出现浮体效应 (floating-body effect, FBE). 这些额外的电荷导致晶体管体电位不稳定、亚阈值摆动异常以及漏极-源极击穿电压 (drain-to-source breakdown voltage, BV_{ds}) 减小等问题^[2]. 通常采用体区引出技术可以有效地抑制 SOI 器件的浮体效应.

在空间辐射环境中, 辐射效应主要分为总剂量辐射效应 (total ionizing dose, TID) 和单粒子效应 (single event effect, SEE). 其中, 空间高能粒子在集成电路的材料中电离产生电子-空穴对, 这些电荷在氧化层中积累形成氧化物陷阱电荷或者在氧化层与半导体材料的界面处形成界面陷阱电荷, 从而造成器件的性能降低甚至功能失效, 称为总剂量辐射效应^[3]. 随着半导体工艺的进步和数字集成电路性能的提升, 静态随机存储器 (static random access memory, SRAM) 在片上系统和专用集成电路上所占面积比例不断增加, 而静态随机存储器单元 (SRAM cell) 的特征尺寸却不断减小, SRAM 存储单元成为电路中总剂量效应最敏感的部分之一^[4]. 目前, 已有许多体接触场效应晶体管结构被提出来以改善总剂量效应, 例如 H 栅场效应晶体管器件^[5], GAA^[6], BUSFET^[7] 以及 FlexFET^[8]. 虽

* 国家自然科学基金 (批准号: 61574153) 资助的课题.

† 通信作者. E-mail: jchen@mail.sim.ac.cn

然它们可以抑制由总剂量效应引起的浅沟槽隔离 (shallow trench isolation, STI) 或掩埋氧化物漏电流, 但是它们存在面积过大、工艺步骤复杂、制造成本昂贵等缺点.

因此, 本文设计了一种基于 L 型栅体接触 (L-gate body-contact, LB) MOSFET 的 6 晶体管静态随机存储器单元 (6 transistors LB static random access memory cell, 6T LB SRAM cell), 并对基于不同 MOSFET 的单个静态随机存储器单元主要电学性能在总剂量效应下的变化进行研究, 直观地体现总剂量效应对静态随机存储器单元的影响. 通过 ^{60}Co - γ 射线辐照分析, 验证了所提出的 6T LB SRAM cell 相比于基于传统浮体场效应晶体管的 6 晶体管静态随机存储器单元 (6T FB SRAM cell) 具有漏电更小、稳定性更高等特点, 在辐射环境中具有稳定可靠的实用价值.

2 SOI MOS 器件

2.1 器件结构

MOS 器件结构直接影响着静态随机存储器单元的各方面性能. 针对 SOI 工艺的特点, 本文选择

了具有代表性的传统浮体 (floating body, FB) 场效应晶体管和 T 型栅体接触 (T-gate body-contact, TB) 场效应晶体管, 如图 1(a) 和图 1(b) 所示. 由于静态随机存储器单元的版图一般采用中心对称的结构, 同时考虑到面积作为静态随机存储器设计的重要指标, 于是本文采用了一种 L 型栅体接触场效应晶体管设计制备了具有紧凑版图结构的 6T LB SRAM cell. 图 1(c) 为该 LB MOS 器件的 N 型器件 3 维示意图. 以 LB NMOS 器件为例, 该器件通过重掺杂 P 型硅将 P 型体区引出, 而重掺杂 P 型硅又与器件的 N 型源区紧密接触. 如图 1(f) 所示, 硅的金属工艺步骤将在源区与体区硅表面形成 CoSi_2 硅化物, 该硅化物实现了源区与体区互连的源体接触结构. 硅表面形成 CoSi_2 硅化物是半导体工艺中常见的步骤, 通常该工艺的目的在于增加 MOS 器件有源区和栅极的导电性能. 该 LB MOS 器件遵守传统 SOI CMOS 工艺版图设计规则, 不需要添加额外的掩模版或其他复杂工艺, 可以实现较好的源体接触.

2.2 SOI MOS 器件的实验系统及测量结果

本文基于标准的 130 nm SOI 工艺, 制备了相

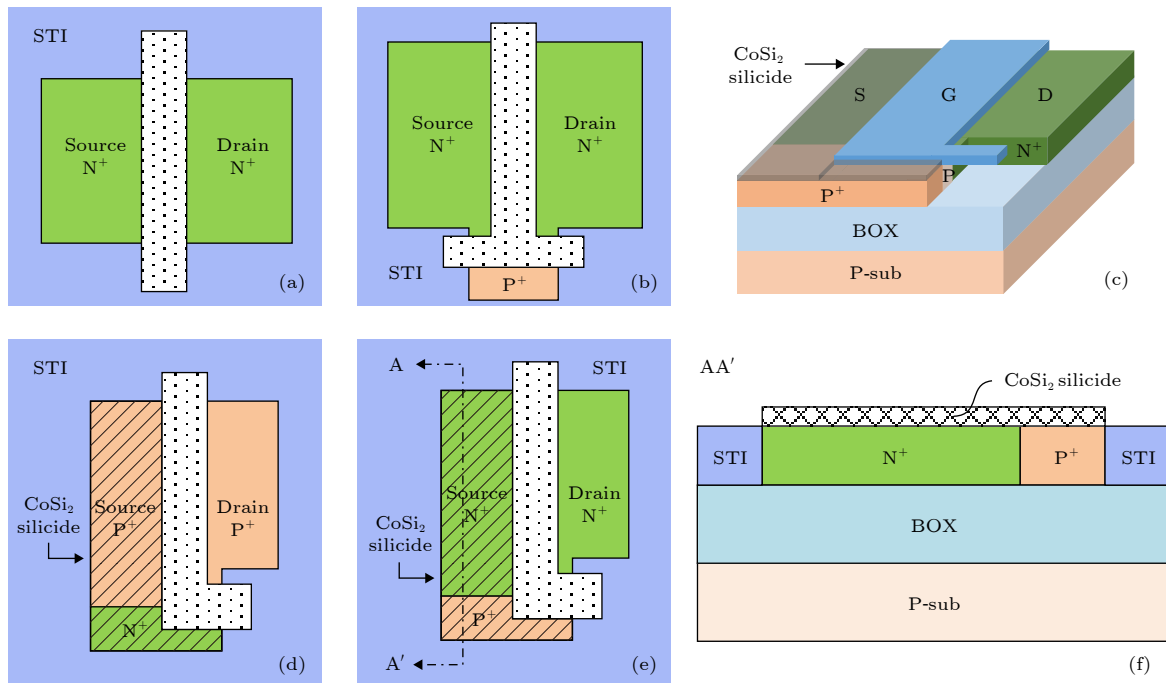


图 1 (a) FB NMOS 版图; (b) TB NMOS 版图; (c) LB NMOS 3 维示意图; (d) LB PMOS 版图; (e) LB NMOS 版图; (f) LB NMOS 器件沿 (e) 图线 A-A' 截取的器件横截面图

Fig. 1. (a) The layout of FB SOI nMOSFET; (b) the layout of TB SOI nMOSFET; (c) the LB nMOSFET 3-dimensional schematic; (d) the layout of LB pMOSFET; (e) the layout of LB nMOSFET; (f) a cross-sectional view of LB nMOSFET is taken along line A-A' in (e).

同尺寸 ($W/L = 0.5 \mu\text{m}/0.13 \mu\text{m}$) 的 LB, TB 和 FB NMOS 器件. 其中, 顶层硅 (top silicon) 和 BOX 的层厚度分别为 100 和 145 nm, 栅极氧化层的厚度为 1.8 nm. 所有器件在室温下使用 Agilent B1500A 在片测试.

图 2(a) 为 $V_D = 0.1 \text{ V}$ 时器件的转移特性曲线, LB, TB 和 FB NMOS 器件的线性阈值电压 (threshold voltage, V_{th}) 几乎相同. 但是, 当栅极电压 $V_G = 1.16 \text{ V}$ 时, FB NMOS 器件跨导曲线出现峰值. 这是由于 NMOS 器件体区价电子隧穿至栅极留下空穴, 而多晶硅栅导带空穴隧穿进入体区, 体区空穴积累造成栅致浮体效应 (gate induced floating body effect, GIFBE), 致使器件 V_{th} 降低、跨导升高. 而 LB 和 TB NMOS 器件跨导曲线相对平缓, 其栅致浮体效应受到抑制. 这与文献 [9] 中的结果一致. 除了栅致浮体效应, 130 nm SOI MOS 器件存在漏致势垒降低 (drain-induced barrier lowering, DIBL) 效应, 并导致浮体效应 [10]. 由图 2(b) 可知, LB, TB 和 FB NMOS 器件的 DIBL 值分别为 34.2, 34.5 和 152.5 mV/V. LB 和 TB NMOS 器件的 DIBL 效应相近, 并明显优于

FB NMOS 器件, 有效地抑制了浮体效应. 当 $V_D = 1.2 \text{ V}$ 时, FB NMOS 器件的 V_{th} 明显小于 LB 和 TB NMOS 器件. LB, TB 和 FB NMOS 器件的输出特性曲线如图 2(c) 所示. 由于空穴注入, 可以在 FB MOS 器件的输出特性曲线中观察到扭结效应 (kink effect) [11]. 在 $V_{DS} > 0.6 \text{ V}$ 时, FB NMOS 中的扭结效应明显, 而 LB 和 TB NMOS 器件则明显抑制扭结效应. 图 2(d) 显示了 LB, TB 和 FB NMOS 器件中漏极-源极击穿电压 (BVds), 其中 BVds 被定义为漏极电流 $I_D = 100 \text{ nA}$ 且栅极电压 $V_G = 0 \text{ V}$ 时的漏极电压, 该效应是由寄生双极管导致源极-漏极穿通引起的 [12]. LB, TB 和 FB NMOS 器件的 BVds 分别为 3.15, 3.20 和 2.45 V. LB NMOS 的 BVds 值比 FB NMOS 增加 21%, 与 TB MOS 几乎相同. 这是因为体电位固定在零电位, LB 和 TB NMOSFET 的 BVds 得到有效改善.

测试结果表明, 在 130 nm SOI 工艺下, LB MOS 相比传统 FB MOS 成功抑制了浮体效应, 并且 DIBL 和 BVds 特性得到了改善. 而且由于采用特殊体接触设计, 具有面积小、连接方便的优点, 工

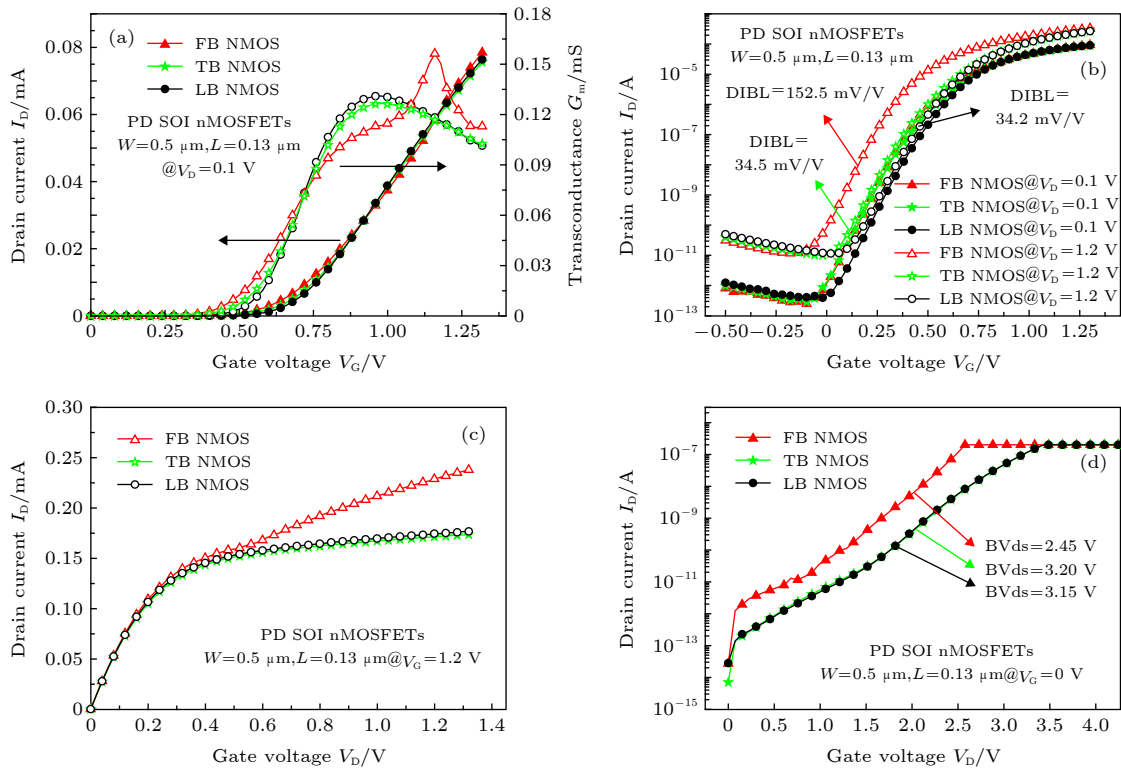


图 2 FB, TB 和 LB NMOS 器件的 (a) 转移特性曲线和跨导; (b) I_D - V_G 曲线; (c) 输出特性曲线; (d) BVds 曲线
Fig. 2. (a) Transmission characteristic curve and transconductance; (b) I_D - V_G curve; (c) output characteristic curve; (d) BVds curves for the FB, TB and LB NMOS devices.

艺上与逻辑电路技术完全兼容. 所以, LB MOS 适用于大规模集成电路.

3 基于不同 MOS 器件的静态随机存储器单元

3.1 结构与性能

本文所述静态随机存储器单元采用 CMOS 反相器交叉耦合的传统 6 晶体管结构, 如图 3 所示. 图 4 为 6T FB SRAM cell、6T LB SRAM cell 与 6T TB SRAM cell 的版图示意图, 最外围通孔包围的部分即静态随机存储器最小的数据存储重复单元. 其中, 6T LB SRAM cell 的两个选通传输管 (access device, AC) 采用 TB NMOS 器件, 以确保所有晶体管实现体接触. 而上拉管 (pull-up device, PU) 和下拉管 (pull-down device, PD) 均使用 LB MOS 器件. 对比图 4(b) 与图 4(c) 不难发现, 虽然 LB MOS 器件是一种非对称的结构, 但由于静态随机存储器单元的版图通常被设计成中心对称的

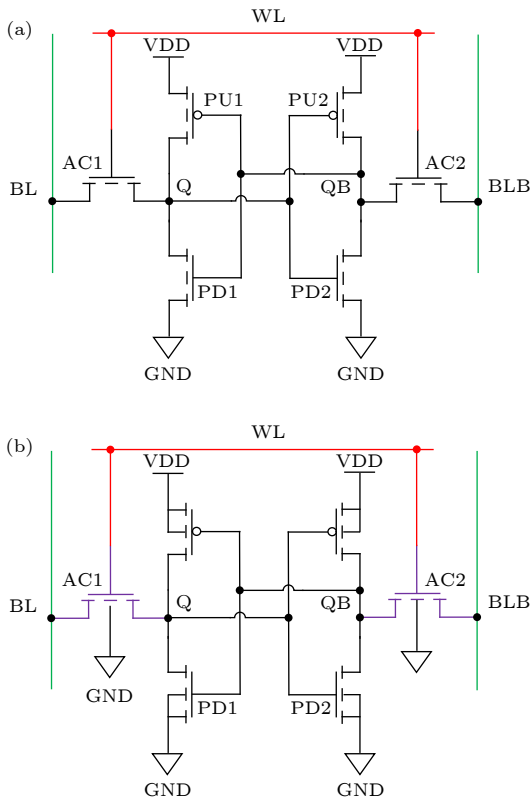


图 3 (a) 基于 FB 器件的 6 管静态随机存储器单元的原理图; (b) 基于 LB(或 TB) 器件的 6 管静态随机存储器单元的原理图

Fig. 3. SOI SRAM cell schematic circuit of (a) The 6T FB SRAM cell; (b) the 6T LB SRAM cell or 6T TB SRAM cell.

排布以实现最紧凑布局的目的, 这使得 LB MOS 器件搭建的 6T LB SRAM cell 节省了上下边缘的空间. 为了实现静态随机存储单元可读可写的约束条件, 晶体管的导通能力应满足^[13]:

$$\text{strength(PU)} < \text{strength(AC)} < \text{strength(PD)} \quad (1)$$

这意味着 $(W/L)_{PD} > (W/L)_{AC} > (W/L)_{PU}$. 依据该原则绘制的具有相同晶体管尺寸的 6T LB SRAM cell, 6T TB SRAM cell 以及 6T FB SRAM cell 样品的面积分别为 3.36, 4.29 和 2.1 μm^2 . 根据图 5 数据, 与 6T FB SRAM cell 相比, 6T LB SRAM cell 的读状态静态噪声容限 (reading static noise margin, RSNM^[14]) 提高了 45.7%, 而与基于 TB MOS 的静态随机存储器单元 (6T TB SRAM cell) 性能接近. 由此可见, 6T LB SRAM cell 在保证 RSNM 性能与 6T TB SRAM cell 基本一致的

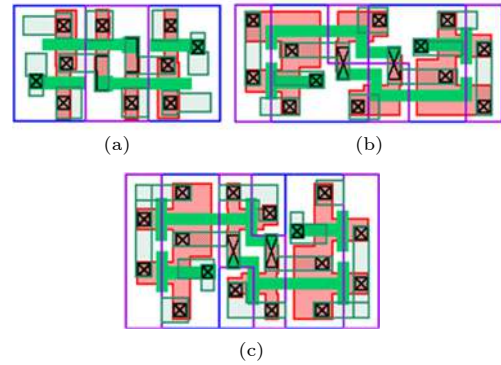


图 4 (a) 基于 FB 器件的 6 管静态随机存储器单元的版图示意图; (b) 基于 LB 器件的 6 管静态随机存储器单元的版图示意图; (c) 基于 TB 器件的 6 管静态随机存储器单元的版图示意图

Fig. 4. SOI SRAM cell schematic layout of (a) The 6T FB SRAM cell; (b) the 6T LB SRAM cell; (c) the 6T TB SRAM cell.

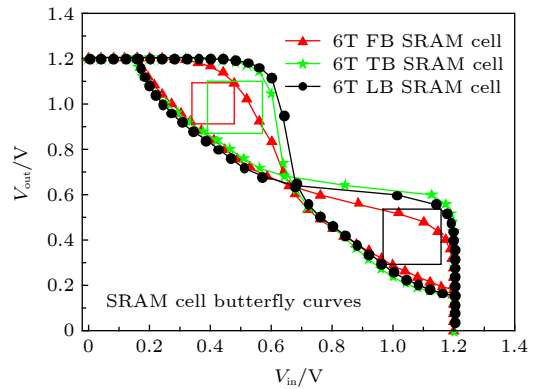


图 5 基于 LB, TB 和 FB MOS 器件的静态随机存储器单元的 RSNM 曲线

Fig. 5. The RSNM curves of FB/TB/LB SRAM cell.

情况下,版图面积可减少约 22%. 虽然其面积大于 6T FB SRAM cell, 但存储单元的稳定性却得到提升.

3.2 总剂量效应实验描述

实验使用 ^{60}Co - γ 射线源模拟恶劣的辐射环境, 测试静态随机存储器单元的总剂量辐射效应. 辐射的剂量率为 276 rad(Si)/s. 实验测定了在 100, 300, 500 和 700 krad(Si) 的辐射剂量下静态随机存储器单元的漏电流和读状态静态噪声容限. 表 1 为针对不同测试项目器件的辐照偏置条件. 测试均在辐照后 1h 内完成, 使用 Keithley 4200SCS 半导体参数分析仪测试静态随机存储器单元的相关电学特性.

3.3 实验结果与讨论

静态随机存储器单元处于保持状态时流过该单元所有器件总的漏电流是反映该存储单元静态功耗的重要指标. 图 6 为静态随机存储器单元的漏电流测试示意图. 测试时, VDD, BL 和 BLB 相连接并接到供电电源, 而 WL 和 GND 接到共同的地. 保持状态下, 工作电压 (1.2 V) 偏置时流经地

的电流即为存储器单元的漏电流. 图 7 显示了不同辐射剂量下基于 FB 和 LB MOS 器件的静态随机存储器单元总的漏电流. 当辐射总剂量增加到 300 krad(Si) 时, 6T FB SRAM cell 的漏电流从辐照前的 152 pA 急剧增加到 194 pA. 而当辐照总剂量从 500 krad(Si) 增加到 700 krad(Si) 时, 由总剂量效应引起的漏电流增加量减少. 这是由于总剂量辐射效应导致的陷阱电荷趋于饱和. 随着沟道长度减小, 漏极的电势变化会影响到源极与体区之间的势垒高度. 高漏极电压使得源极边缘处的势垒高度降低, 增加了从源极注入沟道的载流子数量, 导致漏极关态泄漏电流增加, 这被称为 DIBL 效应. 该效应广泛存在于短沟道的体硅和部分耗尽 SOI MOS 器件. 而 LB MOS 的体接触结构使源区和体区具有相同的电势, 高漏极电压引起的带隙变化主要发生在漏极和体区之间, 源极和体区之间的势垒高度的变化减弱. 所以, LB MOS 器件的 DIBL 效应减弱. 由于 DIBL 效应, V_{th} 可表示为^[15]

$$V_{th}(V_{ds}) = V_{th} - \sigma V_{ds}, \quad (2)$$

$$\sigma = \varepsilon_0 \varepsilon_{si} (\sigma_0 + \sigma_1 V_{sb}) / (\pi C_{ox} L^m), \quad (3)$$

其中 σ_0 , σ_1 和 m 是用于更好地拟合 DIBL 效应的

表 1 基于 LB 和 FB MOS 器件静态随机存储器单元在辐照过程中的偏置条件
Table 1. Bias conditions of 6T LB cell and 6T FB cell during irradiation.

测试项	VDD	GND	SUB	WL	BL	BLB	Q	QB
漏电流(Ileakage)/V	1.32	0	0	0	1.32	1.32		
读取静态噪声容限(RSNM)/V	1.32	0	0	1.32	1.32	1.32	0	1.32

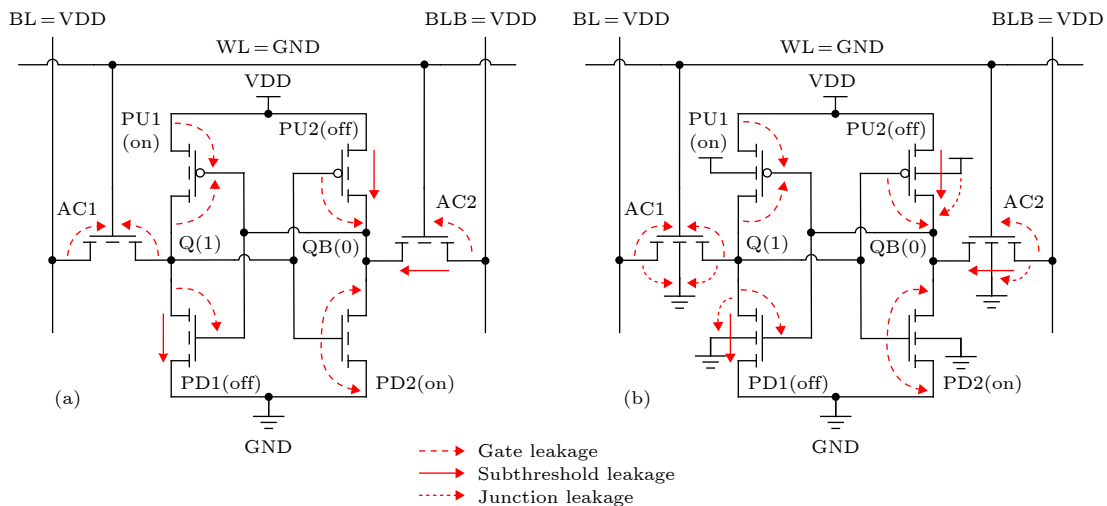


图 6 (a) 6T FB SRAM cell 与 (b) 6T LB SRAM cell 的漏电流测试电路及漏电路径示意图 (假定 Q 存储 1 逻辑值, QB 存储 0 逻辑值)

Fig. 6. The leakage current test circuit and the leakage path diagram of (a) 6T FB SRAM cell and (b) 6T LB SRAM cell (Assuming Q stores 1 logical value and QB stores 0 logical value).

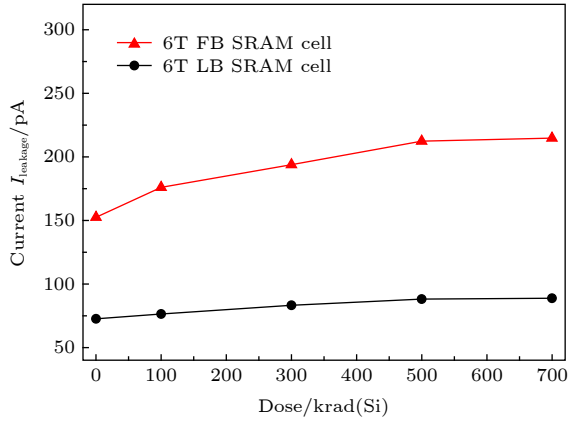


图 7 基于 LB 和 FB MOS 器件的静态随机存储器单元的漏电流在不同辐射总剂量下的变化情况

Fig. 7. The cell leakage current of 6T FB SRAM cell and 6T LB SRAM cell at different radiation doses.

模型常数. MOS 器件亚阈值区的阈值电压和电流关系可近似表示为

$$I_{ds} \propto \exp(q(V_{gs} - V_{th})/\eta kT). \quad (4)$$

可见, MOS 器件的 V_{th} 越小, 关态漏电流越大. LB MOS 器件的关态漏电流小于 FB MOS, 这与图 2(b) 的结果一致. 所以, 在辐照前, 6T LB SRAM cell 比传统的 6T FB SRAM cell 的漏电流小 52%. 通常对于 SOI 器件, 相同的偏置条件下, 浮体 NMOS 器件的漏电流受到总剂量辐射效应的影响要比体接触 NMOS 器件的稍微大一些 [16]. 总剂量辐射效应会增强 MOS 器件 STI 寄生晶体管以及 SOI 器件埋氧化层对应的背栅晶体管的 DIBL 效应, 导致器件漏电流增加 [17,18]. 由于浮体器件对于 DIBL 效

应的抑制能力弱于 LB MOS 器件, 导致 FB MOS 器件的寄生侧壁晶体管以及背栅晶体管的漏电流随辐射剂量增加的变化量高于 LB MOS 器件. 另外, 由图 1 可以看到, LB MOS 器件在结构上比 FB MOS 器件减少了一个 STI 与器件体区的接触面. 这使得 6T LB SRAM cell 器件的辐射效应关态漏电流比 6T FB SRAM cell 器件减小一倍以上. 如图 7 所示, 当辐射总剂量累积到 700 krad(Si) 时, 6T LB SRAM cell 的漏电流从辐照前的 73 pA 增加到 89 pA, 增加了 21.9%. 相比之下, 6T FB SRAM cell 的漏电流从辐照前的 152 pA 增加到 215 pA, 增加了 41.4%, 漏电流的增加量是 6T LB SRAM cell 的 3.94 倍. 从该性能可以看出, 6T LB SRAM cell 的性能受 TID 效应的影响小于 6T FB SRAM cell.

6T FB SRAM cell 的读状态静态噪声容限随辐射剂量变化情况如图 8(a) 所示. 当辐射剂量为 100 krad(Si) 时, RSNM 曲线几乎不变. 然而, 当辐射剂量从 100 krad(Si) 增加到 300 krad(Si) 时, 相应的读状态静态噪声容限值从 250 mV 降低到 144 mV, 变化率为 42.4%. 6T LB SRAM cell 的读状态静态噪声容限测量结果如图 8(b) 所示. 辐照前, 该存储单元的 RSNM 比 6T FB SRAM cell 高了 1.93 倍. 当总剂量增加到 300 krad(Si) 时, RSNM 从 420 mV 变为 390 mV, 下降比率为 7.14%. 当总剂量为 700 krad(Si) 时, RSNM 降至 373 mV, 比照射前的 RSNM 值低 11.2%. 已知 SNM 的表达式为 [19]

$$SNM = V_{th} - \left(\frac{1}{k+1} \right) \times \left(\frac{V_{DD} - \frac{2r+1}{r+1}V_{th}}{1 + \frac{r}{k(r+1)}} - \frac{V_{DD} - 2V_{th}}{1 + k\frac{r}{q} + \sqrt{\frac{r}{q}(1 + 2k + \frac{r}{q}k^2)}} \right), \quad (5)$$

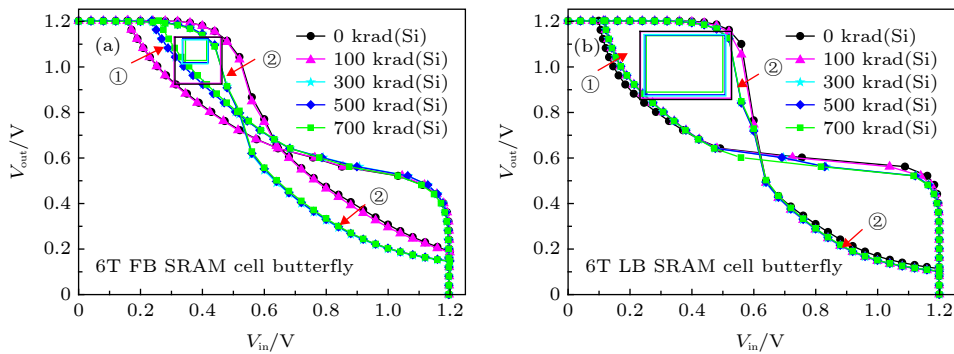


图 8 (a) 基于 FB MOS 器件的静态随机存储器单元和 (b) 基于 LB MOS 器件的静态随机存储器单元的读取静态噪声容限受总剂量辐射的影响

Fig. 8. (a) 6T FB Cell read stability and (b) 6T LB Cell read stability under various radiation doses.

其中 $k = \left(\frac{r}{r+1}\right) \left(\sqrt{\frac{r+1}{r+1 - V_s^2/V_r^2}} - 1\right)$, $V_r = V_s - \left(\frac{r}{r+1}\right) \times V_{th}$, $q = \beta_{PU}/\beta_{AC}$, $r = \beta_{PD}/\beta_{AC}$, $V_s = V_{DD} - V_{th}$. 由方程 (5) 可知, SNM 仅取决于 V_{th} , VDD 和存储单元 MOS 器件 β 的比率, 并且较大的 V_{th} 存储单元晶体管会产生较大的 SNM 值. 由于 FB MOS 的 V_{th} 小于 LB MOS, 所以 6T LB SRAM cell 的 SNM 值更大, 并且与 6T TB SRAM cell 相近. 这与图 5 的测试结果一致. 这说明 6T LB SRAM cell 的抗电路噪声能力强、稳定性好.

在实际电路中, 大部分的静态随机存储器单元都是处于保持状态下 ($WL = 0$ V, $BL = BLB = V_{DD}$), SRAM 单元的存储结点将保存为“1”或“0”逻辑. 当接受辐照时, 由于静态随机存储器单元两个存储结点的电位是相反的, 所以结构对称的交叉耦合 CMOS 反相器处于不同的偏置状态. 研究表明, 寄生侧壁晶体管的 ON 状态是辐射下最恶劣偏置^[20]. 而总剂量效应对 PMOS 晶体管氧化物电荷和界面态的影响, 将导致 PU 器件的阈值电压的绝对值增加^[20,21], 从而抑制电荷泄漏. 首先分析晶体管 AC2, PU2 和 PD2 构成的反相器组合. 根据图 3 和表 1, 辐照时存储器单元的存储结点 $Q = 0$ V, 晶体管 PU2 处于 ON 状态, 晶体管 PD2 处于 OFF 状态, 而 AC2 处于类似 ON 状态的非饱和状态. 因此, 辐照将导致晶体管 AC2 的 V_{th} 减小, 而 PU2 和 PD2 的 $|V_{th}|$ 基本不变. 对辐照后对该反相器组合读取状态的传输特性曲线 (VTC) 进行分析. 当存储结点 Q 被置于低电位时, 晶体管 AC2 和 PD2 处于线性区, 而晶体管 PU2 处于饱和区, 辐照前后曲线变化不明显. 当存储结点 Q 输入高电位时, 晶体管 AC2 处于饱和区, 而晶体管 PU2 处于线性区, 根据电路结点电荷守恒原理, 有

$$I_{DS,AC2} = I_{DS,PD2}, \quad (6)$$

$$\begin{aligned} & \frac{1}{2} \mu_n C_{ox} \frac{W_{AC}}{L_{AC}} (V_{WL} - V_{QB} - V_{th,AC2})^2 \\ &= \mu_n C_{ox} \frac{W_{PD}}{L_{PD}} \left[(V_Q - V_{th,PD2}) V_{QB} - \frac{1}{2} V_{QB}^2 \right]. \quad (7) \end{aligned}$$

由 (7) 式得, V_{QB} 随着 AC2 的 V_{th} 减小而增加. 这个结果与图 8 中曲线①的结果一致. 讨论对称的另一个由 AC1, PU1 和 PD1 构成的反相器组. 辐照时存储器单元的存储结点 $QB = 1.32$ V, 晶体管 PD1 处于 ON 状态, 晶体管 PU1 处于 OFF 状态, 而晶体管 AC1 处于饱和状态. 因此, 辐照将导致晶

体管 AC1 和 PD1 的 V_{th} 减小, 而 PU2 的 $|V_{th}|$ 基本不变. 当存储结点 QB 置于低电压时, 先忽略 AC1 的作用, 根据反相器中点电压 V_M 公式^[22]

$$V_M = \frac{V_{DD} - |V_{th,PU1}| + \sqrt{\beta_{PD1}/\beta_{PU1}} \times V_{th,PD1}}{1 + \sqrt{\beta_{PD1}/\beta_{PU1}}}, \quad (8)$$

反相器中点电压 V_M 随着 PD1 的 V_{th} 减小而减小. 所以, 图 8 中曲线②发生左移. 当存储结点 QB 置于高电压时, 根据 (7) 式, 如果 AC1 的 V_{th} 不变, V_Q 随着 PD1 的 V_{th} 减小而减小. 所以, 图 8 中曲线②辐照后的 V_Q 由于晶体管 AC1 和 PD1 制约关系, 当 $V_{QB} = 1.2$ V 时的 V_Q 基本保持不变. 图 8(a) 和图 8(b) 的曲线变化趋势是一致的. 但是, MOS 器件的阈值电压由于辐射效应变化越明显, 曲线变化的程度越剧烈. FB MOS 在辐射总剂量达到 300 krad(Si) 时, 其特性出现明显恶化, 从而降低 SRAM 单元的稳定性. 然而, LB MOS 对总剂量效应不敏感, 在辐射总剂量达到 700 krad(Si) 后静态随机存储器单元的对称性仍然存在, SNM 值比辐照前仅降低了 11.2%.

4 结 论

本文采用 130 nm SOI 工艺, 制备了 3 种静态随机存储器单元. 研究了不同 MOS 器件的结构和电学性能, 以及不同静态随机存储器单元直流特性. 通过 ⁶⁰Co- γ 射线辐照实验, 测试分析了基于 LB MOS 器件的静态随机存储器单元随辐射总剂量的变化情况.

实验结果表明, LB MOS 相比传统 FB MOS 成功抑制了浮体效应, 并且 DIBL 和 BV_{ds} 特性得到了改善. 由于采用特殊体接触设计, 相比于 TB MOS 具有面积更小、连接方便的优点. 而且工艺上与现有 SOI CMOS 完全兼容, 无需额外的掩模版. 所以, LB MOS 适用于大规模集成电路. 6T LB SRAM cell 与 6T TB SRAM cell 具有类似的电学特性, 但是节约大约 22% 的面积, 且性能明显优于 6T FB SRAM cell. 在辐射环境中, 采用体接触 LB MOS 器件的静态随机存储器单元在漏电流和读取静态噪声容限指标上明显优于传统 FB MOS 静态随机存储器单元. 实验结果表明, 6T LB SRAM cell 具有辐照环境下稳定可靠的实用价值.

参考文献

- [1] Schwank J R, Cavois F, Shaneyfelt M R, Paillet P, Dodd P E 2003 *IEEE Trans. Nucl. Sci.* **50** 522
- [2] Verma S, Abdullah M 2015 *Int. J. Computer Appl.* **130** 17
- [3] Barnaby H J 2006 *IEEE Trans. Nucl. Sci.* **53** 3103
- [4] Yao X Y, Hindman N, Clark L T, Holbert K E, Alexander D R, Shedd W M 2008 *IEEE Trans. Nucl. Sci.* **55** 3280
- [5] Annamalai N K, Biber M C 1988 *IEEE Trans. Nucl. Sci.* **35** 1372
- [6] Colinge J P, Terao A 1993 *IEEE Trans. Nucl. Sci.* **40** 78
- [7] Schwank J R, Shaneyfelt M R, Draper B L, Dodd P E 1999 *IEEE Trans. Nucl. Sci.* **46** 1809
- [8] Parke S, DeGregorio K, Goldston M, Hayhurst R, Hackler D 2005 *IEEE Aerospace Conference*
- [9] Mercha A, Rafi J M, Simoen E, Augendre E, Claeys C 2003 *IEEE Trans. Electron Devices* **50** 1675
- [10] Chaudhry A, Kumar M J 2004 *IEEE Trans. Device Mater. Reliab.* **4** 99
- [11] Kaifi M, Siddiqui M J 2011 *International Conference on Multimedia, Signal Processing and Communication Technologies*, Aligarh, Uttar Pradesh, India December 17—19, 2011 p216
- [12] Maeda S, Hirano Y, Yamaguchi Y, Iwamatsu T, Ipposhi T, Ueda K, Mashiko K, Maegawa S, Abe H, Nishimura T 1999 *IEEE Trans. Electron Devices* **46** 151
- [13] Singh J, Mohanty S P, Pradhan D K 2013 *Robust SRAM Designs and Analysis* (New York: Springer Science+Business Media) pp31—56
- [14] He W W, Chen J, Luo J X, Chai Z, Wang X 2016 *Electron. Lett.* **52** 1172
- [15] Arora 1993 *MOSFET Models for VLSI Circuit Simulation: Theory and Practice* (Berlin: Springer) pp210—219
- [16] Ning B X, Zhang Z X 2013 *International Journal of Electronics and Electrical Engineering* **1** 31
- [17] Youk G U, Khare P S, Schrimpf R D, Massengill L W, Galloway K F 1999 *IEEE Trans. Nucl. Sci.* **46** 1830
- [18] Peng C, Zhang Z X, Hu Z Y, Huang H X, Ning B X, Bi D W 2013 *Chin. Phys. Lett.* **30** 098502
- [19] Seevinck E, List F J, Lohstroh J 1987 *IEEE J. Solid-State Circuits* **22** 748
- [20] Ning B X 2013 *Ph. D. Dissertation* (Shanghai: Shanghai Institute of Microsystem and Information Technology March) (in Chinese) [宁冰旭 2013 博士学位论文(上海: 中国科学院上海微系统与信息技术研究所)]
- [21] Re V, Manghisoni M, Ratti L, Speziali V, Traversi G 2005 *IEEE Radiat. Eff. Data Workshop* 122
- [22] Uyemura J P 2002 *Introduction to VLSI Circuits and Systems* (Hoboken: Wiley) pp237—244

Total ionizing dose effects on innovative silicon-on-insulator static random access memory cell*

Wang Shuo¹⁾²⁾ Chang Yong-Wei¹⁾ Chen Jing^{1)†} Wang Ben-Yan¹⁾
He Wei-Wei¹⁾²⁾ Ge Hao¹⁾²⁾

1) (*State Key Laboratory of Functional Materials for Informatics, Shanghai Institute of Microsystem and Information Technology, Chinese Academy of Sciences, Shanghai 200050, China*)

2) (*Center of Materials Science and Optoelectronics Engineering, University of Chinese Academy of Sciences, Beijing 100049, China*)

(Received 22 March 2019; revised manuscript received 27 May 2019)

Abstract

The static random access memory (SRAM), as a common and important high-speed storage module in modern digital circuit systems, plays an important role in improving the performances of electronic systems. The data about the total ionizing dose (TID) radiation effect of SRAM cell have not been rich in the literature so far. In this work, a novel 6-transistor SRAM cell (6T LB SRAM cell) based on L-type gate body-contact (LB) MOSFET device is designed and fabricated by 130nm silicon-on-insulator (SOI) process. The LB MOSFET follows the center-symmetric layout design of the SRAM cell, reducing the area by approximately 22% compared with the SRAM cell using the T-type gate MOSFET contact device (6T TB SRAM cell) of the same device size. The electrical performance difference between LB MOSFET and other devices is compared. Besides this, the variations of the leakage current and the reading static noise margin (RSNM) of SRAM cells based on different MOSFETs under various total ionizing doses are also investigated. The test results indicate that the LB MOS successfully suppresses the floating body effect (FBE), and that the drain-induced barrier lowering (DIBL) and drain-to-source breakdown voltage (BVds) characteristics are improved. The performance of this device is similar to that of TB MOS device, but due to the special body contact design, the former has an advantage of smaller area. Due to the use of the body contact device, the leakage current of the 6T LB SRAM cell is significantly smaller than that of the conventional floating device SRAM cell (6T FB SRAM cell), which has lower static power consumption. After ⁶⁰Co- γ ray irradiation, the 700 krad(Si) radiation dose only increases the leakage current of 6T LB SRAM cell by 21.9%, which is better than 41.4% of 6T FB SRAM cell. In addition, the 6T LB SRAM cell has an RSNM value similar to that of the 6T TB SRAM cell, and this is 1.93 times higher than the that of 6T FB SRAM cell. The radiation experiment causes the butterfly curve of the 6T FB SRAM cell to be asymmetrically deformed, and the stability of the SRAM cell is deteriorated due to the TID effect. However, the test results show that when the radiation dose reaches 700 krad (Si), the RSNM value of the 6T LB SRAM cell is reduced only by 11.2%. Therefore, 6T LB SRAM cell has stable and reliable practical value.

Keywords: static random access memory cell, total ionizing dose effects, silicon-on-insulator, body-contact

PACS: 85.30.-z, 61.80.Ed, 85.25.Hv

DOI: 10.7498/aps.68.20190405

* Project supported by the National Natural Science Foundation of China (Grant No. 61574153).

† Corresponding author. E-mail: jchen@mail.sim.ac.cn