

纳米尺度下 Si/Ge 界面应力释放机制的分子动力学研究

陈仙[†] 张静 唐昭焕

(模拟集成电路重点实验室, 重庆 400060)

(2018 年 8 月 14 日收到; 2018 年 11 月 15 日收到修改稿)

采用分子动力学方法研究了纳米尺度下硅 (Si) 基锗 (Ge) 结构的 Si/Ge 界面应力分布特征, 以及点缺陷层在应力释放过程中的作用机制. 结果表明: 在纳米尺度下, Si/Ge 界面应力分布曲线与 Ge 尺寸密切相关, 界面应力下降速度与 Ge 尺寸存在近似的线性递减关系; 同时, 在 Si/Ge 界面处增加一个富含空位缺陷的缓冲层, 可显著改变 Si/Ge 界面应力分布, 在此基础上对比分析了点缺陷在纯 Ge 结构内部引起应力变化与缺陷密度的关系, 缺陷层的引入和缺陷密度的增加可加速界面应力的释放. 参考对 Si/Ge 界面结构的研究结果, 可在 Si 基纯 Ge 薄膜生长过程中引入缺陷层, 并对其结构进行设计, 降低界面应力水平, 进而降低界面处产生位错缺陷的概率, 提高 Si 基 Ge 薄膜质量, 这一思想在研究报道的 Si 基 Ge 膜低温缓冲层生长方法中初步得到了证实.

关键词: Si/Ge 界面, 分子动力学, 界面应力, 缺陷层

PACS: 68.35.-p, 31.15.xv, 02.70.Ns, 81.15.Aa

DOI: 10.7498/aps.68.20181530

1 引言

硅 (Si) 基异质集成技术是目前半导体发展的方向之一, 受到广泛的关注. 锗 (Ge) 具有优异的半导体、光学特性, 且与 Si 半导体工艺完全兼容, 是理想的 Si 基异质集成材料之一, Si 基 Ge 材料广泛应用于 Si 基异质集成技术研究, 在新型电子器件、光电集成等领域得到了广泛关注^[1–15]. 与 Si 材料相比, Ge 具有高载流子迁移率、窄禁带宽度等众多优势. 高载流子迁移率可使 Ge 应用于提升场效应晶体管 (FET) 性能, 而窄禁带宽度使 Ge 具有良好的光电子特性, 可应用于 1.30–1.55 μm 波长激光的探测器制备. 此外, 在常温下, Ge 与砷化镓的晶格失配只有 0.07%, 因此可作为 Si 基上生长砷化镓薄膜材料的衬底, 从而实现 Si 基砷化镓光电器件的集成^[16].

然而, Ge 与 Si 具有很大的晶格失配 (达到 4.2%)

和热失配, 导致 Si 基 Ge 薄膜材料一般具有很高的穿透位错密度和表面粗糙度, 不利于器件制备, 且会严重降低器件性能. 为了在 Si 基上生长高质量的 Ge 薄膜, 研究人员开发了多种工艺方法来降低位错密度和表面粗糙度, 比如: 渐变缓冲层方法^[17,18]、选区外延方法^[19,20]、低温缓冲层方法以及高低温两步生长方法^[21–29]. 到目前为止, 高低温两步生长方法结合循环退火工艺是最常用的 Si 基 Ge 薄膜生长方法. 该方法中低温层一般采用 Ge 或者 Ge-Si 材料, 通过这种方法可以制备出位错密度低至 $1 \times 10^6 \text{ cm}^{-2}$, 表面粗糙度小于 1 nm 的 Si 基 Ge 薄膜^[28,29].

在微观层面, 科研人员在高低温两步生长方法制备的 Si 基 Ge 薄膜材料的低温层中观察到了大量的点缺陷^[25,30–32], 由此推断低温层中存在的大量点缺陷可以与位错进行作用, 吸收 Ge 与 Si 之间的失配应力能量, 降低 Si 和 Ge 之间的应力, 从而减

[†] 通信作者. E-mail: mus_c@qq.com

小穿透位错密度. 但少有研究低温层对位错密度影响的理论证据, 以及失配应力受低温层的影响机制. 本文从应力角度入手, 针对低温缺陷层对 Si/Ge 界面失配应力影响机制开展研究, 希望能从应力层面揭示低温缓冲方法的作用本质. 基于这种思想, 采用分子动力学模拟方法, 从原子尺度上研究 Si/Ge 界面结构特征及应力特性, 从而揭示 Si/Ge 界面应力在缺陷层存在时的应力释放机制, 在此基础上建立异质材料界面应力释放模型, 为 Si 基异质材料生长工艺优化提供参考. 本文采用分子动力学方法模拟了不同尺度、不同缺陷密度条件下的 Si 和 Ge 界面体系应力分布, 研究了在微观下体系尺寸和缺陷密度对 Si/Ge 界面应力的影响规律.

2 模拟方法

采用由 Tersoff^[33]提出的 Si, Ge 体系经验势函数 (简称 Tersoff 势函数) 进行模拟. 该势函数广泛应用于模拟研究 Si, Ge 材料的分子结构及热力学特性, 模拟结果与实际相符^[34–37].

Tersoff 势函数重写为如下形式:

$$\left\{ \begin{array}{l} \Phi = \sum_i \Phi_i = \frac{1}{2} \sum_{i \neq j} V_{ij}, \\ V_{ij} = f_C(r_{ij})[f_R(r_{ij}) + b_{ij}f_A(r_{ij})], \\ f_R(r_{ij}) = A_{ij} \exp(-\lambda_{ij}r_{ij}), \\ f_A(r_{ij}) = -B_{ij} \exp(-\mu_{ij}r_{ij}), \\ f_C(r_{ij}) = \begin{cases} 1, & r_{ij} < R_{ij}, \\ \frac{1}{2} + \frac{1}{2} \cos[\pi \frac{r_{ij} - R_{ij}}{S_{ij} - R_{ij}}], & R_{ij} < r_{ij} < S_{ij}, \\ 0, & r_{ij} > S_{ij}, \end{cases} \\ b_{ij} = \chi_{ij}(1 + \beta_i^{n_i} \zeta_{ij}^{n_i})^{-\frac{1}{2}n_i}, \\ \zeta_{ij} = \sum_{k=i,j} f_C(r_{ik})\omega_{ik}g(\theta_{ijk}), \\ g(\theta_{ijk}) = 1 + \frac{c_i^2}{d_i^2} - \frac{c_i^2}{d_i^2 + (h_i - \cos \theta_{ijk})^2}, \\ \lambda_{ij} = \frac{\lambda_i + \lambda_j}{2}, \mu_{ij} = \frac{\mu_i + \mu_j}{2}, A_{ij} = \sqrt{A_i A_j}, \\ B_{ij} = \sqrt{B_i B_j}, R_{ij} = \sqrt{R_i R_j}, S_{ij} = \sqrt{S_i S_j}, \end{array} \right. \quad (1)$$

式中 Φ 为原子势能; 下标 i, j 和 k 为原子序号; r_{ij} 为原子间距; θ_{ijk} 为原子键角; 其他参数如表 1 所列, $1 \text{ \AA} = 0.1 \text{ nm}$.

本文所涉及的所有分子动力学模拟过程均采用 Lammmps 软件包^[38]进行. 模拟过程如下.

表 1 Tersoff 势函数参数^[33]

Table 1. Parameters of Tersoff potential function^[33].

参数	Si	Ge
A/eV	1.8308×10^3	1.769×10^3
B/eV	4.7118×10^2	4.1923×10^2
$\lambda/\text{\AA}^{-1}$	2.4799	2.4451
$\mu/\text{\AA}^{-1}$	1.7322	1.7047
β	1.1000×10^{-6}	9.0166×10^{-7}
n	7.8734×10^{-1}	7.5627×10^{-1}
c	1.0039×10^5	1.0643×10^5
d	1.6217×10^1	1.5652×10^1
h	-5.9825×10^{-1}	-4.3884×10^{-1}
$R/\text{\AA}$	2.7	2.8
$S/\text{\AA}$	3.0	3.1

注: $\chi_{\text{Si-Ge}} = 1.00061$.

1) 建立包含 Si/Ge 界面结构的无缺陷一维简化界面模型, 如图 1 所示. 体系 x - y 方向采用周期性边界条件, z 方向采用自然边界条件. 模拟过程中: 体系 Si 层 x - y 平面尺寸 $d_{\text{Si}} = 217 \text{ \AA}$, 满足周期性边界条件; 为了克服 Si 和 Ge 之间的晶格失配对模型的影响, Ge 层在 x - y 方向采用自然边界条件, 同时增加一个真空层, 达到与 Si 层相同的尺寸, 真空层的厚度要大于 $20 \text{ \AA}$, 从而可以采用相同的周期性边界条件. Ge 层 x - y 方向尺寸分别为 60, 100, 140 和 $190 \text{ \AA}$, 其他区域为真空层; z 方向尺寸为 $200 \text{ \AA}$, 其中衬底 Si 厚度 $L_{\text{Si}} = 80 \text{ \AA}$, Ge 厚度 $L_{\text{Ge}} = 120 \text{ \AA}$.

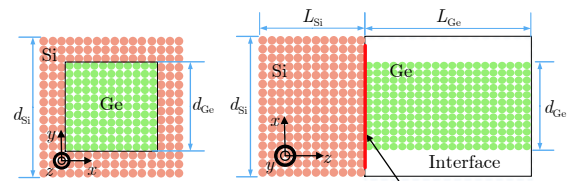


图 1 Si/Ge 界面模拟示意图

Fig. 1. Schematic diagram of simulation of Si/Ge interface.

2) 对体系进行充分弛豫, 弛豫过程为: 先升温到 1100 K , 在 1100 K 下弛豫 800 ps ($1 \text{ ps} = 10^{-12} \text{ s}$); 再降温到 300 K , 并在 300 K 下弛豫 500 ps ; 获得接近平衡态的体系, 计算 Si/Ge 界面两边的应力分布. 应力计算方法^[39]为: 以 Si/Ge 界面为零点, $10 \text{ \AA}$ 为间隔, 将整个体系 z 方向分成若干方块, 如图 2 所示, 计算每一个方块内的平均应力, 以此作为该方块中心处的应力值, 分析体系在 z 方向的应力分布.

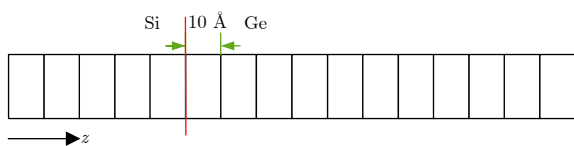


图2 Si和Ge体系应力计算示意图
Fig. 2. Diagram of stress calculation of Si and Ge system.

3) 改变 Ge 在 $x-y$ 方向的尺寸, 重复以上步骤, 对比 Ge 尺寸对 Si/Ge 界面应力的影响.

4) 在 Si 和 Ge 材料之间引入缺陷层 (Ge), 充分弛豫后计算界面应力变化, 分析缺陷层对 Si/Ge 界面应力释放过程的影响机制.

在模拟过程中, Ge 在 $x-y$ 方向的尺寸 (d_{Ge}) 分别为 60, 100, 140 和 190 Å, 引入的点缺陷密度分别为 0.5×10^{21} , 1.0×10^{21} , 2.0×10^{21} 和 $3.0 \times 10^{21} \text{ cm}^{-3}$. 模拟过程中体系温度由 Berendsen 热浴法控制, 模拟时间步长取为 1.0 fs ($1 \text{ fs} = 10^{-15} \text{ s}$).

3 结果与讨论

3.1 Ge 尺寸对 Si/Ge 界面应力分布的影响

首先对不同 Ge 尺寸下的 Si/Ge 界面应力分布进行分析, 结果如图 3 所示. 从图 3 可以看出, 应力随着远离界面而迅速降低, 表明 Si/Ge 界面应力主要集中在界面附近.

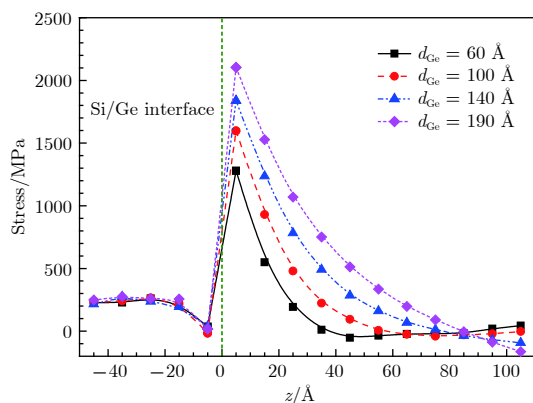


图3 不同 Ge 尺寸下 Si/Ge 界面应力的变化
Fig. 3. Variation of stress at Si/Ge interface under different sizes of Ge.

为获取 Ge 尺寸对 Si/Ge 界面应力下降速度的影响规律, 计算了不同 Ge 尺寸下, 应力下降到 200 MPa (与模型中衬底 Si 的应力相当) 的位置与界面的间距 (L_{Gstress}), 结果如图 4 所示. 从图 4 结果可以看出, 应力下降到 200 MPa 的位置与界面的间距与 Ge 尺寸具有近似线性递增的关系,

Ge 尺寸越小, 越有利于界面应力的快速释放. 随着 Ge 尺寸的增加, Si/Ge 界面应力释放速度迅速降低.

产生这一现象的内在原因是 Ge 在小尺寸下界面应力的释放机制. 在一维界面模型中, Ge 利用边界扩展的机制来释放失配应力, 应力释放速度与边界总长度成正比. 而界面的总应力与界面原子失配程度以及界面的面积有关, 在原子类别一定时, 界面面积越大, 界面总应力越大. 界面应力从峰值下降到 200 MPa 的距离与界面总应力以及应力释放速度密切相关, 总应力越大, 应力释放需要的距离越大, 而应力释放速度越大, 应力释放需要的距离越小, 如 (2) 式所示:

$$L_{\text{Gstress}} = A \frac{F_{\text{total}}}{V_{\text{Stress}}}, \quad (2)$$

式中 L_{Gstress} 为应力下降到 200 MPa 需要的距离; 在一维界面模型中 A 近似为一个常数; F_{total} 为 Si/Ge 界面总应力; V_{Stress} 为应力释放速度. F_{total} 与 Si/Ge 界面面积成正比, V_{Stress} 与 Si/Ge 界面周长成正比, 而在一维界面模型下界面面积与周长的比值与 Ge 尺寸成正比, 由此推导 L_{Gstress} 与 Ge 尺寸成正相关, 这与图 4 所示的计算结果一致.

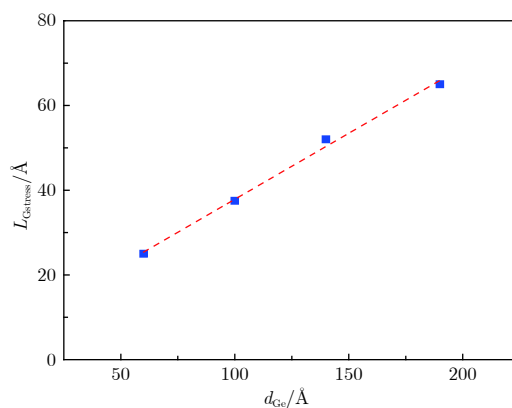


图4 应力下降到 200 MPa 的位置与界面间距 L_{Gstress} 与 Ge 尺寸的关系

Fig. 4. Relationship between distance L_{Gstress} and Ge when stress is relaxed to 200 MPa.

3.2 缺陷缓冲层存在下的 Si/Ge 界面应力释放机制

为了研究缺陷缓冲层在 Si/Ge 界面应力释放过程中的作用机制, 在上述模型基础上, 固定 Ge 尺寸为 100 Å, 在 Si/Ge 界面引入不同缺陷密度的缓冲层, 研究缺陷密度对界面应力的影响.

引入缺陷层后的界面应力分布如图 5 所示. 从图 5 可以看出, 缺陷层中的应力水平显著降低, 缺陷的存在可以有效释放 Si/Ge 界面应力; 随着缓冲层缺陷密度的增加, 应力降低程度越明显. 同时观察到 Ge 中没有缺陷的区域, 应力有一定程度的增加, 这与缺陷层在 Ge 内部形成的新的缺陷界面有关.

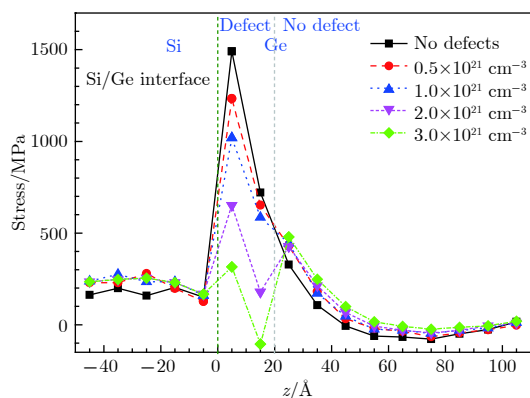


图 5 缓冲层缺陷密度对 Si/Ge 界面应力的影响

Fig. 5. Effect of different point defect density on stress at Si/Ge interface in buffer layer.

为了进一步分析缺陷在 Si/Ge 界面应力释放过程中的作用机制, 采用 x - y 方向尺寸为 100 Å 的周期性 Ge 材料模型, 并在内部引入厚度为 20 Å 的缺陷层, 缺陷密度分别为 0.5×10^{21} , 1.0×10^{21} , 2.0×10^{21} 和 $3.0 \times 10^{21} \text{ cm}^{-3}$. 采用与第 2 节相同的弛豫过程, 对 Ge 体系进行充分弛豫, 计算其 z 方向应力分布, 结果如图 6 所示. 缺陷在 Ge 体系内部引入了压应力, 并且随着缺陷密度越高, 引入的压应力越大, 这也证实了在 Si 基 Ge 结构中, 缺陷层是降低界面应力的主要机制.

从图 5 和图 6 的结果均可以看出, 缺陷的引入使得界面应力发生变化, 且缺陷密度对界面应力有

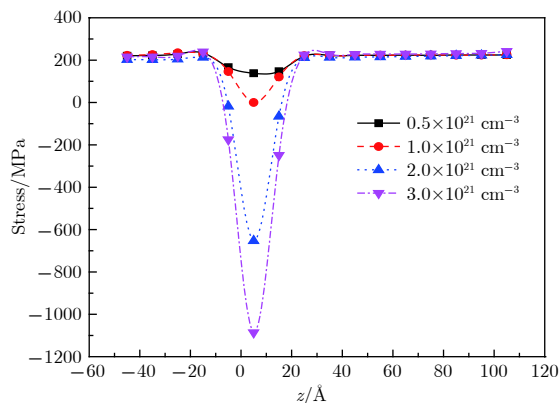


图 6 不同密度的空位缺陷对应力的影响规律

Fig. 6. Effect of different point defect density on the stress.

较大的影响. 为了更深入分析 Ge 缺陷密度对 Si/Ge 界面应力的影响, 计算在不同缺陷密度条件下界面应力差, 同时计算了单独缺陷存在时 Ge 内部产生的应力差, 结果如图 7 所示. 当缺陷密度小于 $1.0 \times 10^{21} \text{ cm}^{-3}$ 时, Si/Ge 界面应力差与缺陷密度存在比较好的线性递减关系, 随着缺陷密度的继续增加, 应力下降速度降低. 同时可以看到, 在只有缺陷存在时, Ge 内部应力差与缺陷密度呈近似线性递减, 且当下降的速度与缺陷密度小于 $1.0 \times 10^{21} \text{ cm}^{-3}$ 时, 下降速度相当. 由此可以推断, 当缺陷密度小于 $1.0 \times 10^{21} \text{ cm}^{-3}$ 时, 缺陷密度产生的应力变化起主要作用, 当缺陷密度进一步增大时, 存在其他的机制抵消了一部分缺陷产生的应力变化, 使得随缺陷密度增加, 应力下降速度降低.

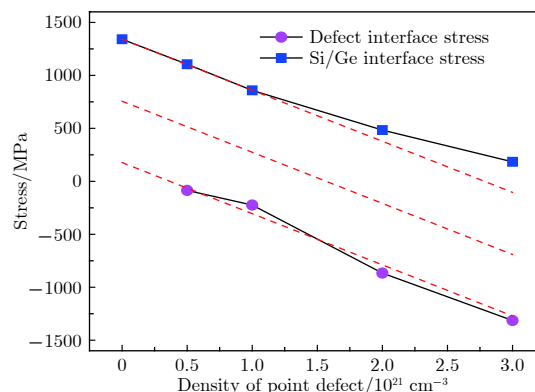


图 7 Si/Ge 界面应力差及单缺陷产生的应力差与缺陷密度的关系

Fig. 7. Relationship of the Si/Ge interface stress difference and the single defect interface stress difference with the defect density.

综上所述, 在 Si/Ge 界面处增加缺陷缓冲层可以有效降低界面应力, 且在高缺陷密度下存在额外的机制延缓了界面应力的释放, 缺陷层的引入是 Si/Ge 界面应力释放的一种有效途径. 参考这一结果, 可以通过对缺陷缓冲层的缺陷密度进行优化设计, 整体降低界面应力, 减小位错缺陷产生的概率, 从而达到提升 Si 基 Ge 薄膜质量, 这对 Si 基 Ge 薄膜生长工艺的设计与优化具有重要参考意义.

4 结 论

采用分子动力学方法研究并初步揭示了 Si 基 Ge 结构 Si/Ge 界面应力分布特征, 以及在缺陷缓冲层存在下的应力释放机制. 结果表明: 在纳米尺度下, Si/Ge 界面应力分布曲线与 Ge 尺寸密切相关, 界面应力下降速度与 Ge 尺寸存在近似的线性

递减关系;同时,在 Si 和 Ge 界面处增加一个富含空位缺陷的缓冲层,可显著改变 Si/Ge 界面应力分布.在此基础上对比分析了点缺陷在纯 Ge 结构内部引起应力变化与缺陷密度的关系,缺陷层的引入和缺陷密度的增加可加速界面应力的释放,其内在机理为:缺陷引入压应力,可在一定程度上抵消 Si/Ge 界面因晶格失配产生的张应力,从而达到降低界面应力的效果;且随着缺陷密度的增加,引入的压应力越大,界面应力降低值越大.根据缺陷缓冲层缺陷密度对界面应力的影响,初步解释了在缺陷缓冲层存在下 Si/Ge 界面应力的释放机制.基于以上研究结果,可通过在 Si 基 Ge 薄膜生长过程中引入缺陷层,并对缺陷缓冲层的缺陷密度等参数进行设计优化,降低界面应力水平,减小 Si/Ge 界面处因大应力产生位错缺陷的概率,从而提高 Si 基 Ge 薄膜质量,这一思想在 Si 基 Ge 膜的低温缓冲层生长方法中得到了验证.本文的研究结果对于 Si 基 Ge 材料生长工艺的开发具有指导意义,同时对于异质材料生长技术的研究也具有一定参考价值.

参考文献

- [1] Fadida S, Nyns L, van Elshocht S, Eizenberg M 2017 *J. Electron. Mater.* **46** 386
- [2] Wu H, Ye P D D 2016 *IEEE T. Electron Dev.* **63** 3028
- [3] Cheng B, Li C, Liu Z, Xue C 2016 *J. Semicond.* **37** 1
- [4] Mondal C, Biswas A 2013 *Superlattices Microstruct.* **63** 277
- [5] Kamata Y 2008 *Mater. Today* **11** 30
- [6] Saraswat K, Chui C O, Krishnamohan T, Kim D, Nayfeh A, Pethe A 2006 *Mater. Sci. Eng. B* **135** 242
- [7] Wang X D, Liu C L, Thean A, Duda E, Liu R, Xie Q H, Lu S F, Barr A, White T, Nguyen B Y, Orlowski M 2004 *J. Vac. Sci. Technol. B* **22** 373
- [8] Hartmann J M, Abbadie A, Papon A M, Holliger P, Rolland G, Billon T, Fedeli J M, Rouviere M, Vivien L, Laval S 2004 *J. Appl. Phys.* **95** 5905
- [9] Jung J W, Lee M L, Yu S F, Fitzgerald E A, Antoniadis D A 2003 *IEEE Electr. Device L.* **24** 460
- [10] Goo J S, Xiang Q, Takamura Y, Arasnia F, Paton E N, Besser P, Pan J, Lin M R 2003 *IEEE Electr. Device L.* **24** 568
- [11] Fossum J G, Zhang W M 2003 *IEEE T. Electron Dev.* **50** 1042
- [12] Oh J, Campbell J C, Thomas S G, Bharatan S, Thoma R, Jasper C, Jones R E, Zirkle T E 2002 *IEEE J. Quantum Elect.* **38** 1238
- [13] Wang C, Xu Y H, Li C, Lin H J 2017 *Acta Phys. Sin.* **66** 198502 (in Chinese) [王尘, 许怡红, 李成, 林海军 2017 物理学报 **66** 198502]
- [14] Wang X J, Su Z T, Zhou Z P 2015 *Sci. Sin.: Phys. Mech. Astron.* **45** 014201 (in Chinese) [王兴军, 苏昭棠, 周治平 2015 中国科学: 物理学 力学 天文学 **45** 014201]
- [15] Zhou Z W, He J K, Wang R C 2011 *Physics* **40** 799 (in Chinese) [周志文, 贺敬凯, 王瑞春 2011 物理 **40** 799]
- [16] Oye M M, Shahrjerdi D, Ok I, Hurst J B, Lewis S D, Dey S, Kelly D Q, Joshi S, Mattord T J, Yu X, Wistey M A, Harris Jr J S, Holmes Jr A L, Lee J C, Banerjee S K 2007 *J. Vac. Sci. Technol. B* **25** 1098
- [17] Currie M T, Samavedam S B, Langdo T A, Leitz C W, Fitzgerald E A 1998 *Appl. Phys. Lett.* **72** 1718
- [18] Samavedam S B, Fitzgerald E A 1997 *J. Appl. Phys.* **81** 3108
- [19] Loo R, Wang G, Souriau L, Lin J C, Takeuchi S, Brammertz G, Caymax M 2010 *J. Electrochem. Soc.* **157** H13
- [20] Wang J Y, Wang C, Li C, Chen S Y 2015 *Acta Phys. Sin.* **64** 128102 (in Chinese) [汪建元, 王尘, 李成, 陈松岩 2015 物理学报 **64** 128102]
- [21] Lee K H, Bao S, Chong G Y, Tan Y H, Fitzgerald E A, Tan C S 2015 *APL Mater.* **3** 362
- [22] Wu P H, Huang Y S, Hsu H P, Li C, Huang S H, Tiong K K 2014 *Appl. Phys. Lett.* **104** 943
- [23] Yamamoto Y, Zaumseil P, Arguirov T, Kittler M, Tillack B 2011 *Solid State Electron.* **60** 2
- [24] Hartmann J M, Papon A M, Destefaniz V, Billon T 2008 *J. Cryst. Growth* **310** 5287
- [25] Loh T H, Nguyen H S, Tung C H, Trigg A D, Lo G Q, Balasubramanian N, Kwong D L, Tripathy S 2007 *Appl. Phys. Lett.* **90** 092108
- [26] Zhou Z W, Shen X X, Li S G 2016 *Semiconductor Technology* **41** 133 (in Chinese) [周志文, 沈晓霞, 李世国 2016 半导体技术 **41** 133]
- [27] Zhou Z W, He J K, Li C, Yu J Z 2011 *Journal of Optoelectronics · Laser* **22** 1030 (in Chinese) [周志文, 贺敬凯, 李成, 余金中 2011 光电子·激光 **22** 1030]
- [28] Chen D, Wei X, Xue Z Y, Bian J T, Wang G, Zhang M, Di Z F, Liu S 2014 *J. Cryst. Growth* **386** 38
- [29] Chen D, Xue Z, Wei X, Wang G, Ye L, Zhang M, Wang D, Liu S 2014 *Appl. Surf. Sci.* **299** 1
- [30] Kasper E, Lyutovich K, Bauer M, Oehme M 1998 *Thin Solid Films* **336** 319
- [31] Knights A P, Gwilliam R M, Sealy B J, Grasby T J, Parry C P, Fulgoni D J F, Phillips P J, Whall T E, Parker E H C, Coleman P G 2001 *J. Appl. Phys.* **89** 76
- [32] Kasper E, Lyutovich K 2004 *Solid State Electron.* **48** 1257
- [33] Tersoff J 1986 *Phys. Rev. Lett.* **56** 632
- [34] Hahn K R, Puligheddu M, Colombo L 2015 *Phys. Rev. B* **91** 195313
- [35] Ishimaru M, Yamaguchi M, Hirotsu Y 2003 *Phys. Rev. B* **68** 136
- [36] Bording J K 2000 *Phys. Rev. B* **62** 7103
- [37] Chen Z H, Yu Z Y, Lu P F, Liu Y M 2009 *Chin. Phys. B* **18** 4591
- [38] Plimpton S 1995 *J. Comput. Phys.* **117** 1
- [39] Thompson A P, Plimpton S J, Mattson W 2009 *J. Chem. Phys.* **131** 154107

Molecular dynamics study of release mechanism of stress at Si/Ge interface on a nanoscale

Chen Xian[†] Zhang Jing Tang Zhao-Huan

(*Science and Technology on Analog Integrated Circuit Laboratory, Chongqing 400060, China*)

(Received 14 August 2018; revised manuscript received 15 November 2018)

Abstract

In this paper, the stress distribution of Si/Ge interface and the mechanism of the point defect buffer layer in the stress release process of Si/Ge structure on a nanoscale are studied by the molecular dynamics method. The results show that in a one-dimensional interface model, the stress relaxation at the Si/Ge interface is closely related to the size of Ge of the simulation, and there is an approximately linear relationship between the decrease rate of interface stress and the size of Ge. The vacancy defect is introduced into the Ge film near the Si/Ge interface, and a point defect rich buffer layer forms, reducing the stress at the Si/Ge interface significantly. As the defect density in the buffer layer increases, the interface stress decreases step by step. Moreover, in the paper examined also is the mechanism by which the buffer layer affects the interface stress. The relationship between the stress variation caused by the point defect in the pure Ge structure and the defect density is compared and analyzed. The introduction of the defect buffer layer and the increase of the defect density can accelerate the release of the Si/Ge interface stress. The internal mechanism of the stress reduction would be that the defect introduces the compressive stress, which can offset the tensile stress generated by the lattice mismatch of the Si and Ge structure. Then the Si/Ge interface stress is reduced. Besides, as the defect density increases, the compressive stress introduced by the defect increases and the interface stress decreases. The examination shows that the introduction of the defect buffer layer into the growth of the pure Ge film on silicon can reduce the probability of the dislocation defect by structuring the buffer layer to reduce interface stress. And this method is indirectly confirmed by preliminary study of silicon-based Ge film growth with low-temperature buffer layer method.

Keywords: Si/Ge interface, molecular dynamics, interface stress, defect buffer layer

PACS: 68.35.-p, 31.15.xv, 02.70.Ns, 81.15.Aa

DOI: 10.7498/aps.68.20181530

[†] Corresponding author. E-mail: mus_c@qq.com