



AlGa_N/Ga_N高电子迁移率晶体管的栅极电容模型

刘乃漳 姚若河 耿魁伟

Gate capacitance model of AlGa_N/Ga_N high electron mobility transistor

Liu Nai-Zhang Yao Ruo-He Geng Kui-Wei

引用信息 Citation: *Acta Physica Sinica*, 70, 217301 (2021) DOI: 10.7498/aps.70.20210700

在线阅读 View online: <https://doi.org/10.7498/aps.70.20210700>

当期内容 View table of contents: <http://wulixb.iphy.ac.cn>

您可能感兴趣的其他文章

Articles you may be interested in

AlGa_N/Ga_N高电子迁移率器件外部边缘电容的物理模型

The physics-based model of AlGa_N/Ga_N high electron mobility transistor outer fringing capacitances

物理学报. 2020, 69(7): 077302 <https://doi.org/10.7498/aps.69.20191931>

AlGa_N/Ga_N高电子迁移率晶体管温度传感器特性

Characteristics of AlGa_N/Ga_N high electron mobility transistor temperature sensor

物理学报. 2020, 69(4): 047201 <https://doi.org/10.7498/aps.69.20190640>

基于凹槽结构抑制AlGa_N/Ga_N高电子迁移率晶体管电流崩塌效应

Current collapse suppression in AlGa_N/Ga_N high electron mobility transistor with groove structure

物理学报. 2019, 68(24): 248501 <https://doi.org/10.7498/aps.68.20191311>

氮化镓基感光栅极高电子迁移率晶体管器件设计与制备

Design and fabrication of high electron mobility transistor devices with gallium nitride-based

物理学报. 2017, 66(24): 247203 <https://doi.org/10.7498/aps.66.247203>

结构参数对N极性面Ga_N/InAl_N高电子迁移率晶体管性能的影响

Effect of structure parameters on performance of N-polar Ga_N/InAl_N high electron mobility transistor

物理学报. 2019, 68(24): 247203 <https://doi.org/10.7498/aps.68.20191153>

具有部分本征Ga_N帽层新型AlGa_N/Ga_N高电子迁移率晶体管特性分析

Characteristic analysis of new AlGa_N/Ga_N high electron mobility transistor with a partial Ga_N cap layer

物理学报. 2017, 66(16): 167301 <https://doi.org/10.7498/aps.66.167301>

AlGaIn/GaN 高电子迁移率晶体管的 栅极电容模型*

刘乃漳¹⁾ 姚若河^{1)†} 耿魁伟¹⁾²⁾

1) (华南理工大学微电子学院, 广州 510640)

2) (中新国际联合研究院, 广州 510700)

(2021 年 4 月 13 日收到; 2021 年 6 月 21 日收到修改稿)

AlGaIn/GaN 高电子迁移率晶体管的栅极电容由本征电容和边缘电容组成. 边缘电容分为外部边缘电容和内部边缘电容, 内部边缘电容相比外部边缘电容对器件的开关转换特性更为敏感. 本文基于内部边缘电容的形成机理, 推导了内部边缘电容 $C_{ifs/d}$ 模型, 进一步的分析表明, 其与器件的栅极偏置强相关; 基于 Ward-Dutton 电荷分配原则推导了相应的本征电容模型, 最后结合外部边缘电容得到了完整的栅极电容模型. 由于边缘电容是由器件结构产生的寄生电容, 仿真结果表明, 若不考虑边缘电容的影响, 栅源电容的误差可达 80% 以上, 而栅漏电容的误差可达 65% 以上. 因此, 在高频开关应用领域, 边缘电容对栅极电容的影响不可忽略.

关键词: 高电子迁移率晶体管, 内部边缘电容, 栅极电容, 模型

PACS: 73.40.Kp, 73.61.Ey, 71.10.Ca

DOI: 10.7498/aps.70.20210700

1 引言

AlGaIn/GaN 高电子迁移率晶体管 (high electron mobility transistor, HEMT) 是现代微波电路的重要器件^[1-6], 随着器件和电路系统仿真技术的不断进步, 应用领域不断往高频深入, 人们对 AlGaIn/GaN HEMT 器件模型的要求越来越高. AlGaIn/GaN HEMT 的电容模型对准确预测处于微波与毫米波的数字/模拟高速芯片有重要的作用^[7].

Ward 和 Dutton^[8] 基于电路各节点的电荷守恒原理, 提出了一种金属-氧化物-半导体的本征电容建模方法, 该方法也可应用于 HEMT 器件电容的建模. Yigletu 等^[9] 基于 Ward-Dutton 电荷分配原则对 AlGaIn/GaN HEMT 本征电容进行了建模, 得到的本征电容模型精度较高, 但是该电容模型没有考虑边缘电容的影响. 之后 Li 和 Rakheja^[10]

指出栅极电荷里除本征电荷外, 其寄生部分电荷占有一定的比例, 而且该寄生电荷受外加偏置的影响. Jia 等^[11] 把边缘电容考虑到栅极电容中, 指出栅极电容包含了本征电容和边缘电容两部分, 然而该模型中的内部边缘电容值是通过测量得到的, 而边缘电容的测量受诸多不确定性因素的影响, 并且基于该建模方法无法得到一个包含边缘电容的统一栅极电容模型. 目前尚未见到完整的栅极电容物理模型文献, 边缘电容在栅极电容中的影响作用和不同偏置条件下栅极电容的变化情况需进一步明确.

本文在基于保角映射法推导出外部边缘电容 C_{ofd} 模型的基础上^[12], 进一步推导出内部边缘电容 $C_{ifs/d}$ 模型, 通过引入过渡函数 (T_f) 来表征 C_{if} 在器件开启后逐渐转换为 C_{gc} 的过程, 然后基于 Ward-Dutton 电荷分配原则建立了本征电容模型, 最后结合本征电容和边缘电容模型推导出完整的栅极电容模型.

* 国家重点研发计划 (批准号: 2018YFB1802100) 和广东省重点领域研发计划 (批准号: 2019B010143003) 资助的课题.

† 通信作者. E-mail: phrhyao@scut.edu.cn

2 栅极电容模型

图 1 是 AlGaIn/GaN HEMT 栅极电容处于开启状态或者关断状态下的电容示意图. 图中的电容可以分为本征电容 $C_{gs/d}$ 、外部边缘电容 $C_{ofs/d}$ 、内部边缘电容 $C_{ifs/d}$ 以及栅极和沟道之间形成的电容 C_{gc} . 当器件处于关断 (OFF) 状态时, 如图 1(a) 所示, 施加的栅极偏压小于阈值电压, 在栅极下方形成一定长度的耗尽区, 并且受栅极两边表面态的影响, 沟道耗尽层向两边拓宽^[13], 该耗尽层把沟道分隔为源端沟道和漏端沟道, 每一端都由 1 个本征电容和 2 个边缘电容构成, 这 3 个电容的总和就是源 (漏) 端在关断状态下的总电容值. 随着 V_g 偏压逐渐上升, 栅极两边的类施主表面态释放电子^[14,15], 由该“虚栅”作用产生的耗尽层消失. 同时, 由于栅压提高, 异质结势阱加深进而逐渐积累电子, 栅极下方的耗尽层也在变窄. 在耗尽层收窄的情况下, 二维电子气 (two-dimensional electron gas, 2DEG) 沟道不断往中间靠拢, 直至源漏两端的 2DEG 沟道完全闭合, 这时内部边缘电容完全消失, 转换为栅极——2DEG 沟道电容 C_{gc} , 如图 1(b) 所示.

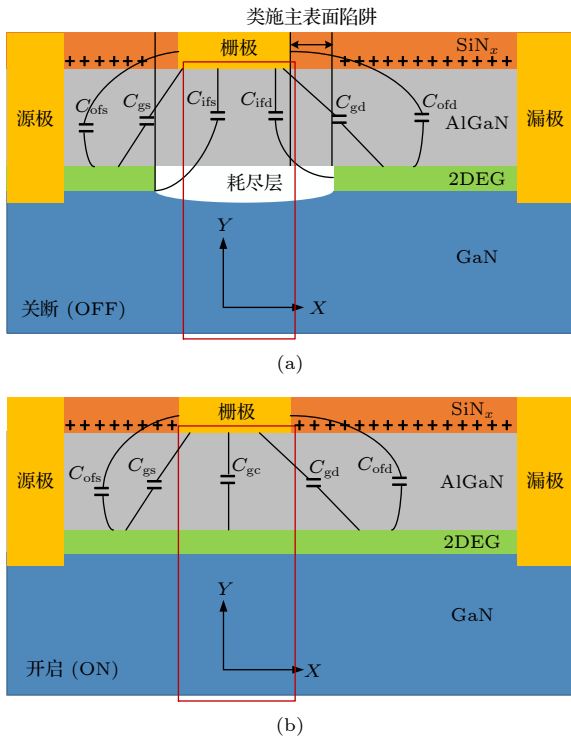


图 1 不同工作状态下 AlGaIn/GaN HEMT 栅极电容的示意图 (a) 处于关断状态; (b) 处于开启状态

Fig. 1. Schematic of AlGaIn/GaN HEMT gate capacitances in different states: (a) In the OFF-state; (b) in the ON-state.

因此, 对于内部边缘电容来说, 器件从关态到开态过程中是一个逐渐变化的过程.

栅极电容是本征电容和 2DEG 相关边缘电容的总和, 可分为栅源电容和栅漏电容, 对应的表达式如下^[16]:

$$C_{gs,total} = C_{gs} + C_{ofs} + C_{ifs}, \quad (1)$$

$$C_{gd,total} = C_{gd} + C_{ofd} + C_{ifd}. \quad (2)$$

因此, 为了求得栅源或栅漏电容需要获取对应的本征电容和边缘电容.

2.1 本征电容模型

(1) 式和 (2) 式中本征电容 $C_{gs/d}$ 可以通过电荷分配原则确定, 基于电荷分配的本征电容计算公式为^[17,18]

$$C_{Gx} = WLq \left(\frac{\frac{\partial f(n)}{\partial V_x} g(n) - f(n) \frac{\partial g(n)}{\partial V_x}}{g(n)^2} \right), \quad (3)$$

式中, W 是栅极宽度; L 是栅极长度; q 是电子电荷; $f(n)$ 和 $g(n)$ 是计算栅极电荷 Q_g 时换元得到的函数, 均是关于 2DEG 浓度的函数, 具体表达式为

$$f(n) = f_{\text{main}}(n_D) - f_{\text{main}}(n_s), \quad (4)$$

$$g(n) = g_{\text{main}}(n_D) - g_{\text{main}}(n_s), \quad (5)$$

$$f_{\text{main}}(n_x) = \frac{qd}{3\epsilon} n_x^3 + \frac{1}{4} \gamma_0 n_x^{\frac{8}{3}} + \frac{1}{2} v_{\text{th}} n_x^2, \quad (6)$$

$$g_{\text{main}}(n_x) = \frac{qd}{2\epsilon} n_x^2 + \frac{2}{5} \gamma_0 n_x^{\frac{5}{3}} + \frac{1}{2} v_{\text{th}} n_x^2, \quad (7)$$

其中, d 是 AlGaIn 势垒层厚度, v_{th} 是热电压, γ_0 是由实验数据得到的拟合参数, ϵ 代表介电常数.

(6) 式和 (7) 式关于沟道电势的微分表达式为

$$\frac{df_{\text{main}}(n_x)}{dV_x} = \left(\frac{qd}{\epsilon} n_x^2 + \frac{2}{3} \gamma_0 n_x^{\frac{5}{3}} + v_{\text{th}} n_x \right) \frac{dn_x}{dV_x}, \quad (8)$$

$$\frac{dg_{\text{main}}(n_x)}{dV_x} = \left(\frac{qd}{\epsilon} n_x^2 + \frac{2}{3} \gamma_0 n_x^{\frac{2}{3}} + v_{\text{th}} \right) \frac{dn_x}{dV_x}, \quad (9)$$

式中 $\frac{dn_x}{dV_x}$ 可表示为

$$-dV_x = \frac{qd}{\epsilon} dn_x + \frac{2}{3} \gamma_0 n_x^{-\frac{1}{3}} dn_x + \frac{v_{\text{th}}}{n_x} dn_x, \quad (10)$$

其中, n_x 代表了势阱内源端或者漏端的 2DEG 浓度. 源端 2DEG 浓度 n_s 关于栅极偏压的表达式为^[19]

$$n_s = \frac{AV_{g0}}{1 + qB} \left[1 - \frac{A^{\frac{2}{3}} \gamma_0}{(1 + qB)^{\frac{2}{3}} V_{g0}^{\frac{1}{3}}} \right], \quad (11)$$

式中, $A = \frac{\varepsilon}{qd}$, $V_{g0} = V_g - V_{off}$ (假设 $V_c = 0$), $B = \frac{A}{qD}$.

求解漏端 2DEG 浓度 n_D , 只需将 (11) 式中的栅压变量 V_{g0} 替换成等效的栅漏电压 V_{gd0} , 再利用同样的 n_s 模型求出来的就是漏端 2DEG 浓度 n_D 的模型, V_{gd0} 的表达式为

$$V_{gd0} = V_{g0} - V_{d,eff}, \quad (12)$$

式中, $V_{d,eff}$ 表示考虑沟道长度调制效应后的漏端等效电压, 其经验公式为

$$V_{d,eff} = V_{sat} \left\{ 1 - \frac{\ln \left[1 + \exp \left(1 - k \frac{V_{ds}}{V_{sat}} \right) \right]}{\ln(1 + e)} \right\}, \quad (13)$$

式中, k 是拟合参数; V_{sat} 是饱和电压, 具体表达式为^[9]

$$V_{sat} = \frac{n_s v_{sat}}{v_{sat} + \frac{2A}{2L} u_{eff} V_{g0}}, \quad (14)$$

其中 v_{sat} 是电子饱和速度. 结合推导出的 n_D 表达式代入到 (3) 式中就能求出 C_{gd} .

2.2 边缘电容模型

图 2 是漏端沟道边缘电容电场的示意图, 图中 L_g 指的是栅极长度, T_{AlGaN} 是势垒层厚度, T_e 是二维电子气层厚度, 内部边缘电容和外部边缘电容的形成原理一样, 内部边缘电容是由栅极底部水平壁到 2DEG 垂直侧壁之间等效电场构成的等效电容, 建模方法可以利用保角映射法. 在 2DEG 沟道向栅极靠近过程中, 椭圆电场线围成的面积逐渐缩小, 意味着内部边缘电容在 2DEG 沟道不断靠近栅极过程中是逐渐变小的, 最终在沟道完全闭合后转换为 C_{gc} .

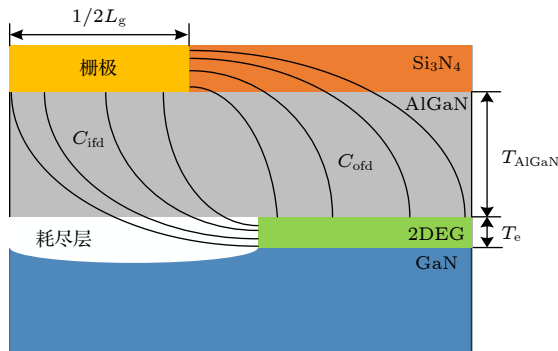


图 2 靠近漏端处边缘电容示意图

Fig. 2. Schematic of fringing capacitances near the drain.

图 3 是漏端内部边缘电容 $C_{ifs/d}$ 电场的示意图, 图中 T_e 表示 2DEG 厚度, L_{dep_d} 表示源/漏表面态宽度. 由图 3 可见源端和漏端的电场分布是一样的, 它们都是以 1/2 的栅极底部水平壁和 2DEG 垂直壁为边, 内椭圆长边都是 AlGaN 势垒层厚度, 唯一区别是栅极两边的类施主表面态长度不同, 因此在对源端或者漏端内部边缘进行建模时可以用同一种方法, 区别只是改变表面态长度变量 L_{dep_s} 和 L_{dep_d} . 将外部边缘电容表达式^[6]进行修改后得到内部边缘电容表达式为

$$C_{ifs/d,max} = \frac{2\varepsilon_{AlGaN}}{\pi} \times \ln \left(\frac{T_{AlGaN} + T_e + \sqrt{L_{dep_s/d}^2 + (T_e)^2 + 2T_{AlGaN}T_e}}{L_{dep_s/d} + T_{AlGaN}} \right), \quad (15)$$

式中 ε_{AlGaN} 代表 AlGaN 介电常数. 共焦电场与实际电场仍然存在误差, 如图 4 所示.

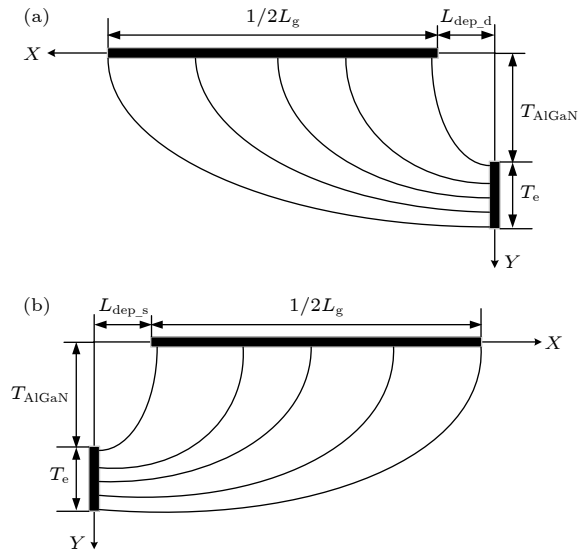


图 3 $C_{ifs/d}$ 椭圆电场示意图 (a) C_{ifd} ; (b) C_{ifs}

Fig. 3. Schematic of $C_{ifs/d}$ elliptical electric field: (a) C_{ifd} ; (b) C_{ofs} .

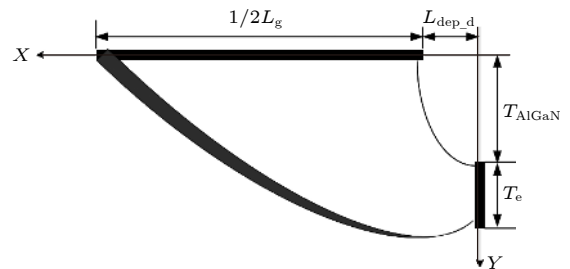


图 4 $C_{ifs/d}$ 椭圆电场共焦后存在的误差

Fig. 4. Errors after $C_{ifs/d}$ elliptical electric field confocal.

以 2DEG 厚度 T_e 为参考边, 修正函数如下:

$$\eta = \exp\left(\frac{\frac{1}{2}L_g + L_{\text{dep}_s} - \sqrt{L_{\text{dep}_s}^2 + T_e^2 + 2T_{\text{AlGaN}}T_e}}{\frac{1}{2}\zeta L_g}\right), \quad (16)$$

式中 ζ 是拟合参数. 将 (16) 式作为修正函数添加到 T_e 前就可得到源/漏端内部边缘电容的核心表达式为

$$C_{\text{ifs/d,max}} = \frac{2\varepsilon_{\text{AlGaN}}}{\pi} \ln\left(\frac{T_{\text{AlGaN}} + \eta T_e + \sqrt{L_{\text{dep}_s}^2 + (\eta T_e)^2 + 2T_{\text{AlGaN}}\eta T_e}}{L_{\text{dep}_s} + T_{\text{AlGaN}}}\right), \quad (17)$$

正如前面所讨论的, 内部边缘电容在器件从关断到开启中是逐渐减小, 最后转换为沟-栅电容 C_{gc} 的过程, 因此对内部边缘电容表达式 (17) 还需要添加一个函数用来表征 $C_{\text{ifs/d}}$ 从关态到开启的变化过程, 过渡函数如下:

$$T_f = \delta_1 + \delta_2 \tanh\left\{\left[1 + \left(\frac{V_g}{V_{\text{off}}}\right)^{\beta_2}\right]^{\frac{1}{\beta_2}}\right\}, \quad (18)$$

式中, δ_1 , δ_2 , β_2 是拟合参数. 将 T_f 表达式 (18) 式与 (17) 式结合可以得到内部边缘电容最终表达式为

$$C_{\text{ifs/d}} = C_{\text{ifs/d,max}} T_f. \quad (19)$$

基于保角映射法推导的外部边缘电容 C_{ofd} 为^[20]

$$C_{\text{ofd}} = \frac{2\varepsilon_x W}{\pi} \ln\left[\frac{\sqrt{(\eta L_{\text{cd}})^2 + 2\eta L_{\text{cd}} L_{\text{dep}_d} + T_{\text{AlGaN}}^2 + L_{\text{dep}_d} + \eta L_{\text{cd}}}}{L_{\text{dep}_d} + T_{\text{AlGaN}}}\right], \quad (20)$$

$$\eta = \exp\left(\frac{\tau T_g^3 - \sqrt{L_{\text{cd}}^2 + 2L_{\text{dep}_d} L_{\text{cd}} + T_{\text{AlGaN}}^2 + T_{\text{AlGaN}}}}{aT_g^2 + bT_g + c}\right),$$

式中, τ , a , b , c 为拟合参数; ε_x 是介于钝化层 SiN_x 与 AlGaN 势垒层之间的等效介电常数; W 表示器件宽度.

当漏源电压 V_{ds} 达到饱和电压 V_{dsat} 后漏端发生沟道长度调制效应, L_d 会因为沟道长度调制效应而变小^[21], 假设沟道长度变化量为 ΔL , 漏端实际沟道长度 L_{cd} 如下:

$$V_{\text{dse}} = \frac{V_{\text{ds}}}{[1 + (V_{\text{ds}}/V_{\text{dsat}})^m]^{\frac{1}{m}}}. \quad (21)$$

$$\Delta L = p \sinh^{-1}\left(\frac{V_{\text{ds}} - V_{\text{dse}}}{pE_{\text{sat}}}\right), \quad (22)$$

$$L_{\text{cd}} = L_d - \Delta L, \quad (23)$$

式中, V_{dsat} 是漏端饱和电压, 利用 (14) 式将 n_s 替换成 n_D 求出; V_{dse} 是漏端的等效电压; m 是拟合参数; E_{sat} 代表饱和电场.

基于得到的 C_{ofd} 表达式, 只需要将 C_{ofd} 核心表达式中的 L_{cd} 换成 L_s , L_{dep_d} 换成 L_{dep_s} 后就可推导出 C_{ofs} 的核心表达式:

$$C_{\text{ofs}} = \frac{2\varepsilon_x W}{\pi} \ln\left[\frac{L_{\text{dep}_s} + \eta_2 L_s + \sqrt{T_{\text{AlGaN}}^2 + (\eta_2 L_s)^2 + 2L_{\text{dep}_s}\eta_2 L_s}}{L_{\text{dep}_s} + T_{\text{AlGaN}}}\right], \quad (24)$$

$$\eta_2 = \exp\left(\frac{T_g + T_{\text{AlGaN}} - \sqrt{T_{\text{AlGaN}}^2 + L_s^2 + 2L_{\text{dep}_s}L_s}}{\zeta_2 T_g}\right). \quad (25)$$

3 模型仿真与分析

为了验证栅极电容模型 $C_{\text{gs_total}}$ 和 $C_{\text{gd_total}}$, 采用表 1 的器件参数进行仿真验证.

表 1 器件模型的参数值
Table 1. Parameter of the device model.

参数	定义	数值
$L_s/\mu\text{m}$	源端沟道长度	0.15
ε_x	有效介电常数	$7.65\varepsilon_0$
$E_{\text{sat}}/(\text{V}\cdot\mu\text{m}^{-1})$	饱和电场	15
$L_d/\mu\text{m}$	漏端沟道长度	1
$L_{\text{dep}_s}/\text{nm}$	漏端耗尽层长度	12
$L_{\text{dep}_d}/\text{nm}$	漏端沟道长度	22
$T_{\text{AlGaN}}/\text{nm}$	AlGaN 势垒层厚度	22
T_e/nm	二维电子气厚度	8
$L_g/\mu\text{m}$	栅极长度	0.35
ζ	拟合参数	0.4
ζ_2	拟合参数	0.3
δ_1	拟合参数	-10.35
δ_2	拟合参数	13.6
β_2	拟合参数	20

3.1 栅源电容特性

源端电容由三部分组成: 栅源本征电容 C_{gs} 、源端外部边缘电容 C_{ofs} 和源端内部边缘电容 C_{ifs} . 对 C_{ifs} 和 C_{ofs} 的表达式 (19) 和 (24) 进行仿真, 将栅极电压 V_g 扫描范围设置在 -6 V 到 0 V , 漏源电压 V_{ds} 设置为 3 V , 阈值电压为 -4.98 V , 得到边缘电容随 V_g 的变化情况如图 5 所示. 可以发现, 源端边缘电容 ($C_{ofs} + C_{ifs}$) 在器件开启前就已经出现了衰减, 这主要是由源端内部边缘电容 C_{ifs} 引起的: 当器件处于亚阈值区 ($V_g < V_{off}$) 时, C_{ifs} 在器件处于完全关断状态下取得最大值, 随着器件从关断状态逐步到开启状态的变化过程中, 源端沟道向中部靠拢, L_s 随着 V_g 升高逐渐减小, 由于 L_s 是椭圆电场的参考边之一, 当 L_s 减小后, 椭圆电场围成的面积减小, 由保角映射法最终得到的 C_{ifs} 也因此减小, ($C_{ofs} + C_{ifs}$) 从一开始的 0.258 pF/mm 到开启状态的 0.17 pF/mm . V_g 再继续升高使器件开启后, 沟道几乎闭合, 此时 C_{ifs} 转换为栅-沟电容 C_{gc} , C_{ifs} 趋于稳定值, 而 C_{ofs} 不随栅压变化, 因此 V_g 继续增高也不会使源端边缘电容 ($C_{ofs} + C_{ifs}$) 发生变化.

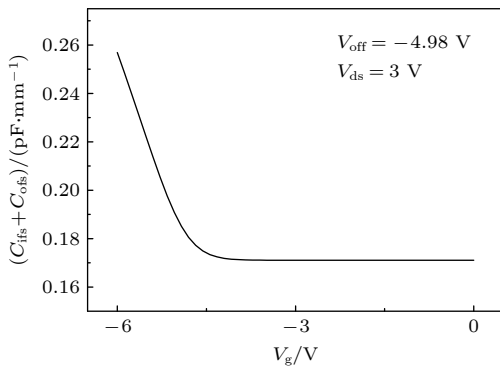


图 5 源端边缘电容 ($C_{ifs} + C_{ofs}$) 与 V_g 的关系图

Fig. 5. Relation between source fringing capacitance ($C_{ifs} + C_{ofs}$) and V_g .

得到源端边缘电容随 V_g 的变化情况后可进一步对总源端栅极电容进行分析. 对考虑边缘电容的 C_{gs_total} 表达式 (1) 和不考虑边缘电容的 C_{gs} 表达式 (3) 分别进行仿真, 栅极偏置也设置在 -6 V 到 0 V 的范围内, 阈值电压和漏源偏置分别设置为 -4.98 V 和 3 V , 仿真结果见图 6. 图中蓝色虚线是栅源本征电容 C_{gs} 随 V_g 的变化情况, 当考虑到边缘电容后, 总栅源电容 C_{gs_total} 的变化情况如蓝色

实线所示, 观察两条曲线可以发现, 两者随 V_g 变化的趋势有少许差别: 在考虑边缘电容后, C_{gs_total} 整体要比 C_{gs} 大. 并且, C_{gs_total} 在亚阈值区会有 1 个轻微的衰减过程, 器件开启之后, C_{gs_total} 会逐渐偏离 C_{gs} 直至两者都处于稳定状态, 这种差异主要是由边缘电容造成的. 如前面所述, C_{ifs} 在亚阈值区工作状态下, 会因其随 V_g 的提高逐渐转换为 C_{gc} 而减小, 包含边缘电容的 C_{gs_total} 在亚阈值区会因为 C_{ifs} 的转换现象而出现衰减. 当 $V_g > V_{off}$ 后, 边缘电容基本趋于固定值, 这时 C_{gs_total} 与 C_{gs} 的差值基本保持不变.

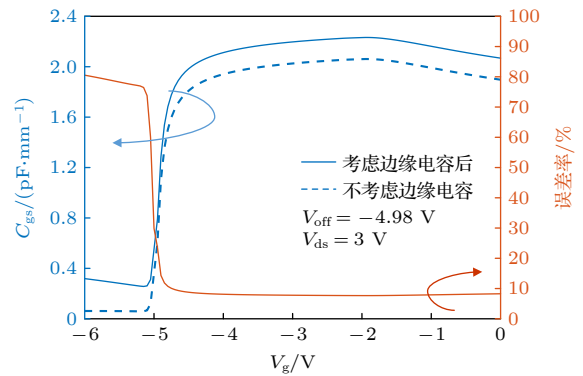


图 6 C_{gs} 总电容与 V_g 的关系图

Fig. 6. Relation between total capacitance of C_{gs} and V_g .

为了更加直观地表示边缘电容对栅源电容的影响, 计算出未考虑边缘电容的情况下与考虑了边缘电容之间的误差, 其结果如图 6 红线所示: 器件开启状态下, 误差率为 9%, 即边缘电容占总电容的 9% 左右. 但是在关断状态下, 边缘电容占到了总电容的 80%, 而且器件开启与关断前后, 误差的变化速率很快, 这说明了边缘电容对器件开关特性影响尤为明显, 是建模时不可忽略的一部分.

3.2 栅漏电容特性

漏端电容由三部分组成: 栅漏本征电容 C_{gd} 、漏端外部边缘电容 C_{ofd} 和漏端内部边缘电容 C_{ifd} . 对 C_{ofd} 和 C_{ifd} 的表达式 (20) 和 (19) 进行仿真, 将漏源电压 V_{ds} 扫描范围设置在 0.5 V 到 4 V , 栅极电压 V_g 设置为 -4 V , 阈值电压为 -4.98 V , 得到漏端边缘电容 ($C_{ofd} + C_{ifd}$) 随 V_{ds} 的变化情况如图 7 所示. 可见, 相对于 ($C_{ofs} + C_{ifs}$) 与 V_g 的关系, ($C_{ofd} + C_{ifd}$) 受 V_{ds} 的影响十分微小, 这主要是因为内部

边缘电容 $C_{ifs/d}$ 与 V_{ds} 无关, 在各边缘电容中, 只有漏端外部边缘电容 C_{ofd} 因沟道长度调制效应受 V_{ds} 的影响 [10], 但是影响效果随 V_{ds} 的变化相对 V_g 对 $C_{ifs/d}$ 的影响来说要小得多, 因此 $(C_{ofs} + C_{ifs})$ 这两个边缘电容随 V_{ds} 的变化可忽略.

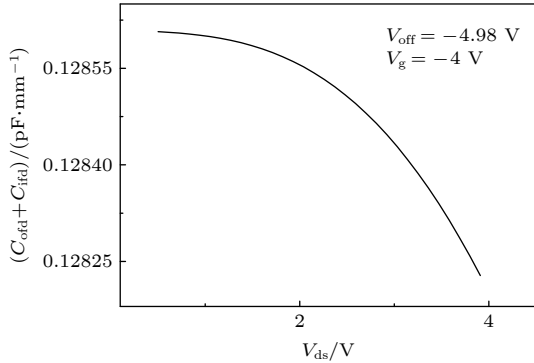


图 7 漏端边缘电容 ($C_{ifd} + C_{ofd}$) 与 V_{ds} 的关系图
Fig. 7. Relation between drain fringing capacitance ($C_{ifd} + C_{ofd}$) and V_{ds} .

对考虑了边缘电容的 C_{gd_total} 电容表达式 (2) 和 C_{gd} 电容表达式 (3) 进行仿真, 结果如图 8 所示. 图中虚线为 C_{gd} , 实线为 C_{gd_total} , 可以看出考虑了边缘电容后的 C_{gd_total} 相对于 C_{gd} 来说整体向上平移, 这是由 $(C_{ofs} + C_{ifs})$ 造成的.

还计算了未考虑边缘电容的情况下与考虑了边缘电容之间的误差, 其结果如图 8 红线所示. 观察图中红线发现, C_{gd_total} 随着 V_{ds} 从 0.5 V 到 4 V 变化过程中, 误差从 10% 左右升到 65% 以上, 而且误差在 C_{gd} 斜率减小的地方变化尤为明显. 造成这种现象的原因是: 根据 Ward-Dutton 电荷分配原则, 本征电容 C_{gd} 的直观表达式是 $C_{gd} = -\frac{\partial Q_g}{\partial V_{ds}}$, 它表示的是漏源电压 V_{ds} 对栅极电荷 Q_g 的控制能力, 当 V_{ds} 足够大引起沟道长度调制效应后, 耗尽层把沟道和漏端隔开, 直至漏端完全失去对沟道的控制, 而栅极电荷与沟道电荷存在电荷守恒的关系, 这时候漏端已经无法通过改变沟道电荷来影响栅极电荷, 意味着漏端失去了栅极电荷的控制, 因此 C_{gd} 随着 V_{ds} 的提高逐渐减小最后趋于零. 然而前面对漏端边缘电容的分析发现 V_{ds} 对 $(C_{ofd} + C_{ifd})$ 影响有限, 相对于 C_{gd} 与 V_{ds} 的变化可忽略, $(C_{ofd} + C_{ifd})$ 可以近似当作常数. 综上, C_{gd} 逐渐减小的过程中, $(C_{ofd} + C_{ifd})$ 保持不变, 当器件处于饱和和区时, 漏端电容部分占主导地位的已从 C_{gd} 转变为 $(C_{ofd} + C_{ifd})$.

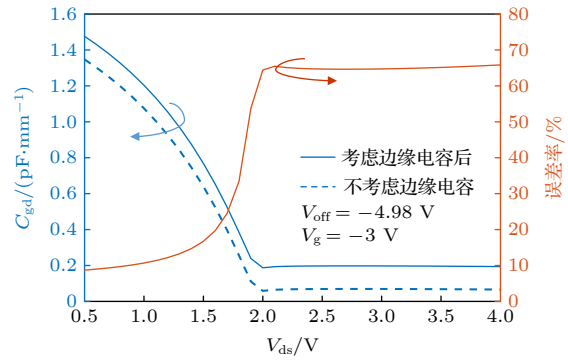


图 8 C_{gd} 总电容与 V_{ds} 的关系图
Fig. 8. Relationship between total capacitance of C_{gd} and V_{ds} .

4 结 论

AlGaIn/GaN HEMT 器件总的栅极电容包含了两部分: 本征电容 $C_{gs/d}$ 和与 2DEG 相关的边缘电容 $C_{ifs/d}$ 和 $C_{ofs/d}$. 本文基于保角映射法推导出内部边缘电容 $C_{ifs/d}$ 模型和源端外部边缘电容 $C_{ofs/d}$ 模型, 最后得到源/漏端的总栅极电容表达式, 经过仿真分析发现: 内部边缘电容 $C_{ifs/d}$ 与器件的栅极偏置强相关, 与漏源偏置无关, 而外部边缘电容 $C_{ofs/d}$ 受偏压影响要小得多. 考虑边缘电容后, 栅源电容整体要比未考虑边缘电容时大, 边缘电容是由器件结构产生的寄生电容, 所以即使器件处于关断状态, 边缘电容仍然存在, 这时不考虑边缘电容误差达到了 80%, 器件开启后误差率减小到 9%; 对于栅漏电容, V_{ds} 较低条件下边缘电容只占总电容的 9% 左右, 当器件处于饱和状态时, $C_{gd} \approx 0$, 这时若不考虑边缘电容其误差则高达 65% 以上. 所以, 对 AlGaIn/GaN HEMT 器件电容建模时, 其边缘电容是不可以忽略的一部分, 特别是应用于高频开关领域.

参考文献

- [1] Chow Paul T 2014 *Materials Science Forum* **778-780** 1077
- [2] Chow Paul T 2015 *IEEE 3rd Workshop on Wide Bandgap Power Devices and Applications (WiPDA)* Blacksburg, VA, USA, November 2-4, 2015 pp402-405
- [3] Chowdhury S, Stum Z, Li Z, Ueno K, Chow T P 2014 *Materials Science Forum* **778-780** 971
- [4] Millan J, Godignon P, Perpina X, Perez-Tomas A, Rebollo J 2014 *IEEE Trans. Power Electron.* **29** 2155
- [5] Tolbert L M 2008 *Ph. D. Dissertation* (Tennessee: Oak Ridge National Laboratory)
- [6] Bindra A 2015 *IEEE Power Electron. Mag.* **2** 42
- [7] Jones E A, Fei F W, Costinett D 2016 *IEEE J. Emerging Sel. Top. Power Electron.* **4** 707

- [8] Ward D, Dutton R W 1978 *IEEE Trans. Electron Devices* **13** 703
- [9] Yigletu F M, Khandelwal S, Fjeldly T A, Iniguez B 2013 *IEEE Trans. Electron Devices* **60** 3746
- [10] Li K, Rakheja S 2018 *Device Research Conference-Conference Digest* Santa Barbara, California, USA, June 24–27, 2018 p1
- [11] Jia Y H, Xu Y, Wen Z, Wu Y, Guo Y 2019 *IEEE Trans. Electron Devices* **66** 357
- [12] Bansal A, Paul B C, Roy K 2005 *IEEE Trans. Electron Devices* **52** 256
- [13] Koudymov A, Shur M S, Simin G 2007 *IEEE Electron Device Lett.* **28** 332
- [14] Tirado J M, Sanchez R J L, Izpura J I 2007 *IEEE Trans. Electron Devices* **54** 410
- [15] Simin G, Koudymov A, Tarakji A, Hu X, Yang J, Khan M A, Shur M S, Gaska R 2001 *Appl. Phys. Lett.* **79** 2651
- [16] Cheng X, Li M, Wang Y 2009 *IEEE Trans. Electron Devices* **56** 12
- [17] Yigletu F M, Iniguez B, Khandelwal S, Fjeldly T A 2013 *International Conference on Simulation of Semiconductor Processes and Devices (SISPAD)* Glasgow, UK, September 3–5, 2013 p13879917
- [18] Khandelwal S, Yigletu F M, Iniguez B, Fjeldly T A 2013 *Solid-state Electron.* **82** 38
- [19] Swamy N S, Dutta A K 2018 *IEEE Trans. Electron Devices* **65** 936
- [20] Liu N Z, Zhang X B, Yao R H 2020 *Acta Phys. Sin.* **69** 077302 (in Chinese) [刘乃漳, 张雪冰, 姚若河 2020 物理学报 **69** 077302]
- [21] Jia Y, Xu Y, Kai L, Zhang W, Huang A D, Guo Y X 2018 *IEEE Trans. Electron Devices* **65** 3169

Gate capacitance model of AlGaN/GaN high electron mobility transistor*

Liu Nai-Zhang¹⁾ Yao Ruo-He^{1)†} Geng Kui-Wei¹⁾²⁾

1) (School of Microelectronics, South China University of Technology, Guangzhou 510640, China)

2) (Sino-Singapore International Joint Research Institute, Guangzhou 510700, China)

(Received 13 April 2021; revised manuscript received 21 June 2021)

Abstract

The research on capacitance model of AlGaN/GaN high electron mobility transistor (HEMT) is of great significance in modern communication technology and circuit simulation. At present, many modeling methods of AlGaN/GaN HEMT capacitance models have been proposed. The gate capacitance is composed of intrinsic capacitance and fringe capacitance. However, most researches focus on the intrinsic capacitance but ignore the fringe capacitance, which leads to a large error in the final results. A total gate capacitance model including fringe capacitance needs to be established.

In this paper, the conformal mapping method and transition functions are used to establish the inner fringe capacitance model, and the intrinsic capacitance model is derived based on the Ward-Dutton charge distribution principle. The intrinsic capacitance model and the outer fringe capacitance model are combined to obtain the source/drain total gate capacitance model. Based on this model, the relationship between the bias condition and the fringe capacitance is analyzed. We compare the difference between the effects of external bias on gate capacitance with and without the fringe capacitance considered, and the error rate of the gate capacitance in the on state is calculated without considering the fringe capacitance.

The results show that the fringe capacitance is mainly affected by the gate bias. When the fringe capacitance is taken into account in the intrinsic capacitance model, the total capacitance model is larger than that without considering the fringe capacitance. For the gate capacitance, if the influence of fringing capacitance is not considered, the gate capacitance error rate of the device in the OFF state can reach 80%; for fringing capacitance, the error rate is over 65% when the device is working in the saturation region.

Keywords: high electron mobility transistor, inner fringing capacitance, total gate capacitance, model

PACS: 73.40.Kp, 73.61.Ey, 71.10.Ca

DOI: 10.7498/aps.70.20210700

* Project supported by the National Key R&D Program of China (Grant No. 2018YFB1802100) and the Key-Area Research and Development Program of Guangdong Province, China (Grant No. 2019B010143003).

† Corresponding author. E-mail: phryao@scut.edu.cn