

## $N_2O$ 处理对背沟刻蚀金属氧化物薄膜晶体管性能的影响

徐华 刘京栋 蔡炜 李氏 徐苗 陶洪 邹建华 彭俊彪

## Effect of $N_2O$ treatment on performance of back channel etched metal oxide thin film transistors

Xu Hua Liu Jing-Dong Cai Wei Li Min Xu Miao Tao Hong Zou Jian-Hua Peng Jun-Biao

引用信息 Citation: *Acta Physica Sinica*, 71, 058503 (2022) DOI: 10.7498/aps.71.20211350

在线阅读 View online: <https://doi.org/10.7498/aps.71.20211350>

当期内容 View table of contents: <http://wulixb.iphy.ac.cn>

---

### 您可能感兴趣的其他文章

#### Articles you may be interested in

#### 氢元素对铟镓锌氧化物薄膜晶体管性能的影响

Effects of hydrogen impurities on performances and electrical reliabilities of indium–gallium–zinc oxide thin film transistors

物理学报. 2018, 67(9): 098502 <https://doi.org/10.7498/aps.67.20180074>

#### 镨掺杂铟镓氧化物薄膜晶体管的低频噪声特性分析

Analysis of low frequency noise characteristics of praseodymium doped indium gallium oxide thin film transistor

物理学报. 2021, 70(16): 168501 <https://doi.org/10.7498/aps.70.20210368>

#### 溶胶–凝胶法制备氧化锡基薄膜及薄膜晶体管的研究进展

Research progress of tin oxide–based thin films and thin–film transistors prepared by sol–gel method

物理学报. 2020, 69(22): 228102 <https://doi.org/10.7498/aps.69.20200653>

#### U型槽刻蚀工艺对GaN垂直沟槽型金属–氧化物–半导体场效应晶体管电学特性的影响

Effect of U–shape trench etching process on electrical properties of GaN vertical trench metal–oxide–semiconductor field–effect transistor

物理学报. 2020, 69(9): 098501 <https://doi.org/10.7498/aps.69.20191850>

#### 短沟道金属–氧化物半导体场效应晶体管的散粒噪声模型

Shot noise model of the short channel metal–oxide–semiconductor field–effect transistor

物理学报. 2020, 69(17): 177102 <https://doi.org/10.7498/aps.69.20200497>

#### 纳米尺度金属–氧化物半导体场效应晶体管沟道热噪声模型

A channel thermal noise model of nanoscaled metal–oxide–semiconductor field–effect transistor

物理学报. 2020, 69(5): 057101 <https://doi.org/10.7498/aps.69.20191512>

# N<sub>2</sub>O 处理对背沟刻蚀金属氧化物 薄膜晶体管性能的影响\*

徐华<sup>1)</sup> 刘京栋<sup>2)</sup> 蔡炜<sup>3)</sup> 李民<sup>1)</sup> 徐苗<sup>1)2)</sup>  
陶洪<sup>1)†</sup> 邹建华<sup>2)</sup> 彭俊彪<sup>2)</sup>

1) (广州新视界光电科技有限公司, 广州 510530)

2) (华南理工大学, 发光材料与器件国家重点实验室, 广州 510641)

3) (季华实验室, 佛山 528000)

(2021 年 7 月 22 日收到; 2021 年 12 月 5 日收到修改稿)

通过采用稀土元素镨掺杂铟锡锌氧化物半导体作为薄膜晶体管沟道层, 成功实现了基于铝酸的湿法背沟道刻蚀薄膜晶体管的制备. 研究了 N<sub>2</sub>O 等离子体处理对薄膜晶体管背沟道界面的影响, 对其处理功率和时间对器件性能的影响做了具体研究. 结果表明, 在一定的功率和时间处理下能获得良好的器件性能, 所制备的器件具有良好的正向偏压热稳定性和光照条件下负向偏压热稳定性. 高分辨透射电镜结果显示, 该非晶结构的金属氧化物半导体材料可以有效抵抗铝酸的刻蚀, 未发现明显的成分偏析现象. 进一步的 X 射线光电能谱测试表明, N<sub>2</sub>O 等离子体处理能在界面处形成一个富氧、低载流子浓度的界面层. 其一方面可以有效抵抗器件在沉积氧化硅钝化层时等离子体对背沟道的损伤; 另一方面作为氢的钝化体, 抑制了低能级施主态氢的产生, 为低成本、高效的薄膜晶体管性能优化方式提供了重要参考.

**关键词:** 金属氧化物半导体, 背沟道刻蚀, 薄膜晶体管, N<sub>2</sub>O 等离子体

**PACS:** 85.30.Tv, 73.50.Mx, 73.61.Jc

**DOI:** 10.7498/aps.71.20211350

## 1 引言

金属氧化物半导体 (metal oxide semiconductors, MOS) 薄膜晶体管 (thin film transistors, TFT) 因具有较高的迁移率、较好的均匀性、大的电流开关比、可见光透明等优点<sup>[1-3]</sup>, 在显示领域具有广泛的应用潜力, 高性能、可靠的金属氧化物薄膜晶体管已成为国内外科研院所和产业界的重点研究方向.

在 MOS 材料的研究中<sup>[4-8]</sup>, 最具代表性的当

属氧化物铟镓锌 (indium-gallium-zinc-oxide, IGZO), 其在薄膜晶体管中的应用已有量产实绩, 可以满足部分应用场景的需求. 但是, 随着显示技术的发展, IGZO 对作为驱动背板核心元件的薄膜晶体管提出了更高的标准. 如高迁移率、高稳定性, 特别是光照条件下的稳定性等有了更严苛的要求. 其次, 在金属氧化物 TFT 结构的探索中<sup>[9-11]</sup>, 比较具有应用前景的是背沟道刻蚀 (back channel etch, BCE) 结构和顶栅自对准 (top-gate self-aligned, TGS) 两种结构. 其中, TGS 结构最大的优点是在寄生电容方面比较突出, 但是在导体化和短沟道器件的实

\* 广东省重点研发项目 (批准号: 2019B010924004, 2019B010934001, 2019B010925001)、广东省国际科技合作计划 (批准号: 2018A050506022) 和季华实验室科研项目 (批准号: X190221TF190) 资助的课题.

† 通信作者. E-mail: [taohong@newvision-cn.com](mailto:taohong@newvision-cn.com)

现方面存在较大的挑战, 稳定性有待进一步提高; 而 BCE 结构因和当前大规模量产的硅基工艺兼容、可实现低成本制备而备受关注. 但是, 考虑到 MOS 对酸、碱、水、氧等特别敏感的问题和低电阻布线的要求<sup>[12,13]</sup>, 目前产业界主要基于铜酸工艺制备背沟道刻蚀的金属氧化物薄膜晶体管. 而铜酸主要的有效成分是双氧水, 存在有效期短、对金属膜层结构敏感, 甚至有爆炸的风险. 基于铝基的叠层结构金属膜层在应用中非常成熟, 需要强调的是, 该结构的薄膜需要用磷酸基的强酸刻蚀液进行图形化, 在背沟道刻蚀的金属氧化物薄膜晶体管应用中较难实现良好特性. 通常, 需要对制备工艺进行特殊处理. 而  $N_2O$  等离子体处理是一种高效的氧源补充方式, 和氧气相比,  $N_2O$  具有更低的离化氧形成焓 ( $N_2O$ : 1.73 eV,  $O_2$ : 4.13 eV)<sup>[14]</sup>, 可以在相对较低的功率下离化, 这样可以避免高强度的等离子体轰击对氧化物半导体的影响.  $N_2O$  等离子体处理在金属氧化物薄膜晶体管的制备中已有尝试<sup>[14-16]</sup>, 但在湿法背沟道刻蚀的金属氧化物薄膜晶体管研究中还鲜有报道.

本文采用稀土镨掺杂的氧化铟锡锌半导体 (praseodymium-indium-tin-zinc-oxide, PITZO) 作为薄膜晶体管器件的沟道层, 制备基于铝酸的背沟道刻蚀金属氧化物薄膜晶体管. 通过引入  $N_2O$  等离子体处理薄膜晶体管的背沟道界面的方式, 对其处理功率和时间对器件性能的影响做了具体研究. 借助高分辨透射电镜, 研究该金属氧化物半导体材料晶型结构和器件形貌. 进一步通过 X 射线光电能谱测试, 研究了  $N_2O$  等离子体处理对薄膜影响的机理.

## 2 背沟道刻蚀金属氧化物薄膜晶体管器件制备与性能

### 2.1 PITZO-TFT 器件制备

如图 1(a) 所示, 本文所用器件均采用 BCE 型结构. 首先, 采用直流磁控溅射的方式在玻璃衬底上溅射一层 200 nm 厚的金属钼 (Mo) 栅极薄膜, 利用湿法刻蚀对栅极薄膜进行图形化. 通过等离子体增强型化学沉积 (plasma enhanced chemical vapor deposition, PECVD) 技术制备双层堆叠的栅绝缘层, 和栅极金属 Mo 层接触的下层为 250 nm 厚的氮化硅薄膜, 上层为 50 nm 厚的二氧化硅薄膜, 并

利用干法刻蚀进行图形化. 然后, 通过磁控溅射的方式分别制作一层 30 nm 厚的 PITZO ( $Pr/In/Sn/Zn = 0.2/2/0.5/1$  mol) 薄膜作为薄膜晶体管器件的有源层, 并利用草酸进行图形化. 随后, 采用直流磁控溅射方式制备一层 200 nm 厚的 Mo 金属作为源漏电极层; 采用铝酸刻蚀液, 以湿法刻蚀方式进行源漏电极的图形化. 接着, 利用 PECVD 腔室分别对器件进行不同条件的  $N_2O$  处理. 具体地, 保持处理时间为 30 s 不变, 设置  $N_2O$  的功率分别为 0, 50, 150 W, 对应的器件分别标记为 Device A, Device B, Device C; 以及保持  $N_2O$  的功率为 150 W 不变, 设置处理时间分别为 10 和 60 s, 对应的器件分别标记为 Device D, Device E. 在  $N_2O$  等离子体处理后不破真空, 利用 PECVD 制作一层 300 nm 厚的二氧化硅薄膜作为钝化层, 并采用干法刻蚀进行薄膜图形化. 最后, 所有器件在 350 °C 的空气氛围中退火 60 min. 制备的器件显微镜图如图 1(b) 所示, 各膜层轮廓清晰可见.

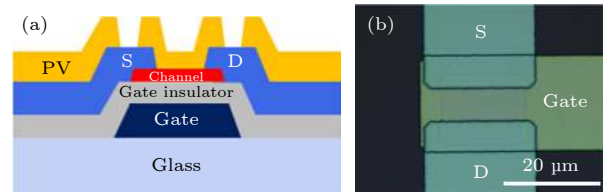


图 1 PITZO-TFT (a) 结构示意图; (b) 器件显微镜照片  
Fig. 1. (a) Structure diagram and (b) microscope photo of the PITZO-TFT.

### 2.2 PITZO-TFT 器件性能

首先, 固定  $N_2O$  等离子体处理时间为 30 s, 不同功率处理下的器件转移曲线如图 2(a) 所示. 很显然, 无  $N_2O$  等离子体处理 (0 W) 和低功率 (50 W) 处理条件下的器件都处于“导通”状态, 二者均无开关特性; 增加  $N_2O$  等离子体处理功率至 150 W 后, 器件 (Device C) 表现出了良好的开关特性. 本文中器件沟道宽长比 ( $W/L$ ) 均为 20/10  $\mu\text{m}$ , 转移曲线中固定源漏电压 ( $V_{DS}$ ) 为 10.1 V, 器件阈值电压 ( $V_{th}$ ) 定义为转移曲线中源漏电流 ( $I_{DS}$ ) 为 1 nA 时对应的栅极电压 ( $V_{GS}$ ). 通过相关参数提取可得 (如表 1 所列), 器件 Device C 对应的阈值电压  $V_{th}$  为 0.7 V, 器件饱和迁移率 ( $\mu_{sat}$ ) 为 22.4  $\text{cm}^2\cdot\text{V}^{-1}\cdot\text{s}^{-1}$ , 亚阈值摆幅 ( $SS$ ) 为 0.17 V/decade, 电流开关比 ( $I_{on}/I_{off}$ ) 约为  $10^8$ . 进一步地, 在保持  $N_2O$  等离子

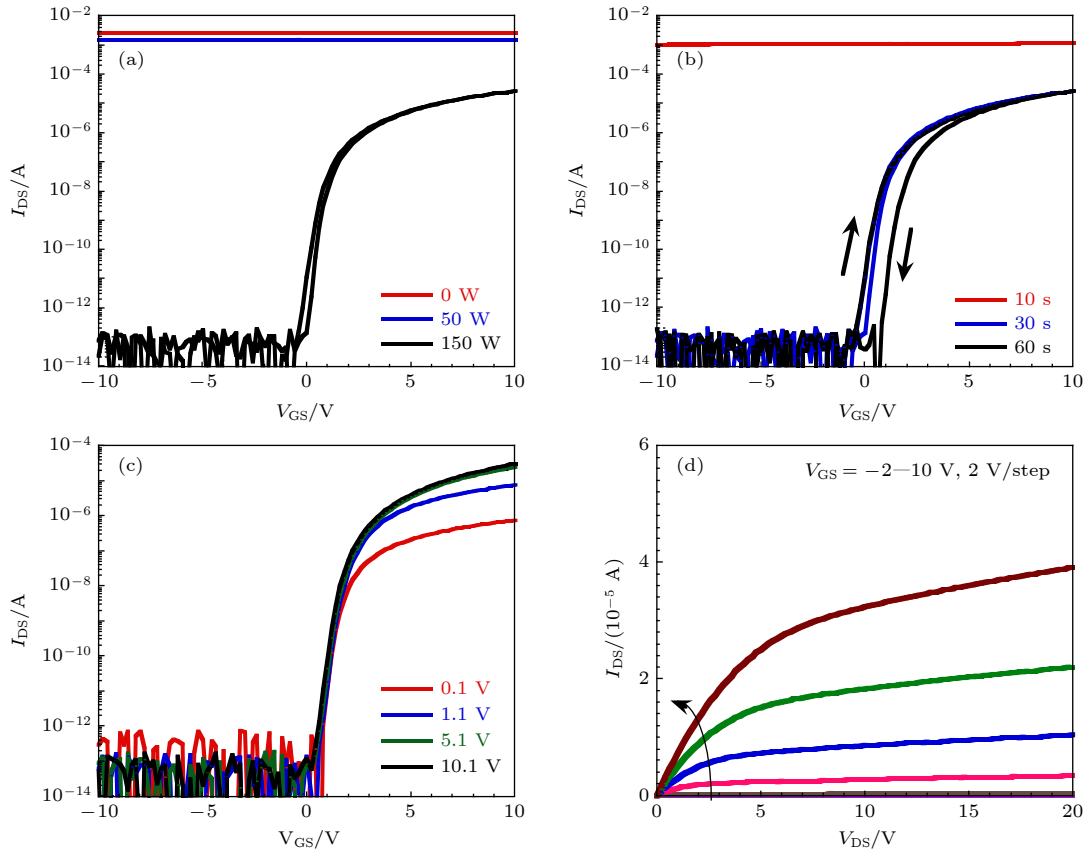


图 2 (a) 不同功率和 (b) 不同时间的  $N_2O$  处理对器件转移特性的影响; Device C (c) 不同源漏电压下的转移特性曲线和 (d) 输出特性曲线

Fig. 2. Influence of different (a) power and (b) time treatment of  $N_2O$  on the transfer characteristics of the device; (c) transfer characteristic curve under different source and drain voltages and (d) output characteristic curve of Device C.

表 1 各器件性能参数表

Table 1. Electronic parameters of each TFTs.

No.	$V_{th}/V$	$\mu_{sat}/(cm^2 \cdot V^{-1} \cdot s^{-1})$	$SS/(V \cdot decade^{-1})$	$I_{on}/I_{off}$
Device A	—	—	—	—
Device B	—	—	—	—
Device C	0.7	22.4	0.17	$10^8$
Device D	—	—	—	—
Device E	0.4	20.6	0.22	$10^8$

体处理功率为 150 W 的基础上, 设置处理时间分别为 10, 30 和 60 s. 如图 2(b) 所示, 当处理时间为 10 s 时, 器件 Device D 处理“导通”状态; 随着处理时间增至 30 s, 也即 Device C, 器件表现出了良好的开关特性, 无明显的磁滞效应; 当进一步增加时间至 60 s 后, 器件 Device E 依然表现出了开关特性, 但是“磁滞”效应明显增强. 和 Device C 比较而言, Device E 的  $V_{th}$  稍有负向偏移 (0.4 V), 器件  $\mu_{sat}$  稍有降低 (约  $20.6 \text{ cm}^2 \cdot V^{-1} \cdot s^{-1}$ ), 亚阈值摆幅退化为  $0.22 \text{ V/decade}$ ,  $I_{on}/I_{off}$  保持约为  $10^8$ . 其次,

为进一步评估优化器件 Device C 的电学特性, 图 1(c) 给出不同源漏电压 ( $V_{DS} = 0.1, 1.1, 5.1, 10.1 \text{ V}$ ) 下的转移特性曲线, 可以看出, 器件未表现出“漏诱导势垒变低”的现象. 另外, 器件 Device C 的输出特性曲线如图 1(d) 所示, 无电流拥挤现象, 说明源漏电极和沟道层接触良好, 而且器件表现出了良好的饱和特性, 这为器件的实际应用提供了坚实的基础.

根据以上结果可知, 在湿法背沟刻蚀金属氧化物薄膜晶体管的制备中, 器件背沟道受制备工艺影响较大. 未经  $N_2O$  等离子体处理的薄膜晶体管直接表现出“导通”状态, 说明沟道层中载流子浓度过高, 该区间栅压无法起到调控效果. 通过引入  $N_2O$  等离子体处理, 可以有效改善器件的开关特性; 而且,  $N_2O$  等离子体处理的功率和时间对器件性能的影响非常明显, 合适的功率和时间窗口是获得器件优化性能的关键. 因此, 有必要对其改善机理做进一步的研究.

### 3 实验结果与分析

#### 3.1 器件偏压稳定性评估

图 3(a) 和图 3(b) 分别为 Device C 和 Device E 在正向偏压下的热稳定性 (positive bias temperature stress, PBTS) 表征结果. 其评估方式为: 设置测试机台的温度为 60 °C, 先测试初始状态下的器件转移特性曲线 ( $V_{GS} = -20 \sim 20$  V 扫描,  $V_{DS} = 10.1$  V), 紧接着加上一定的偏压 ( $V_{GS} = 20$  V,  $V_{DS} = 0$  V,  $T = 60$  °C), 保持 3600 s 后再次测试器件的转移特性曲线, 得到器件转移特性的变化情况. 图 3(a) 和图 3(b) 的结果表明,  $N_2O$  等离子体处理时间从 30 s 增加至 60 s 后, 器件 PBTS 的阈值电压漂移量从 0.2 V 退化为 3.1 V. 对比 Device C 和 Device E 的结构和制备工艺, 可推断其和器件背沟道的状态直接相关. 根据 Sheng 等 [17] 和 Nahm 等 [18] 的研究结果, 过多的氧诱导的缺陷态可能是其 PBTS 稳定性退化的原因. 简单而言, 长

时间的  $N_2O$  等离子体处理产生的过量的氧间隙态作为电子俘获中心, 从而导致了器件 PBTS 稳定性退化, 后面将做进一步的验证.

进一步地, 为评估  $N_2O$  等离子体处理的实用性, 有必要对器件在光照条件下的负偏压热稳定性 (negative bias illumination temperature stability, NBITS) 进行表征. NBITS 的测试方式为: 设置测试机台的温度为 60 °C, 先测试初始状态下的器件转移特性曲线 ( $V_{GS} = -20 \sim 20$  V 扫描,  $V_{DS} = 10.1$  V), 接着加上一定的偏压 ( $V_{GS} = -20$  V,  $V_{DS} = 0$  V,  $T = 60$  °C, 白色 LED 光源直接照射沟道区域, 光强为 5000 mits), 保持 3600 s 后再次测试器件的转移特性曲线, 得到器件转移特性的变化情况. 需要说明的是, 该实验中加偏压后测试转移曲线时光源未关闭. Device C 和 Device E 的 NBITS 稳定性分别如图 3(c) 和图 3(d) 所示, 可以看出, 二者均表现出了良好的 NBITS 稳定性,  $V_{th}$  漂移仅为 -0.5 V. 根据我们前期的研究结果 [8,19,20], 稀土镧元素的掺入, 会在导带底附近引入“缺陷”态,

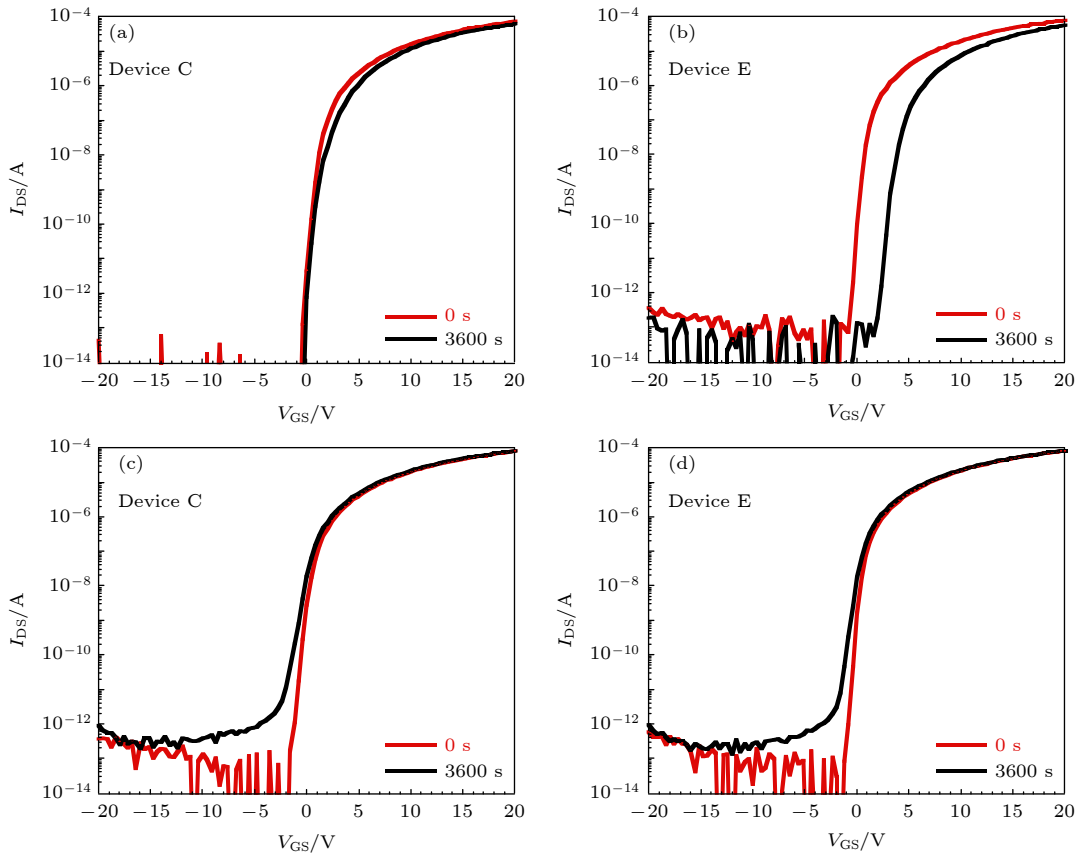


图 3 (a) Device C 和 (b) Device E 器件在 PBTS 条件下的稳定性; (c) Device C 和 (d) Device E 器件在 NBITS 条件下的稳定性  
Fig. 3. Stability of (a) Device C and (b) Device E under PBTS conditions; stability of (c) Device C and (d) Device E under NBITS conditions.

其可作为光生载流子的快速复合中心. 需要指出的是, 虽然 Device E 的背沟道界面具有相对较多的缺陷态, 但是其 NBITS 稳定性依然能保持和 Device C 相当. 很显然, 稀土镨元素的掺入可以有效地提高器件的 NBITS 稳定性.

### 3.2 薄膜晶体管的高分辨透射电镜分析

对于高可靠的薄膜晶体管而言, 完整的器件结构是首先必须满足的前提条件. 因此, 在前面光学显微镜的基础上, 有必要进一步评估该 BCE 结构 PITZO-TFT 的微观形貌结构. 图 4 所示为 Device C 的高分辨透射电镜 (transmission electron microscopy, TEM) 图谱. 很显然, 该截面 TEM 图中各膜层结构清晰可见, 厚度和制备参数符合较好. 需要特别指出的是, PITZO 薄膜虽然经历强酸的源漏电极刻蚀过程, 但是无明显被刻蚀的迹象; 而且, 其上未发现有明显的刻蚀残留, 表明 PITZO 薄膜可以有效抵抗该强酸的刻蚀, 具有较强的抗酸刻蚀特性. 另外, 在金属 Mo 电极上有一薄氧化层, 应该和  $N_2O$  等离子体处理相关. 进一步, 对 PITZO 薄膜的晶型结构进行分析, 从快速傅里叶变换图可

以清楚地判断其为非晶结构, 由于不存在晶界的问题, 这保证了其在大尺寸面板中应用的可能.

### 3.3 薄膜 X 射线光电子能谱分析

在明确了器件性能和结构方面的信息后, 有必要对  $N_2O$  等离子体处理的机理做深入的研究, 因其对高性能器件的实现起到至关重要的作用. 首先在玻璃基板上制备两个和器件相同溅射条件下 100 nm 厚的 PITZO 薄膜, 然后把其中一个薄膜在  $N_2O$  等离子体中进行和器件 (Device C, 150 W, 30 s) 制备处理一致的工艺过程, 再分别对这两种薄膜进行 X 射线光电子能谱 (XPS) 深度剖析测试.

首先, 两种薄膜中各元素随刻蚀 (Ar 离子枪) 时间的分布结果如图 5(a) 和图 5(b) 所示, 其中图 5(a) 为未经  $N_2O$  等离子体处理的薄膜样品, 图 5(b) 为经  $N_2O$  等离子体处理的薄膜样品. 从图 5 可知, 从元素原子含量的角度而言, 二者均在表面存在一个界面区域, 未经  $N_2O$  等离子体处理的样品界面小于 2 nm (Ar 离子枪刻蚀速率约为 2 Å/s), 而经  $N_2O$  等离子体处理的样品的界面区

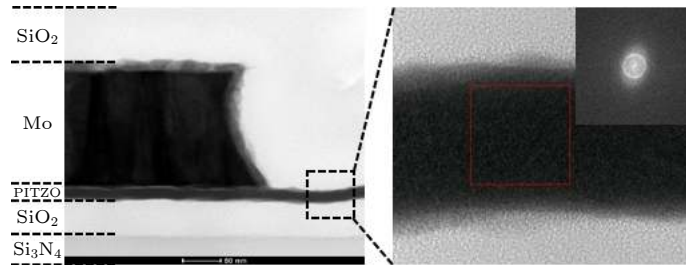


图 4 TFT 器件的高分辨透射电镜图谱

Fig. 4. High-resolution transmission electron microscope spectra of TFT devices.

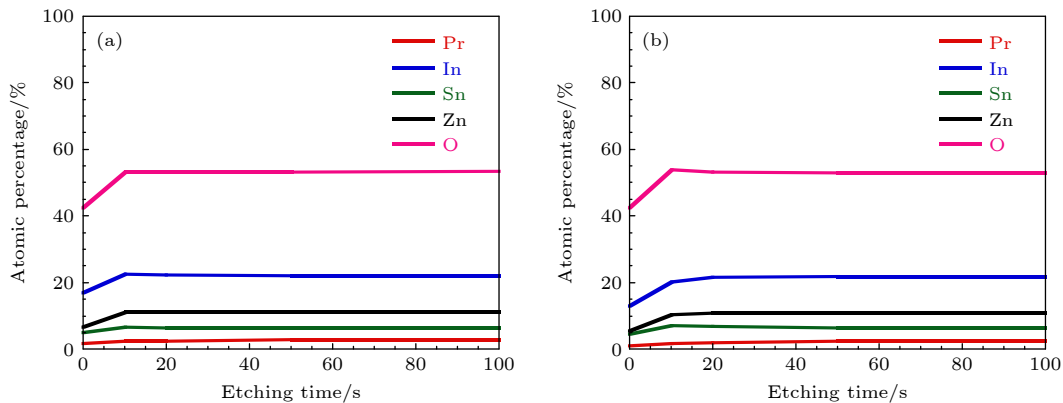


图 5 PITZO 薄膜的深度剖析 X 射线光电子能谱图 (a) 无  $N_2O$  处理; (b)  $N_2O$  处理后

Fig. 5. X-ray photoelectron spectroscopy depth-profile of PITZO films: (a) Without  $N_2O$  treatment; (b) with  $N_2O$  treatment.

域扩展到小于 4 nm. 更深区域的元素分布无明显区别, 可以推断该 N<sub>2</sub>O 等离子体处理条件仅影响距离薄膜表面几个纳米深度区域. 另外, 对比两种薄膜各元素含量的变化, 未经处理的薄膜表面铜原子百分比约为 16.9%, 而经 N<sub>2</sub>O 等离子体处理的薄膜表面铜原子百分比为 12.9%, 其他主体元素含量未有明显区别. 但是, 在距离薄膜表面 4 nm 深度后, 二者各元素含量无明显区别. 考虑到铜在金属氧化物半导体薄膜中是提供载流子迁移的通道<sup>[21]</sup>, 即 N<sub>2</sub>O 等离子体处理会有降低迁移率的趋势. 因此, 这也许是 Device E 的迁移率和 Device C 相比稍低的原因.

另外, 上述两种薄膜中氧元素 (O 1s) 的 X 射线光电子能谱和氩离子刻蚀时间的关系图谱如图 6(a) 和图 6(b) 所示. 对于未经 N<sub>2</sub>O 等离子体处理的薄膜, 其 O 1s 的峰位变化主要表现在 0 和 10 s 之间 (向低结合能方向偏移 0.3 eV), 10 s 之后无明显位移. 而经 N<sub>2</sub>O 等离子体处理的薄膜, 其 O 1s 的峰位变化表现为 0 和 50 s 之间 (向低结

合能方向递进偏移 0.3 eV), 50 s 之后无明显位移. 因此, 从元素峰位的角度而言, 该 N<sub>2</sub>O 等离子体处理条件的影响深度约为距离薄膜表面 10 nm. 进一步地, 对上述两种薄膜表面 (对应 0 s) 的 O 1s 进行高斯分峰拟合, 图 6(c) 和图 6(d) 分别对应未经 N<sub>2</sub>O 等离子体处理和经 N<sub>2</sub>O 等离子体处理的薄膜样品. 其中 O 1s 图谱可以拟合成 3 个高斯峰, O-M(529.8 eV), O-V(530.7 eV) 和 O-A(531.7 eV), 分别代表金属结合氧、缺位氧和吸附氧, 通过拟合峰面积可推知各峰位的占比情况. 从图 6(c) 和图 6(d) 可知, 经 N<sub>2</sub>O 等离子体处理后, 薄膜中的 O-V 占比由 24.4% 降为 14.6%, 表明薄膜中的氧空位浓度有一定程度的降低. 大量的研究表明<sup>[22]</sup>, 金属氧化物半导体中氧空位是其载流子的一个主要来源, 也即薄膜中载流子浓度会有一定程度的降低. 这和我们霍尔测试的结果相符合, 其载流子浓度由未处理时的  $3.46 \times 10^{18} \text{ cm}^{-3}$  降低至处理后的  $4.49 \times 10^{16} \text{ cm}^{-3}$ . 需要特别指出的是, 未经 N<sub>2</sub>O 等离子体处理的薄膜中 O-A 占比为 5.7%, 而经

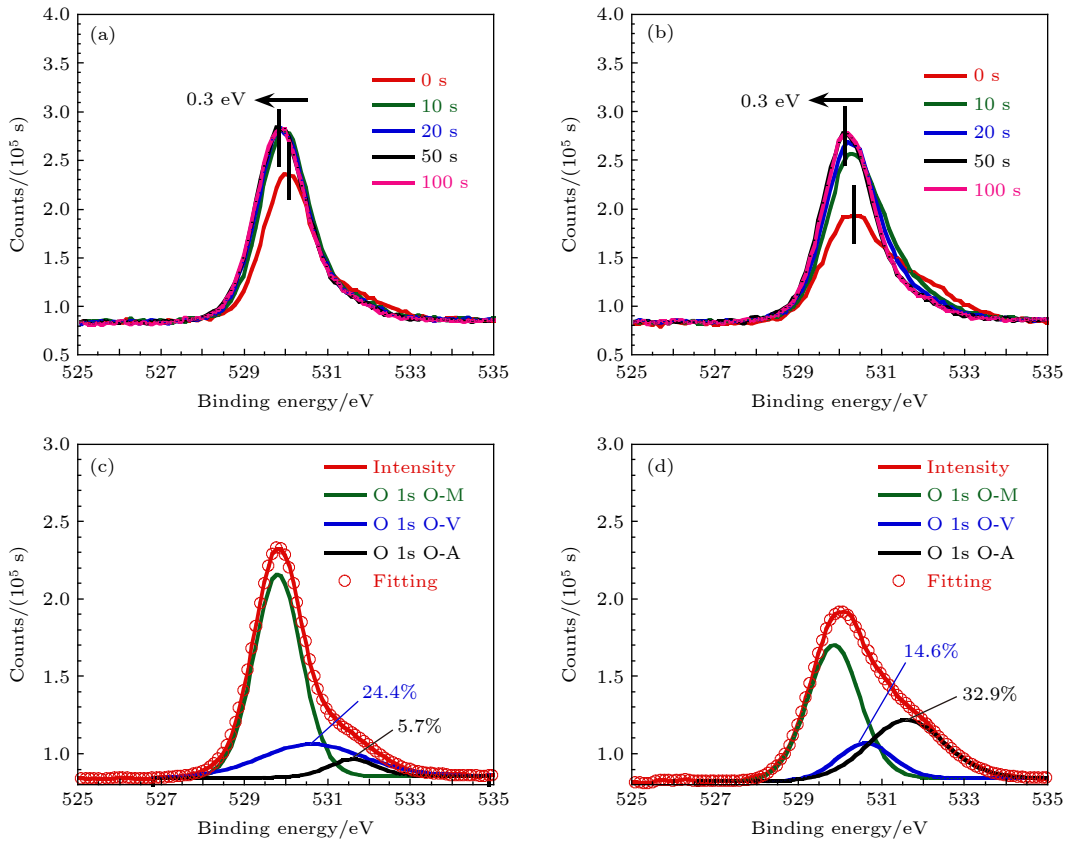


图 6 PITZO 薄膜在 (a) 无 N<sub>2</sub>O 处理和 (b) N<sub>2</sub>O 处理后 O 1s 的 XPS 图谱随刻蚀时间的关系; Ar 离子枪刻蚀前 (c) 无 N<sub>2</sub>O 处理和 (d) N<sub>2</sub>O 处理后薄膜 O 1s 的拟合 XPS 图谱

Fig. 6. The O 1s XPS spectra of the PITZO films (a) without N<sub>2</sub>O and (b) with N<sub>2</sub>O treatment related with the Ar ion gun etching time. Fitted O 1s XPS of the PITZO thin films (c) without N<sub>2</sub>O and (d) with N<sub>2</sub>O treatment before Ar ion gun etching.

$N_2O$  等离子体处理的薄膜中 O-A 占比高达 32.9%. 上述结果表明,  $N_2O$  等离子体处理能在薄膜表面形成一个富氧、低载流子浓度的界面层.

根据相关的研究报道<sup>[14,16,23]</sup>, 类似的背沟道刻蚀型结构的器件呈“导通”状态 (失去栅控的开关特性), 其原因主要有两种情况. 其一是器件的背沟道区域存在成分的偏析, 即存在低电阻率 (如高钢含量) 的界面层, 使得器件处于“导通”状态; 另外一种是在 PECVD 沉积二氧化硅钝化层的时候引入过多贡献电子的氢, 以及由于等离子体轰击的影响而产生额外的缺陷. 因此, 通常钝化层沉积后, 器件需要进行退火等相关工艺的处理. 我们的器件亦存在该现象 (见图 2), 未经处理的器件处于“导通”状态, 只有当  $N_2O$  等离子体处理的功率增加至 150 W, 处理时间大于 30 s 后, 器件才表现出正常的开关特性. 结合前面高分辨透射电镜的表征结果, 器件的沟道层和氧化硅层的界面清晰, 未发现成分偏析层; 而且沟道层未有明显被刻蚀的现象. 我们推断, 器件处于“导通”状态主要和钝化层的制备过程有关. 根据 XPS 表征的结果,  $N_2O$  等离子体处理的沟道层薄膜在表面存在一个富氧、低载流子浓度的界面层. 因此, 我们推测  $N_2O$  等离子体处理一方面能对器件背沟道的一些原子或分子基团进行化学氧化和物理轰击, 在背沟道界面形成一个富氧、低载流子浓度的界面, 可以有效抵抗 PECVD 沉积氧化硅时氢的引入和等离子体轰击的影响. 原因可能是弱结合的吸附氧可以作为氢的钝化体, 抑制作为施主的低能级间隙氢的产生, 这和 Kang<sup>[24]</sup> 等的研究有类似的效果. 具体地, 当  $N_2O$  等离子体处理功率较低或时间较短时, 形成的界面层不足以抵抗 PECVD 沉积氧化硅时的影响, 器件表现为“导通”状态. 另一方面, 当  $N_2O$  等离子体处理时间过长时, 产生了过多的吸附氧态, 从而引入了过量的电子缺陷<sup>[25]</sup>, 致使器件的“磁滞”现象明显和 PBTS 稳定性的退化. 因此, 合适的  $N_2O$  等离子体处理条件是获得优化器件性能的关键, 需要根据具体材料具体设定. 以上可知,  $N_2O$  等离子体处理是一种低成本、高效的薄膜晶体管性能优化方式, 其在低温工艺或溶液法工艺中可能会有一些特别的应用, 相关研究还在进行中.

## 4 结 论

本文通过采用稀土元素镨掺杂钢锡锌氧化物

半导体作为薄膜晶体管沟道层 (能有效抵抗铝酸的刻蚀), 成功实现了基于强酸的湿法背沟道刻蚀薄膜晶体管的制备. 进一步引入  $N_2O$  等离子体处理薄膜晶体管的背沟道界面的方式, 对处理功率和时间对器件性能的影响做了具体的研究. 结果表明, 在一定的功率和时间处理下能获得良好的器件性能, 所制备的器件具有良好的 PBTS 和 NBTIS 稳定性. 高分辨透射电镜结果显示, 该非晶结构的金属氧化物半导体材料可以有效抵抗铝酸的刻蚀, 在器件的制备过程中未见其厚度有明显的变化. 进一步的 X 射线光电能谱测试表明,  $N_2O$  等离子体处理能在界面处形成一个富氧、低载流子浓度的界面层, 有效地修复器件背沟道的损伤以及抵抗钝化层沉积的影响. 本文提供了一种低成本、高效的薄膜晶体管性能优化方式, 在实际产业化中具有广阔的应用前景.

## 参考文献

- Nomura K, Ohta H, Takagi A, Kamiya T, Hirano M, Hosono H 2004 *Nature* **432** 488
- Hoffman R L, Norris B J, Wager J F 2003 *Appl. Phys. Lett.* **82** 733
- Li X F, Xin E L, Shi J F, Chen L L, Zhang C Y, Zhang J H 2013 *Acta Phys. Sin.* **62** 108503 (in Chinese) [李喜峰, 信恩龙, 石继锋, 陈龙, 李春亚, 张建华 2013 物理学报 **62** 108503]
- Fortunato E M C, Barquinha P M C, Pimentel A C M B G, Gonçalves A M F, Marques A J S, Pereira L M N, Martins R F P 2005 *Adv. Mater.* **17** 590
- Chung C Y, Zhu B, Greene R G, Thompson M O, Ast D G 2015 *Appl. Phys. Lett.* **107** 183503
- Song J I, Park J S, Kim H, Heo Y W, Kim G M, Choi B D 2007 *Appl. Phys. Lett.* **90** 022106
- Lan L F, Xiong N N, Xiao P, Li M, Xu H, Yao R H, Wen S S, Peng J B 2013 *Appl. Phys. Lett.* **102** 242102
- Xu H, Xu M, Li M, Chen Z K, Zou J H, Wu W, Qiao X, Tao H, Wang L, Ning H L, Ma D G, Peng J B 2019 *ACS Appl. Mater. Interfaces* **11** 5232
- Kim M, Jeong J H, Lee H J, Ahn T K, Shin H S, Park J, Jeong J K, Mo Y, Kim H D 2007 *Appl. Phys. Lett.* **90** 212114
- Cho S H, Ko J B, Ryu M K, Yang J H, Yeom H I, Lim S K, Hwang C, Park S H K 2015 *IEEE Trans. Electron Devices* **62** 3653
- Park J, Song I, Kim S, Kim S, Kim C, Lee J, Lee H, Lee E, Yin H, Kim K, Kwon K, Park Y 2008 *Appl. Phys. Lett.* **93** 053501
- Xu H, Lan L F, Xu M, Zou J H, Wang L, Wang D, Peng J B 2011 *Appl. Phys. Lett.* **99** 253501
- Ge S M, Li S, Chen S J, Kong X Y, Meng Y H, Shi W, Shi L, Wu W, Liu X, Gan Q, Zhao Y, Zhang C, Chiu C, Lee C Y 2017 *SID Symposium Digest of Technical Papers* **48** 592
- Park J, Kim S, Kim C, Kim S, Song I, Yin H, Kim K, Lee S, Hong K, Lee J, Jung J, Lee E, Kwon K, Park Y 2008 *Appl. Phys. Lett.* **93** 053505
- Tsai C T, Chang T C, Chen S C, Lo I, Tsao S W, Hung M C,



- Chang J J, Wu C Y, Huang C Y 2010 *Appl. Phys. Lett.* **96** 242105
- [16] Park J C, Ahn S E, Lee H N 2013 *ACS Appl. Mater. Interfaces* **5** 12262
- [17] Sheng J, Park J, Choi D W, Lim J, Park J S 2016 *ACS Appl. Mater. Interfaces* **8** 31136
- [18] Nahm H H, Kim Y S, Kim D H 2012 *Phys. Status Solidi B* **249** 1277
- [19] Zhu Y B, Xu H, Xu M, Li M, Zou J H, Tao H, Wang L, Peng J B 2021 *Phys. Status Solidi A* doi: 10.1002/pssa.202000812
- [20] Zhu Y B, Xu H, Li M, Xu M, Peng J B 2021 *Acta Phys. Sin.* **70** 168501 (in Chinese) [朱宇博, 徐华, 李民, 徐苗, 彭俊彪 2021 物理学报 **70** 168501]
- [21] Fortunato E, Barquinha P, Martins R 2012 *Adv. Mater.* **24** 2945
- [22] Ide K, Nomura K, Hosono H, Kamiya T 2019 *Phys. Status Solidi A* **216** 1800372
- [23] Remashan K, Hwang D K, Park S D, Bae J W, Yeom G Y, Park S J, Jang J H 2007 *Electrochem. Solid State Lett.* **11** H55
- [24] Kang Y, Ahn B D, Song J H, Mo Y G, Nahm H H, Han S, Jeong J K 2015 *Adv. Electron. Mater.* **1** 1400006
- [25] Son K S, Kim T S, Jung J S, Ryu M K, Park K B, Yoo B W, Park K C, Kwon J Y, Lee S Y, Kim J M 2008 *Electrochem. Solid State Lett.* **12** H26

## Effect of N<sub>2</sub>O treatment on performance of back channel etched metal oxide thin film transistors\*

Xu Hua<sup>1)</sup> Liu Jing-Dong<sup>2)</sup> Cai Wei<sup>3)</sup> Li Min<sup>1)</sup> Xu Miao<sup>1)2)</sup>  
Tao Hong<sup>1)†</sup> Zou Jian-Hua<sup>2)</sup> Peng Jun-Biao<sup>2)</sup>

1) (*Guangzhou New Vision Opto-electronic Technology Co., Ltd., Guangzhou 510530, China*)

2) (*State Key Laboratory of Luminescence Materials and Devices, South China University of Technology, Guangzhou 510641, China*)

3) (*Ji Hua Laboratory, Foshan 528000, China*)

( Received 22 July 2021; revised manuscript received 5 December 2021 )

### Abstract

In this paper, the rare earth element praseodymium-doped indium tin zinc oxide semiconductor is used as the channel layer of the thin film transistor, and the aluminum oxide-based wet back channel etched thin film transistor is successfully prepared. The effect of N<sub>2</sub>O plasma treatment on the back-channel interface of thin film transistor is studied, and the effect of treatment power and time on device performance are studied in detail. The results show that the good device performance can be obtained under certain power and time treatment, and the prepared device has good thermal stability of positive bias and negative bias under light conditions. The results from high-resolution transmission electron microscopy show that the amorphous structure of the metal oxide semiconductor material can effectively resist the wet etchant, and that no obvious component segregation phenomenon is found. Further, X-ray photoelectric spectroscopy tests show that N<sub>2</sub>O plasma treatment can form an oxygen-rich, low-carrier-concentration interface layer at the interface. On the one hand, it can effectively resist the damage of the back channel caused by the plasma of plasma enhanced chemical vapor deposition (PECVD), and on the other hand, it acts as a passivation body of hydrogen from PECVD plasma, suppressing the generation of low-level donor state of hydrogen. This study provides an important reference for low-cost, high-efficiency thin film transistor performance optimization methods.

**Keywords:** metal oxide semiconductor, back channel etch, thin film transistor, N<sub>2</sub>O plasma

**PACS:** 85.30.Tv, 73.50.Mx, 73.61.Jc

**DOI:** 10.7498/aps.71.20211350

\* Project supported by the Key-Area Research and Development Program of Guangdong Province, China (Grant Nos. 2019B010924004, 2019B010934001, 2019B010925001), the International Science & Technology Cooperation Program of Guangdong Province, China (Grant No. 2018A050506022), and the Scientific Research Project of Jihua Laboratory, China (Grant No. X190221TF190).

† Corresponding author. E-mail: [taohong@newvision-cn.com](mailto:taohong@newvision-cn.com)