

一种基于纳米级 CMOS 工艺的互连线串扰 RLC 解析模型^{*}

朱樟明[†] 钱利波 杨银堂

(西安电子科技大学微电子研究所, 西安 710071)

(2007 年 9 月 16 日收到 2008 年 9 月 11 日收到修改稿)

基于纳米级 CMOS 工艺, 综合考虑电容耦合与电感耦合效应, 提出了分布式 RLC 耦合互连解析模型. 采用函数逼近理论与降阶技术, 在斜阶跃输入信号下提出了受扰线远端的数值表达式. 基于 90 和 65 nm CMOS 工艺, 对不同的互连耦合尺寸下的分布式 RLC 串扰解析模型和 Hspice 仿真结果进行了比较, 误差绝对值都在 4% 内, 能应用于纳米级片上系统(SOC)的电子设计自动化(EDA)设计和集成电路优化设计.

关键词: 纳米级 CMOS, 互连串扰, 分布式, RLC 解析模型

PACC: 6630Q, 6185, 8160C

1. 引 言

随着硅互补金属氧化物半导体(CMOS)集成电路工艺开始进入纳米级 CMOS 阶段, 集成电路内部互连线间的尺寸和距离不断减小, 同时集成电路的集成规模由专用集成电路正在转变为片上系统和片上网络芯片, 其所需要的时钟频率不断增加, 所以由相邻互连线的耦合所引起的串扰噪声已成为影响系统芯片整体性能和信号完整性的重要因素之一^[1-13]. 建立简单而有效的互连线串扰解析模型, 不仅可以为高速 CMOS 集成电路设计者提供参考, 避免发生不必要的时序和逻辑错误, 也为高速集成电路自动化设计软件开发提供了参考, 所以研究准确和有效的互连线串扰解析模型是十分必要的.

文献 7 基于偏微分方程给出相邻容性耦合互连线的串扰峰值的表达式, 文献[3]提出了基于 AWE 算法的互连线串扰计算方法. 文献 4—6 将互连线串扰解析模型由 π 模型发展到了 4π 模型, 以便更精确的计算串扰. Devgan^[6]则利用基尔霍夫电流定律推出了互连线的分布式串扰模型. 文献 7 提出了更完整的互连线分布式 RC 串扰模型, 并设想感性耦合效应, 但是在当时的 CMOS 集成电路工艺条件

下, 寄生电感因素对互连线串扰计算的影响还不是很大. 上述模型也都只是基于 RC 串扰模型.

当 CMOS 集成电路工艺的特征器件尺寸缩小到 90 nm 以后, 寄生电感效应逐步增强, 感性耦合成为了串扰噪声中不可忽略的因素, 所以互连线模型必须采用电阻-电感-电容(RLC)模型. 文献[14—17]引入了寄生电感建立互连线串绕模型, 除了文献[14]采用的工艺为 90 nm CMOS 工艺, 其他模型所采用的工艺都是 0.18 μm CMOS 工艺. 对于寄生电感占主导地位的纳米级 CMOS 工艺, 如 65 nm CMOS 工艺的互连线串扰建模, 目前还没有文献报道.

本文基于 90 和 65 nm 纳米级 CMOS 工艺, 综合考虑电容耦合效应和电感耦合效应, 提出一种纳米级 CMOS 分布式互连线 RLC 串扰模型. 首先给出基于纳米级 CMOS 工艺的 RLC 参数提取方法. 同时提出一种纳米级 CMOS 互连线 RLC 串扰解析模型. 最后基于 RLC 解析模型, 采用 Matlab 计算了不同的互连尺寸条件下斜阶跃信号激励的串扰, 并与 Hspice 仿真结果进行了比较.

2. 纳米级 RLC 模型参数的提取

图 1 为具有相同几何尺寸的共面互连线截面

^{*} 国家杰出青年科学基金(批准号 60725415)和国家自然科学基金(批准号 60676009, 60776034)资助的课题.

[†] E-mail: zmyh@263.net

图 其中 W 是互连线的宽度, T 是互连线的厚度, S 是互连线间距, H 是互连线与地平面的距离, 互连线长度是 l . 纳米级 CMOS 工艺采用低 K 介质的铜互连取代传统的铝工艺, 互连电阻 R 由直流电阻 R_{dc} 和交流电阻 R_{ac} 两部分组成. 在频率较低时, 由于趋肤深度远大于导线厚度, 可以由直流电阻 R_{dc} 近似互连电阻 R . 而随频率增加, 趋肤深度 δ 呈图 2 所示的曲线下降, 在频率高于 10 GHz 后, 趋肤深度开始小于导线厚度, 交流电阻 R_{ac} 成为电阻 R 中的主要部分. 鉴于本文工作频率在 10 GHz 以上, 此时必须考虑趋肤效应的影响. 互连电阻 R 可表示如下^[13]:

$$R = R_a = R_v = \sqrt{R_{dc}^2 + R_{ac}^2}, \quad (1)$$

其中 R_a 是施扰线电阻, R_v 是受扰线电阻. 直流电阻 R_{dc} 可表示为

$$R_{dc} = \frac{\rho l}{WT}, \quad (2)$$

其中 ρ 是互连线的电阻率, Cu 为 $2.2 \times 10^{-8} \Omega m$, Al 为 $3.3 \times 10^{-8} \Omega m$. 交流电阻 R_{ac} 与频率相关, 在趋肤深度小于导线厚度时有效^[13],

$$R_{ac} = \frac{\rho}{W\delta} = \frac{\sqrt{\rho\pi\mu F}}{W}, \quad (3)$$

其中 μ 是真空磁导率, F 是信号频率.

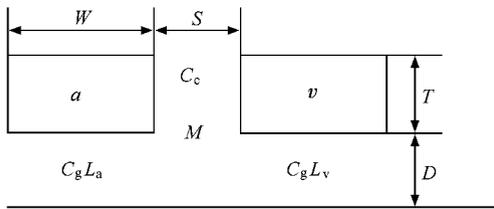


图 1 共面互连线截面示意图

寄生电感是纳米级 CMOS 集成电路工艺的最主要寄生参数之一, 对高速信号的传输就有很大的影响. 随着传输信号边沿斜率的增加, 铜金属以及更加柔软的导线的广泛使用降低了寄生电阻的重要作用, 寄生电感日益成为传输信号和时钟网络总阻抗的主要成分. 在这种情况下, 为了精确提取寄生电感参数, 不仅需要产生寄生电感模型而且必须根据实际纳米 CMOS 工艺进行修正. 由于电磁场存在于介质区与导体区, 因此互连电感 L 是外电感 L_{ext} 和内电感 L_{int} 之和. 外电感 L_{ext} 只与互连线几何结构及介质有关, 与频率无关, 而内电感 L_{int} 与电流在导体内分布情况有关. 尽管在高频下电感 L 会随频率的

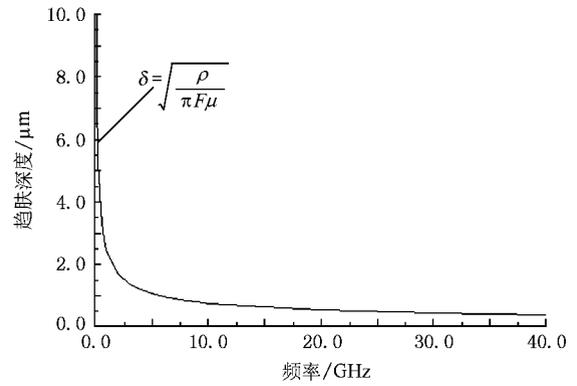


图 2 铜导线趋肤深度与频率的关系

增大而降低, 但是幅度很小, 因为趋肤效应仅影响导线的内电感 L_{int} , 而通常情况下内电感 L_{int} 远小于外电感 L_{ext} . 于是, 互连电感 L 可由外电感 L_{ext} 表示^[18] 互连线的自感 L 和互感 M 的表达式分别为^[9]

$$L = \frac{\mu l}{2\pi} \left[\ln \frac{2l}{W+T} + \frac{1}{2} + \frac{0.2X(W+T)}{l} \right], \quad (4)$$

$$M = \frac{\mu l}{2\pi} \left[\ln \frac{2l}{S} - 1 + \frac{S}{l} \right], \quad (5)$$

其中真空磁导率 $\mu = 4\pi \times 10^{-7} H/m$.

为简便起见, 本文假设了衬底是一无损耗的理想绝缘体, 而且不考虑介质损耗, 因此, 电导 $G = 0$. 互连电容是不随频率变化的, 对于纳米级 CMOS 互连线电容参数的提取, 参考 BPTM Wong 模型^[19] 的纳米级 CMOS 寄生电容提取方法, 互连线的自电容表达式为

$$C_g = \epsilon \left[\frac{W}{H} + 2.22 \left(\frac{S}{S + 0.70H} \right)^{3.19} + 1.17 \left(\frac{S}{S + 1.51H} \right)^{0.76} \left(\frac{T}{T + 4.53H} \right)^{0.12} \right]. \quad (6)$$

互连线间的耦合电容表达式为

$$C_c = \epsilon \left[1.14 \left(\frac{T}{S} \right) \left(\frac{H}{H + 2.06S} \right)^{0.09} + 0.74 \left(\frac{W}{W + 1.59S} \right)^{1.14} + 1.16 \left(\frac{W}{W + 1.87S} \right)^{0.16} \left(\frac{H}{H + 0.98S} \right)^{1.18} \right]. \quad (7)$$

这里 ϵ 是 SiO_2 的介电常数.

基于以上的 RLC 提取方法, 90 和 65 nm 纳米级 CMOS 工艺下的典型耦合互连尺寸及相应的 RLC 特性参数分别如表 1 和表 2 所列.

表 1 90 nm CMOS 工艺的典型耦合互连尺寸及相应的 RLC 参数

	尺寸/ μm	RLC 参数值
局部互连线	$W=0.15, S=0.15, T=0.30, l=30, H=0.30, K=2.8$	$R=16.0\ \Omega, L=32\text{pH}, M=30\ \text{pH}, C_g=1.19\ \text{fF}, C_c=3.68\ \text{fF}$
中等互连线	$W=0.20, S=0.20, T=0.45, l=500, H=0.30, K=2.8$	$R=146.4\ \Omega, L=0.78\ \text{nH}, M=0.75\ \text{nH}, C_g=26.3\ \text{fF}, C_c=65.2\ \text{fF}$
全局互连线	$W=0.50, S=0.50, T=1.20, l=1500, H=0.30, K=2.8$	$R=111.4\ \Omega, L=2.39\ \text{nH}, M=2.31\ \text{nH}, C_g=173.3\ \text{fF}, C_c=184.6\ \text{fF}$

表 2 65 nm CMOS 工艺的典型耦合互连尺寸及相应的 RLC 参数

	尺寸/ μm	RLC 参数值
局部互连线	$W=0.10, S=0.10, T=0.20, l=30, H=0.20, K=2.2$	$R=34.4\ \Omega, L=34\ \text{pH}, M=32.4\ \text{pH}, C_g=1.195\ \text{fF}, C_c=3.68\ \text{fF}$
中等互连线	$W=0.14, S=0.14, T=0.35, l=500, H=0.20, K=2.2$	$R=252.4\ \Omega, L=0.81\ \text{nH}, M=0.79\ \text{nH}, C_g=27.6\ \text{fF}, C_c=70.56\ \text{fF}$
全局互连线	$W=0.45, S=0.45, T=1.20, l=1500, H=0.20, K=2.2$	$R=123.7\ \Omega, L=2.4\ \text{nH}, M=2.34\ \text{nH}, C_g=218.1\ \text{fF}, C_c=194.71\ \text{fF}$

3. 分布式 RLC 串扰解析模型

在对上述互连系统的特性参数进行提取后,建立了如图 3 所示的分布式 RLC 耦合互连线模型,由于频率的升高使信号的波长与互连线的长度相比拟,传统的集总模型不再精确,因此采用了分布参数的概念. 本文的串扰模型基于弱耦合情况,即只考虑施扰线对受扰线的噪声耦合,其中 n 表示电路分段数目, R_a, R_v, L_a, L_v 和 C_a, C_v 分别表示施扰线与受扰线的电阻矩阵、电感矩阵和电容矩阵, M 和 C_c 表示互连线的互感矩阵和耦合电容矩阵. 采用反相器作为互连线的驱动器与负载,基于等效 Thevenin 模型^[11],施扰线的驱动器可由电压源和电阻 R_{th} 表征,受扰线的驱动器用电阻 R_s 表征, $C_f(a), C_f(v)$ 分别表示电路的容性负载. 为了使模型的电气特性类似于连续的传输线,分段数 n 由仿真中的最快边沿变化率决定,通常选用各 RLC 段的最短时延($t_d = \sqrt{LC}$)不超过系统最小上升/下降时间的 1/10, n 的数量由下式决定:

$$n \geq 10 \left(\frac{X}{t_r V} \right), \quad (8)$$

其中 X 是传输线的长度, V 是电磁波在介质中的传播速度, t_r 是上升(下降)时间,模型中的寄生参数根据分段数 n 按比例计算.

对于上述模型等效电路,首先采用基尔霍夫定律对每个 RLC 段进行电学分析,再将各段的参数综合成矩阵形式,得到如下的矩阵解析式^[8]:

$$\begin{bmatrix} C_1 & -C_c & 0 & 0 \\ -C_c & C_2 & 0 & 0 \\ 0 & 0 & L_a & M \\ 0 & 0 & M & L_v \end{bmatrix} \begin{bmatrix} \frac{dv_1}{dt} \\ \frac{dv_2}{dt} \\ \frac{di_1}{dt} \\ \frac{di_2}{dt} \end{bmatrix} = \begin{bmatrix} \alpha & 0 & 0 & 0 \\ 0 & \alpha & 0 & 0 \\ -R_a & 0 & \beta & 0 \\ 0 & -R_v & 0 & \beta \end{bmatrix} \begin{bmatrix} i_1 \\ i_2 \\ v_1 \\ v_2 \end{bmatrix} + \begin{bmatrix} 0 \\ 0 \\ b \\ 0 \end{bmatrix} V_{in}$$

其中 $C_1 = C_a + C_c, C_2 = C_v + C_c, i_1, i_2, v_1, v_2$ 分别

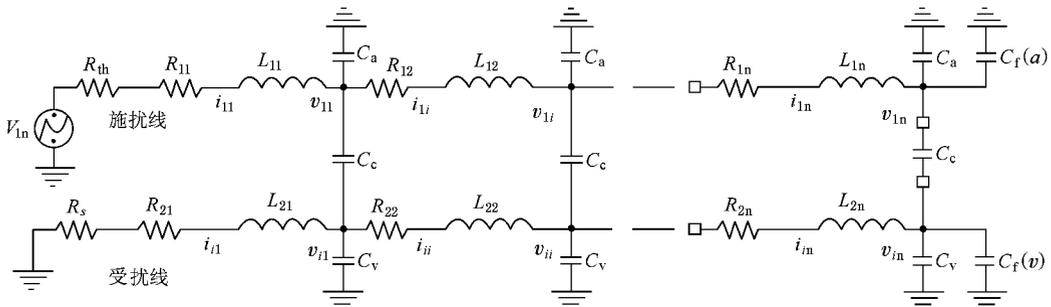


图 3 RLC 耦合互连线模型

为施扰线与受扰线的节点电压和节点电流, V_{in} 为施扰线激励源. $C_1, C_2, C_a, C_v, C_c, L_a, L_v, M, R_a, R_v$ 均是 $n \times n$ 阶矩阵, v_1, i_1, v_2, i_2 均是 $n \times 1$ 阶矩阵, α, β 和 b 为 $n \times 1$ 阶常数矩阵.

$$\alpha = \begin{bmatrix} 1 & -1 & 0 & 0 & \dots & 0 \\ 0 & 1 & -1 & 0 & \dots & 0 \\ 0 & 0 & 1 & -1 & \dots & 0 \\ 0 & 0 & 0 & 0 & 0 & 1 \end{bmatrix},$$

$$\beta = \begin{bmatrix} -1 & 0 & 0 & 0 & \dots & 0 \\ 0 & 1 & -1 & 0 & \dots & 0 \\ 0 & 0 & 1 & -1 & \dots & 0 \\ 0 & 0 & 0 & 0 & 1 & -1 \end{bmatrix},$$

$$b = \begin{bmatrix} 1 \\ 0 \\ 0 \\ 0 \end{bmatrix}.$$

将常数矩阵代入矩阵解析式进行解析化简, 消去电流 i , 得到关于电压的微分方程. 假设所有初始条件为零, 使用 Laplace 变换方程, 可得到 v_1 和 v_2 的表达式

$$(s^2 A_{11} + sB_{11} - \beta)v_1(s) + (s^2 A_{12} + sB_{12})v_2(s) = bv_{in}(s), \quad (9)$$

$$(s^2 A_{21} + sB_{21})v_1(s) + (s^2 A_{22} + sB_{22} - \beta)v_2(s) = 0. \quad (10)$$

这里 s 是 Laplace 算符,

$$A_{11} = L_a \alpha^{-1} C_1 - M \alpha^{-1} C_c,$$

$$A_{12} = -L_a \alpha^{-1} C_c + M \alpha^{-1} C_2,$$

$$A_{21} = M \alpha^{-1} C_1 - L_v \alpha^{-1} C_c,$$

$$A_{22} = -M \alpha^{-1} C_1 + L_v \alpha^{-1} C_c,$$

$$B_{11} = R_a \alpha^{-1} C_1,$$

$$B_{12} = -R_a \alpha^{-1} C_c,$$

$$B_{21} = -R_v \alpha^{-1} C_c,$$

$$B_{22} = R_v \alpha^{-1} C_2,$$

其中矩阵 α^{-1} 为 α 的逆矩阵.

为精确模拟纳米级工艺条件下的串扰效应, 本文采用了最接近实际信号的斜阶跃信号为输入激励,

$$V_{in} = \frac{V_{dd}}{t_r} [tU(t) - (t - t_r)U(t - t_r)],$$

其中 $U(t)$ 表示理想阶跃信号. 当 $t \rightarrow 0$, v_1 和 $v_2 \rightarrow 0$. 而当 $t \rightarrow \infty$, $v_1 \rightarrow$ 常数, $v_2 \rightarrow 0$. 根据 Laplace 初值和终值定理, 可将 v_1, v_2 展开成以下形式:

$$v_1(s) = v_{10} s^{-1} + v_{11} + v_{12} s + v_{13} s^2 + \dots + v_{1n} s^{n-1}, \quad (11)$$

$$v_2(s) = v_{20} + v_{21} s + v_{22} s^2 + v_{23} s^3 + \dots + v_{2n} s^n. \quad (12)$$

将(11)(12)式代入(9)(10)式中, 利用等式两边 s^i 的系数相等性质, 得到 v_{1i} 的参数

$$v_{10} = \beta^{-1} b v_{dd},$$

$$v_{11} = \beta^{-1} B_{11} v_{10},$$

$$v_{12} = \beta^{-1} [A_{11} v_{10} + B_{11} v_{11} + B_{12} v_{20}],$$

$$v_{1i} = \beta^{-1} [A_{11} v_{1(i-2)} + B_{11} v_{1(i-1)} + A_{12} v_{2(i-3)} + B_{12} v_{2(i-2)}],$$

和 v_{2i} 的参数

$$v_{20} = \beta^{-1} B_{21} v_{10},$$

$$v_{21} = \beta^{-1} [A_{21} v_{10} + B_{21} v_{11} + B_{22} v_{20}],$$

$$v_{22} = \beta^{-1} [A_{21} v_{11} + B_{21} v_{12} + A_{22} v_{20} + B_{22} v_{21}],$$

$$v_{2i} = \beta^{-1} [A_{21} v_{1(i-1)} + B_{21} v_{1i} + A_{22} v_{2(i-2)} + B_{22} v_{2(i-1)}].$$

通过 Laplace 初值和终值定理, 可将受扰线远端串扰 $v_{2n}(s)$ 表示为如下形式:

$$v_{2n}(s) = \frac{a_0 + a_1 s + \dots + a_{n-2} s^{n-2}}{1 + b_1 s + \dots + b_{n-1} s^{n-1} + b_n s^n}. \quad (13)$$

利用(13)阶 Pade 逼近式来近似 $v_{2n}(s)$, 可得到其三极点的串扰表达式

$$v_{2n}(s) = \frac{a_0 + a_1 s}{1 + b_1 s + b_2 s^2 + b_3 s^3}, \quad (14)$$

$$a_0 = v_{20j}, \quad (15)$$

$$a_1 = v_{20j} b_{1j} + v_{21j}, \quad (16)$$

$$\begin{bmatrix} b_1 \\ b_2 \\ b_3 \end{bmatrix} = \begin{bmatrix} v_{21j} & v_{20j} & 0 \\ v_{22j} & v_{21j} & v_{20j} \\ v_{23j} & v_{22j} & v_{21j} \end{bmatrix}^{-1} \begin{bmatrix} -v_{22j} \\ -v_{23j} \\ -v_{24j} \end{bmatrix}, \quad (17)$$

其中 j 表示互连线的第 j 个节点. 对(14)式进行 Laplace 反变换, 得到其时域表达式

$$v_2(t) = c_1 e^{-t/k_1} + c_2 e^{-t/k_2} + c_3 e^{-t/k_3}. \quad (18)$$

三极点模型的精度相对较高, 但存在 $1/k_1, 1/k_2$ 和 $1/k_3$ 三个极点, 容易产生自激振荡, 导致模型的不稳定. 二极点模型在保证模型稳定的前提下, 亦有着相当高的精度^[1], 同时计算更加简便. 综合考虑后本文采用(0,2)阶 Pade 逼近式近似 $v_{2n}(s)$, 建立

二极点的串扰模型

$$v_{2n}(s) = \frac{a_0}{1 + b_1 s + b_2 s^2}, \quad (19)$$

$$a_0 = v_{20j}, \quad (20)$$

$$\begin{bmatrix} b_1 \\ b_2 \end{bmatrix} = \begin{bmatrix} v_{20j} & 0 \\ v_{21j} & v_{20j} \end{bmatrix}^{-1} \begin{bmatrix} -v_{21j} \\ -v_{22j} \end{bmatrix}, \quad (21)$$

$$v_2(t) = c_1 e^{-t/k_1} + c_2 e^{-t/k_2}, \quad (22)$$

其中 $1/k_1$ 和 $1/k_2$ 为函数的极数. 利用 Matlab 计算出下列波形:

$$v_{2\max} = c_1 e^{-t_m/k_1} + c_2 e^{-t_m/k_2}. \quad (23)$$

利用(23)式进一步推算出串扰峰值及其发生时间 t_m .

4. RLC 串扰解析模型验证与讨论

为验证上述分布式 RLC 串扰模型在不同工艺条件下的计算精度,分别对 90 和 65 nm CMOS 工艺的耦合互连系统进行串扰分析,并将所得数据与文献[12]模型和 Hspice 仿真结果进行了比较. 其中在 90 nm 工艺中,采用斜阶跃输入信号作为激励源,输入电压幅值为 1.0 V,频率为 10 GHz,上升(下降)时间为 10 ps. 反相器宽度取 3.0 μm ,由 Thevenin 模型计算得到施扰线的等效驱动电阻 R_{th} 与受扰线的等效驱动电阻 R_s 约为 270 Ω ,等效负载为 36 fF. 在

65 nm CMOS 工艺下的斜阶跃输入信号的电压幅值为 0.7 V,频率 12 GHz,上升(下降)时间为 $T_r = 10$ ps. 反相器宽度取 4 μm ,计算得到施扰线的等效驱动电阻 R_{th} 与受扰线的等效驱动电阻 R_s 约为 156 Ω ,等效负载为 64 fF. 对应的 RLC 寄生参数如表 1 和表 2 所列,利用(8)式将互连线均分成 n 段,再进行 Hspice 串扰仿真. 表 3 为基于 90 nm CMOS 工艺的分布式 RLC 串扰解析模型的验证结果,表 4 为基于 65 nm CMOS 工艺的分布式 RLC 串扰解析模型的验证结果.

表 3 和表 4 的分析结果表明,本文的分布式 RLC 串扰模型适用于不同的工艺条件与不同的互连线类型,不论是对用于逻辑门间连接的局部互连线,还是芯片内的全局互连线,误差绝对值都在 4% 以内,而文献[12]等所提出的模型精度只能控制在 10% 以内,所以本文所提出的 RLC 解析模型具有很高的精度. 比较过程中,一些互连线的串扰噪声被低估了,这是由于函数逼近与模型降阶($n^{\text{th}} \rightarrow 2^{\text{th}}$)误差所造成的. 其次,本文采用二极点串扰模型,提高了计算效率,只需要计算 v_{10} , v_{20} , v_{21} 与 v_{22} 四个矩,可以获得 Laplace 转换的系数 a_{ij} 和 b_{ij} ,进而得出受扰线的极数与留数及相应的时域表达式.

表 3 基于 90 nm CMOS 工艺 RLC 串扰解析模型的验证结果

类型	分段数/ n	$v_{2\max}$ (Hspice)/mV	$v_{2\max}$ (RLC)/mV	误差/%	$v_{2\max}$ (文献[12])/mV	误差/%	t_m /ps
局部互连线	3	31.8	33.0	3.77	34.1	7.23	15.53
中等互连线	10	124.7	122.7	-1.60	135.5	8.66	43.72
全局互连线	25	168.2	162.7	-3.27	184.3	9.57	45.84

表 4 基于 65 nm CMOS 工艺 RLC 串扰解析模型的验证结果

类型	分段数/ n	$v_{2\max}$ (Hspice)/mV	$v_{2\max}$ (RLC)/mV	误差/%	$v_{2\max}$ (文献[12])/mV	误差/%	t_m /ps
局部互连线	5	12.9	13.3	3.10	13.8	6.98	20.22
中等互连线	15	96.2	92.7	-3.64	104.2	8.32	45.36
全局互连线	30	118.7	114.1	-3.88	129.6	9.18	50.51

5. 结 论

本文基于纳米级 CMOS 工艺,综合考虑电容耦合和电感耦合效应,提出了分布式 RLC 耦合互连模型. 采用函数逼近理论与降阶技术,在斜阶跃输入

信号下提出了受扰线远端串扰的数值表达式. 在不同的互连耦合尺寸下,对解析模型计算结果与 Hspice 仿真结果比较显示,该解析模型的误差绝对值都在 4% 以内,有着相当高的精确度和计算效率,对纳米级 SOC 的 EDA 设计和集成电路设计优化有重要的指导作用.

- [1] Sakurai T 1993 *IEEE Trans. Electron. Device.* **40** 118
- [2] Zhu Z M 2001 *6th International Conference on Solid-State and Integrated-Circuits Technology* Shanghai, China, October 23-26, 2001 p22
- [3] Nakagawa D M, Sylvester J 1998 *HP J.* **49** 39
- [4] Cong J, Pan D Z 2001 *Proceeding of ASP/DAC* Yokohama, Japan, January 30-February 2, 2001 p373
- [5] Becer M R, Blaauw D 2002 *Proceeding of ASP/DAC* Bangalore, India, January 7-11 2002 p456
- [6] Devgan A 1997 *Proceeding of the IEEE/ACM International Conference on Computer Aided Design* California, United States, November 9-13, 1997 **2** p147
- [7] Kuhlmann M, Sapatmekar S 2001 *IEEE Trans. CAD* **20** 858
- [8] Sun L L, Peng R 2004 *International Conference on Microwave and Millimeter Wave Technology Proceeding* Beijing, China, September 14-16 2000 **8** p891
- [9] Zhu Z M, Xia X 2001 *Microelectron. Eng.* **56** 359
- [10] Kang K, Nan L 2008 *IEEE Trans. Microwave Theo. Tech.* **56** 4
- [11] Serval G, Deschacht D 2000 *7th IEEE International Conference on Electronics, Circuits and Systems* Jounieh, Lebanon, December 17-20 2000 p87
- [12] Serval G, Palezny F 2001 *Proceeding of the IEEE International Interconnect Technology Conference* California, United States, June 4-6 2001 p63
- [13] Stephen H H 2005 *High-Speed Ditial System Design : a Handbook of Interconnect Theory and Design Practices* (1st ed) (Cambridge : Cambridge University Press) p28
- [14] Shi J Y, Ma X H, Hao Y 2006, *Research & Progress of Solid State Electronics* **26** 540 (in Chinese) [史江一、马晓华、郝 跃 2006 固体电子学研究进展 **26** 540]
- [15] Wang X, Shan Z Y, Zhu Y T 2006 *Chin. J. Electron.* **34** 214 (in Chinese) [王 欣、单智阳、朱云涛 2006 电子学报 **34** 214]
- [16] Sun J X, Sun Q, Zhou Y M 2005 *Res. Progr. Solid State Electron.* **25** 93 (in Chinese) [孙加兴、叶 青、周玉梅 2005 固体电子学研究进展 **25** 93]
- [17] Kaushik B K, Sarkar S, Agarwal R P 2007 *J. Microelectron. Int.* **24** 40
- [18] Song R R, Ruan G 2000 *Microelectron.* **30** 5 (in Chinese) [宋任儒、阮 刚 2000 微电子学 **30** 5]
- [19] Zhao W, Cao Y 2006 *IEEE Trans. Electron. Device.* **53** 2816

A novel interconnect crosstalk *RLC* analytic model based on the nanometer CMOS technology^{*}

Zhu Zhang-Ming[†] Qian Li-Bo Yang Yin-Tang

(*Institute of Microelectronics, Xidian University, Xi 'an 710071, China*)

(Received 16 September 2007 ; revised manuscript received 11 September 2008)

Abstract

Based on the nanometer CMOS technology, a novel parallel *RLC* coupling interconnect analytic model is presented. Based on the function approach and reduced order techniques, an analyzable expression for the outlying terminal of the disturbed line is derived by the model in the off-angle step input signal. In the 90 nm and 65 nm CMOS process, the proposed *RLC* coupling interconnect analytic model enables to estimate the crosstalk voltage within 4% errors compared with Hspice simulation for various interconnect coupling size. The proposed analytic model can be applied to the design of nanometer SOC and optimizing the design for VLSIs.

Keywords : nanometer CMOS, interconnect crosstalk, parallel, *RLC* anyzable model

PACC : 6630Q, 6185, 8160C

^{*} Project supported by the National Natural Science Foundation for Distinguished Young Scholars of China (Grant No. 60725415) and the National Natural Science Foundation of China (Grant Nos. 60676009, 60776034).

[†] E-mail : zmyh@263.net