

一种考虑硅通孔电阻-电容效应的三维互连线模型*

钱利波 朱樟明† 杨银堂

(西安电子科技大学微电子学院, 西安 710071)

(2011年5月26日收到; 2011年7月11日收到修改稿)

硅通孔 (TSV) 是三维集成电路的一种主流技术. 基于 TSV 寄生参数提取模型, 对不同物理尺寸的 TSV 电阻-电容 (RC) 参数进行提取, 采用 Q3D 仿真结果验证了模型精度. 分析 TSV RC 效应对片上系统的性能及功耗影响, 推导了插入缓冲器的三维互连线延时与功耗的解析模型. 在 45 nm 互补金属氧化物半导体工艺下, 对不同规模的互连电路进行了比较分析. 模拟结果显示, TSV RC 效应导致互连延时平均增加 10%, 互连功耗密度平均提高 21%; 电路规模越小, TSV 影响愈加显著. 在三维片上系统前端设计中, 包含 TSV 寄生参数的互连模型将有助于设计者更加精确地预测片上互连性能.

关键词: 三维集成, 硅通孔, 互连延时, 功耗

PACS: 80.30.-r, 84.40.Bw

1 引言

随着硅集成电路进入纳米级阶段, 互连线间距与尺寸不断缩小, 由互连效应引起的信号传输延迟与交互干扰噪声已成为制约集成电路性能的主导因素. 而芯片功能需求的不断增长又促使片上集成的晶体管数目越来越多, 导致芯片集成密度的急剧上升与互连功耗的持续增加, 逐渐逼近当前平面半导体工艺极限. 传统二维集成电路遭遇性能与功耗方面的瓶颈. 硅通孔作为三维集成电路的主流技术^[1], 能够通过硅通孔 (TSV) 实现多个平面器件层的层叠, 在垂直方向进行互连通信, 大幅缩短芯片互连, 提高芯片的晶体管密度, 改善层间电气互联性能, 提升芯片运行速度, 降低芯片的功耗、设计难度和成本, 是未来集成电路发展的趋势, 得到重点关注与发展.

TSV 技术虽然能够有效改善片上互连性能, 但 TSV 本身的延时与功耗是不容忽视的问题. 文献 [2] 利用三维寄生参数提取工具 Q3D, 对 TSV 的电阻 - 电容 - 电感 (RCL) 参数进行精确提取与验证; 文献 [3] 分析 TSV 的物理尺寸与材料特性对 TSV 性能的影响, 建立简化的 TSV 集总模型; 文献 [4] 根据传统二维互连线长分布函数, 推导 TSV 效应下的三维互连线分布与优化模型; 文献 [5,6]

研究 TSV 面临的可靠性问题及其具体应对方案; 但上述工作都没有考虑 TSV RC 效应对互连延时与功耗的影响. 文献 [7] 尽管基于 TSV 集总模型, 分析了包含 TSV 的三维集成系统的性能, 但对 TSV 寄生参数的估值存在一定误差. 所以目前仍然缺乏一个有效的理论模型来准确评估三维片上系统的互连性能.

本文基于 TSV 寄生参数提取模型, 对 TSV RC 效应下三维互连延时与功耗进行合理预测. 首先根据 TSV 寄生参数提取模型, 对不同物理尺寸的 TSV RC 参数进行提取, 并与 Q3D 仿真结果比较, 验证提取模型精度; 基于上述的 TSV 寄生参数, 推导了插入缓冲器的三维互连线的延时与功耗解析模型; 在 45 nm 互补金属氧化物半导体 (CMOS) 工艺下, 对不同规模的互连电路进行了比较分析, 验证 TSV RC 效应导致片上系统的性能降阶问题, 电路规模越小, TSV 影响愈加显著. 在三维集成系统的前端设计中, 有必要建立包含 TSV 效应的互连设计模型.

2 TSV RC 寄生参数提取模型

后道互连 (BEOL) 型 TSV 是业界广泛采用的 TSV 制作工艺方法. 采用铜或钨作为导电材

* 国家自然科学基金 (批准号: 60725415, 60676009) 和国家科技重大专项 (批准号: 2009ZX01034-002-001-005) 资助的课题.

† E-mail: zmyh@263.net

料,在前道互连 (FEOL) 与后道互连间完成 TSV 制作,实现多层芯片之间的互连通信. 后通孔 (via-last) 技术形成 TSV 的横截面及等效电路模型如图 1 所示,由铜导体, SiO₂ 介质与 Si 耗尽区三部分组成, TSV 的 RC 寄生参数可通过此电学模型得到.

TSV 的等效电阻 R_{TSV} 如 (1) 式所示,由导体电阻 R_{TSV_Cu} 与阻挡层电阻 $R_{TSV_barrier}$ 两部分并联组成 [8]. 在低频时,趋肤深度远大于 TSV 的半径,可以由直流电阻 R_{TSV_DC} 近似导体电阻 R_{TSV_Cu} . 随工作频率上升,由趋肤效应导致的交流电阻 R_{TSV_AC} 成为导体电阻主要部分;阻挡层电阻 $R_{TSV_barrier}$ 则由位于铜导体与 SiO₂ 介质间的 TiN 层产生,它的主要作用是防止铜原子的扩散,通常淀积厚度在几十纳米,远小于 TSV 直径 d [9],因此在本文中忽略了 TiN 的影响.

$$R_{TSV} = R_{TSV_Cu} || R_{TSV_barrier}. \quad (1)$$

TSV 导体电阻 R_{TSV_Cu} 取决于 TSV 的物理尺寸与导体材料,如 (2) 式:

$$R_{TSV_Cu} = \begin{cases} R_{TSV_DC} = \frac{\rho l_{TSV}}{\pi R_{metal}^2} \\ R_{TSV_AC} = \frac{\rho l_{TSV}}{\pi [R_{metal}^2 - (R_{metal} - \delta)^2]} \end{cases}, \quad (2)$$

式中, ρ 是铜导体的电阻率,约为 $1.68 \times 10^{-8} \Omega/m$; R_{metal} 与 l_{TSV} 分别是 TSV 的半径与高度; δ 是趋肤深度,定义为电流密度降为导体表面最大值的 $1/e$ 时的导体深度 [10]:

$$\delta = \sqrt{\frac{2\rho}{\pi f \mu}}, \quad (3)$$

式中, μ 是自由空间的磁导率,约为 $4\pi \times 10^{-7} H/m$, f 是信号频率.

寄生电容是 TSV 的主要寄生参数之一,对层间互连信号的传输具有很大的影响,需要精确的模拟和分析. 由于 TSV 的金属氧化物半导体 (MOS) 电容模型类似于平板 MOS 电容,因此可以通过求解圆柱坐标系的一维 Poisson 方程获得. 对于图 1 的 TSV 结构,等效电容 C_{TSV} 由聚积电容、耗尽电容与电导电容三部分组成. 聚积电容表达式如 (4) 式,取决于直流隔离的 SiO₂ 介质厚度、TSV 的半径与高度;耗尽电容则与衬底类型和耗尽层宽度密切相关,耗尽区域的宽度将直接影响耗尽电容与 TSV 电容的大小;电导电容由 Si 衬底的介质损耗产生,为简化分析,本文不做考虑.

SiO₂ 介质产生的聚积电容 C_{ox} 表达式为 [3]

$$C_{ox} = \frac{2\pi\epsilon_{ox}l_{TSV}}{\ln\left(\frac{R_{metal} + t_{ox}}{R_{metal}}\right)}, \quad (4)$$

式中, t_{ox} 与 ϵ_{ox} 分别为二氧化硅介质层厚度与相对介电常数.

Si 耗尽区域产生的耗尽电容 C_{dep} 表达式如 (5) 式 [2]:

$$C_{dep} = \frac{2\pi\epsilon_{Si}l_{TSV}}{\ln\left(\frac{R_{metal} + t_{ox} + w_{dep}}{R_{metal} + t_{ox}}\right)}, \quad (5)$$

式中, ϵ_{Si} 是硅相对介电常数,耗尽层宽度 w_{dep} 由 (6) 式得:

$$w_{dep} = \sqrt{\frac{4\epsilon_{Si}V_{th}\ln\left(\frac{N_A}{n_i}\right)}{qN_A}} \quad (6)$$

式中, N_A 是注入杂质浓度;硅本征载流子浓度 n_i ,热电压 V_{th} 与单位电荷 q 分别为 $1.5 \times 10^{16} m^{-3}$, $25.9 mV$ 与 $1.6 \times 10^{-19} C$.

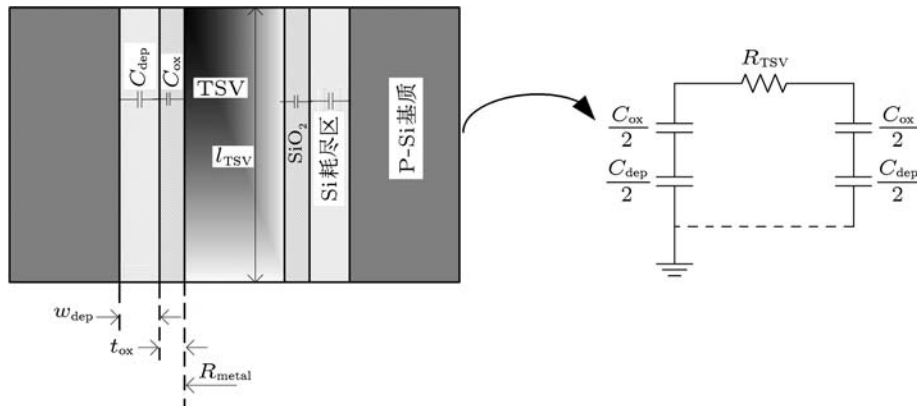


图 1 TSV 横截面图及等效电路模型

由图 1 的 TSV 等效电路模型可知, TSV 等效电容 C_{TSV} 是聚积电容 C_{ox} 与耗尽电容 C_{dep} 串联组合:

$$C_{\text{TSV}} = \left(\frac{1}{C_{\text{ox}}} + \frac{1}{C_{\text{dep}}} \right)^{-1} = \left[\frac{1}{2\pi\epsilon_{\text{ox}}l_{\text{TSV}}} \cdot \ln \left(\frac{R_{\text{metal}} + t_{\text{ox}}}{R_{\text{metal}}} \right) + \frac{1}{2\pi\epsilon_{\text{si}}l_{\text{TSV}}} \times \ln \left(\frac{R_{\text{metal}} + t_{\text{ox}} + w_{\text{dep}}}{R_{\text{metal}} + t_{\text{ox}}} \right) \right]^{-1}. \quad (7)$$

基于 TSV 的 RC 寄生参数提取模型, 表 1 对 45 nm CMOS 工艺下, 不同纵横比 l_{TSV}/d 的 TSV RC 寄生参数进行提取, 并与 Q3D 仿真数值进行比较验证, 结果显示平均误差在 5% 以内, 能够应用于 TSV 寄生参数的提取验证.

表 1 45 nm CMOS 工艺下不同纵横比的 TSV RC 寄生参数提取比较结果

| 纵横比 | 1 | 3 | 5 |
|----------------------------|--------------------|-------|-------|
| 直径 $d/\mu\text{m}$ | 5 | | |
| SiO_2 介质厚度/ nm | 120 | | |
| N_A/cm^3 | 2×10^{15} | | |
| 理论电阻/ $\text{m}\Omega$ | 4.30 | 12.80 | 21.40 |
| Q3D 仿真电阻/ $\text{m}\Omega$ | 4.35 | 13.03 | 21.75 |
| 电阻误差/% | -1.15 | -1.77 | -1.61 |
| 理论电容/fF | 9.14 | 27.43 | 45.71 |
| Q3D 仿真电容/fF | 9.38 | 28.28 | 47.21 |
| 电容误差/% | -2.56 | -3.10 | -3.28 |

3 三维互连线模型

3.1 互连延时

全局互连被广泛地认为是未来集成系统性能改进的关键潜在设计瓶颈, 其连线延时将决定片上系统的时钟频率与互连架构的速度传输限. 为了减少全局互连 RC 延迟, 电路设计者开始寻求有效的互连优化策略. 缓冲器插入设计能够通过分割互连线长与解耦旁路电路, 使互连延时与线长成线性关系, 降低连线延时, 是其中较为灵活有效的一种设计方法.

图 2 即为缓冲器驱动的全局互连线结构, 图中 r 与 c 分别为单位长度连线电阻与单位长度连线电容. 假设采用了最佳缓冲器插入设计策略, 那么缓冲器的等效输出电阻为 R_d/s_{opt} , 等效输入电

容为 $s_{\text{opt}}C_0$. 其中 s_{opt} 与 l_{opt} 为缓冲器最佳设计尺寸与间隔距离, R_d 与 C_0 则分别为标准缓冲器的输出电阻与输入电容. 对于应用上述缓冲器设计策略的三维片上系统, 其最长互连延时 D_{rep} 可以表述为 [12-14]

$$D_{\text{rep}} = 2.37L_{\text{longest}}\sqrt{R_dC_0rc}, \quad (8)$$

式中, L_{longest} 为最长全局互连线, 其连线长度可以通过基于 Davis 的随机线长分布模型求得 [15]:

$$L_{\text{longest}} = 2 \left(\sqrt{\frac{N_t}{S}} - 1 \right) + r(S - 1), \quad (9)$$

其中, N_t 为片上系统的逻辑门总数, S 为硅有源层数目, r 定义为层间距与门间距的比例因子. 若 $N_t \gg r$, 则最长互连线将与硅有源层均方根 \sqrt{S} 呈反比下降. 因此, 通过层叠硅有源层, 将能够有效缩短全局互连线长, 改善片上系统的互连性能. 但随着硅有源层的增加, 用于层间通信的硅通孔数目与集成密度将急剧上升, 以往忽略 TSV RC 效应或将 TSV 近乎互连线的的设计方法, 将不可避免地造成系统性能的分析误差.

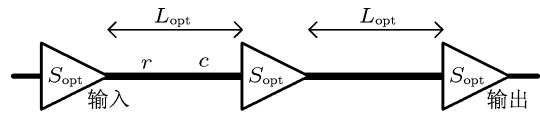


图 2 插入缓冲器的互连线模型

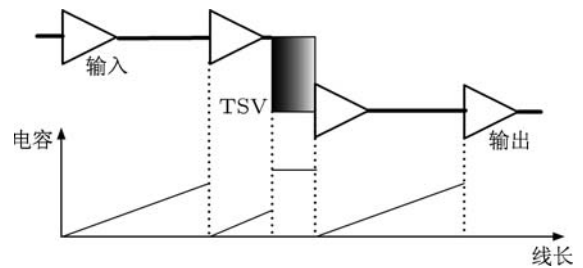


图 3 插入缓冲器与 TSV 的三维互连线模型及其 L-C 曲线

为了能够更加准确地评估三维片上系统的互连特性, 本文在全局互连设计中加入了 TSV RC 效应分析. 图 3 为插入缓冲器与 TSV 的全局互连线及其 L-C(线长 - 电容) 特性曲线. 由于 TSV 等效于一个 RC 集总模型, 其布局位置与外形尺寸将直接影响互连线性能, 为最优化 TSV RC 效应对互连延时的影响, 图 3 采用了文献 [7] 的布局于两个驱动器之间的 TSV 插入算法. 考虑 TSV RC 效应的全局互连延时如 (10) 式所示, 由互连延时与 TSV RC 延时两部分组成, 其中 TSV 等效为集总的 II 型 RC 模

型:

$$D_{3D} = D_{rep} + N_{TSV} \cdot D_{TSV}, \quad (10)$$

式中, N_{TSV} 为片上互连线的 TSV 数目. 缓冲器驱动的 TSV 本征延时为

$$D_{TSV} = \frac{R_d}{s_{opt}} \cdot \frac{C_{TSV}}{2} + \left(\frac{R_d}{s_{opt}} + R_{TSV} \right) \times \left(\frac{C_{TSV}}{2} + s_{opt}C_0 \right). \quad (11)$$

3.2 互连功耗

三维片上系统的动态互连功耗如 (12) 式所示, 通常由以下几部分组成 [16-18]: 互连线功耗 P_{int} , 随片上系统的电路规模与集成密度不断提高, 互连线电容已经取代传统的门电路, 成为片上功耗的主导因素; 门电路功耗 P_{logic} , 大规模互连电路中, 单个芯片上集成的晶体管将多达 10^9 只, 其动态功耗仍将是互连功耗的重要组成部分; 插入缓冲器功耗 P_{rep} , 缓冲器是优化集成电路全局互连设计的有效策略, 其功耗与全局互连尺寸和数目密切相关. 采用多个硅有源层的三维互连架构, 虽然一定程度上减小全局互连分布, 但也导致驱动 TSV 的缓冲器数目剧增, 需要仔细分析设计; 硅通孔功耗 P_{TSV} , 由于 TSV 插入数目与集成密度不断增加, TSV 功耗已经成为三维集成电路设计不可忽略的一部分.

$$P_{total} = P_{int} + P_{logic} + P_{rep} + P_{TSV}. \quad (12)$$

假设对每一个电容节点都给定一个常量的活动因子, 互连线的平均动态功耗 P_{int} 由下式给出 [19]:

$$P_{int} = \frac{\alpha}{2} C_{int} L_{tot} V_{dd}^2 f, \quad (13)$$

式中, V_{dd} 为供电电压, α 为每个门的平均活动因子, f 为工作频率, C_{int} 为互连线单位长度的平均分布电容, L_{tot} 为片上系统的互连总线长, 由互连线随机分布模型估算得到

$$L_{tot} = \int_1^{2\sqrt{N_t}} l \cdot i(l) dl, \quad (14)$$

式中, $i(l)$ 定义为互连密度函数.

逻辑门与插入缓冲器具有相似的动态功耗模型, 可以各自表述为

$$P_{logic} = N_t \frac{\alpha}{2} C_{logic} V_{dd}^2 f, \quad (15)$$

$$P_{rep} = n_{rep} \frac{\alpha}{2} C_{rep} V_{dd}^2 f, \quad (16)$$

式中, C_{logic} 与 C_{rep} 分别为逻辑门与缓冲器的等效栅电容; n_{rep} 为插入缓冲器的数目.

对于等效为集总 RC 模型的硅通孔, 其动态功耗由通孔电容产生, 与 TSV 的尺寸与集成数目密切相关:

$$P_{TSV} = N_{TSV} \frac{\alpha}{2} C_{TSV} V_{dd}^2 f. \quad (17)$$

4 模型验证与比较

为分析 TSV RC 效应对片上互连性能的影响, 本节基于上述的延时与功耗模型, 对 45 nm CMOS 工艺下不同电路规模的片上系统互连延时与功耗进行了比较研究. 其中, 假设伦特系数 α 与伦特指数 p 分别为 3 与 0.75; 层间距比率因子 r 为 50; 三维互连系统的硅有源层 $S = 4$, 其中用于层间通讯的 TSV 直径为 $5 \mu\text{m}$, 纵横比 (A.R) 分别为 1, 3 与 5, 其 RC 寄生参数由表 1 可知. 计算中涉及的其他电学参数与物理参数如表 2 所示 [20].

表 2 45 nm CMOS 工艺下互连线的物理参数与电学参数

| 互连参数 | 数值 |
|---|-------|
| 供电电压 V_{dd}/V | 0.6 |
| 工作频率/GHz | 2.0 |
| 单位长度互连电阻 $r/\Omega \cdot \mu\text{m}^{-1}$ | 3.31 |
| 单位长度互连电容 $c/\text{fF} \cdot \mu\text{m}^{-1}$ | 0.171 |
| 缓冲器输出电阻 $R_d/\text{k}\Omega$ | 13.2 |
| 缓冲器输入电容 C_0/fF | 1.5 |
| 缓冲器开关因子 a | 0.1 |
| 最佳缓冲器间距 $l_{opt}/\mu\text{m}$ | 265 |
| 最佳缓冲器尺寸 s_{opt} | 21 |

4.1 延时

表 3 的全局互连延时比较结果显示, 三维集成技术通过缩短互连线长, 有效地减小了连线延时, 三维系统的最大全局互连延时相对于二维系统降低了 40%—50%. 考虑 TSV RC 效应后, 对于逻辑门数在 40—160 M 之间的大规模集成电路, 由于其互连线 RC 延时仍占据主导地位, TSV 的影响几乎可忽略不计. 但在中小规模的互连电路, TSV 负面效应开始逐步显现. 芯片面积 1mm^2 电路中, 包含 TSV RC 效应的三维互连线延时将高达 0.45 ns, 接近二维互连线延时 0.5 ns. 若互连电路规模进一步缩小或 TSV 尺寸增大, TSV RC 效应将愈加削弱三维互连结构带来的优势, 降阶片上互连电路性能.

三维集成技术通过对全局互连线长的高强度

压缩,有效改善了互连电路的性能,但同时也引入 TSV RC 的负面效应.为了能够在设计初期准确评估三维互连架构优势,指导片上系统设计,图 4 基于上述的验证结果,做出了包含 TSV 的互连线延时 - 电路规模的变化特性曲线.对于 TSV 的 $A.R = 1$ 的互连线,二维集成技术与三维集成技术的设计折中点约在 240 K 门电路;当门电路规模大于 240 K,三维互连架构就能够有效改善片上互连性能;随 $A.R$ 的增大,互连设计折中点逐步上移.

4.2 功耗

对于大规模集成电路,采用包含 TSV 与插入缓冲器的三维互连线结构虽然能够减小最长全局连线与平均互连线长,进而降低互连延时与平均互连功耗,改善片上系统的延时 - 功耗特性.但如图 3 所示,相对于插入缓冲器的二维互连线和不考虑 TSV 的三维互连线,互连电路中用于驱动 TSV 的缓冲器数目急剧增加,插入缓冲器与 TSV 功耗将成为限制互连性能的重要因素.为准确评估三维集成系统的互连功耗,基于 (17) 式互连功耗模型,表 4 对不同电路规模下的互连功耗密度进行了分析比较.其中,功耗密度 P_D 定义为单位面积电路的平均互连功耗.表 4 功耗比较结果显示,对于互连线占据绝

对主导地位的大规模集成电路,三维集成技术通过减小全局互连线长,有效降低了连线电容,改善片上系统的功耗密度 (-29%—-35%),此时 TSV 功耗可以忽略不计;但对于中小规模集成电路,由于全局互连线分布相对较小,三维集成技术对功耗密度优化有限 (-5.6%—-17%),此时 TSV 功耗影响逐步显现,电路规模越小或 TSV 尺寸越大,TSV 功耗效应愈加显著,在门电路规模为 0.1 M 的集成系统中,考虑 TSV 效应的三维系统功耗密度将相对于二维系统增加 64%,严重制约片上系统的互连性能与可靠性.

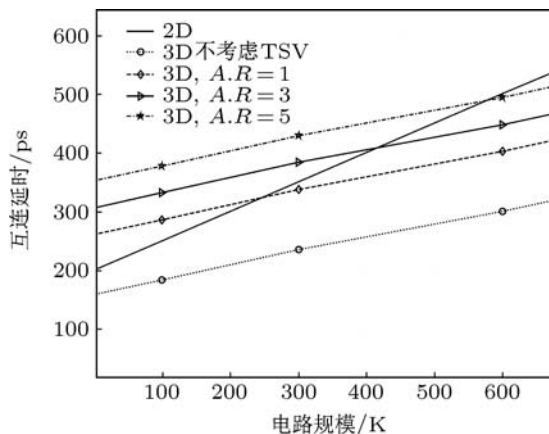


图 4 互连延时随电路规模的变化特性曲线

表 3 45 nm CMOS 工艺下不同互连线延时的比较结果 (延时单位: ns)

| 芯片面积/mm ² | 门/M | 最长连线/mm | | 2D 延时 | 不考虑 TSV 的三维集成电路 | | 考虑 TSV 的三维集成电路 | | | | | |
|----------------------|-----|---------|------|-------|-----------------|-------|----------------|-------|---------|-------|---------|-------|
| | | 2D | 3D | | 延时 | 比率/% | A.R = 1 | | A.R = 3 | | A.R = 5 | |
| | | | | | | | 延时 | 比率/% | 延时 | 比率/% | 延时 | 比率/% |
| 400 | 160 | 40 | 20.2 | 10.04 | 5.07 | -49.5 | 5.15 | -48.7 | 5.18 | -48.4 | 5.21 | -48.1 |
| 225 | 90 | 30 | 15.3 | 7.53 | 3.84 | -49.0 | 3.92 | -48.0 | 3.95 | -47.5 | 3.98 | -47.1 |
| 100 | 40 | 20 | 10.2 | 5.02 | 2.56 | -49.0 | 2.64 | -47.5 | 2.67 | -46.8 | 2.71 | -46.1 |
| 25 | 10 | 10 | 5.3 | 2.51 | 1.33 | -47.0 | 1.41 | -43.9 | 1.44 | -42.6 | 1.48 | -41.2 |
| 1 | 0.4 | 2 | 1.2 | 0.50 | 0.30 | -40.0 | 0.38 | -24.7 | 0.42 | -17.8 | 0.45 | -10.1 |

表 4 45 nm CMOS 工艺下不同互连电路的功耗密度比较结果 (功耗单位: W/cm²)

| 芯片面积/mm ² | 门/M | 2D P_D | 不考虑 TSV 的三维集成电路 | | 考虑 TSV 的三维集成电路 | | | | | |
|----------------------|-----|----------|-----------------|-------|----------------|-------|---------|-------|---------|-------|
| | | | P_D | 比率/% | A.R = 1 | | A.R = 3 | | A.R = 5 | |
| | | | | | P_D | 比率/% | P_D | 比率/% | P_D | 比率/% |
| 250 | 90 | 52.57 | 36.95 | -29.7 | 37.08 | -29.5 | 37.30 | -29.1 | 37.52 | -28.7 |
| 100 | 40 | 51.59 | 33.70 | -34.7 | 33.87 | -34.3 | 34.17 | -33.8 | 34.48 | -33.2 |
| 25 | 10 | 31.80 | 26.40 | -17.0 | 26.64 | -16.2 | 27.12 | -14.7 | 27.56 | -13.3 |
| 1 | 0.4 | 19.00 | 16.00 | -15.8 | 17.00 | -10.5 | 19.00 | 0 | 21.00 | +10.5 |
| 0.25 | 0.1 | 14.40 | 13.60 | -5.6 | 15.60 | +8.3 | 19.60 | +36.1 | 23.60 | +64.0 |

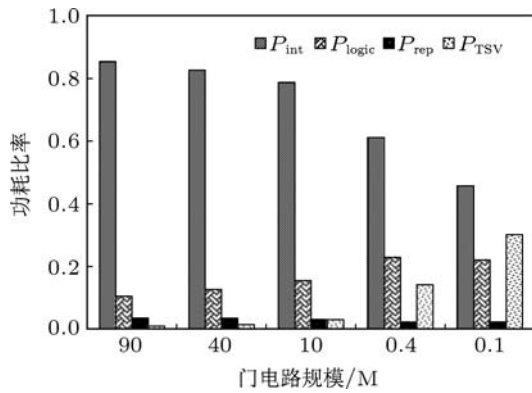


图5 不同电路规模的互连系统功耗组成结构

为了更加准确地分析 TSV RC 效应对互连功耗的影响, 图 5 描述了不同电路规模下的互连系统功耗组成结构. 从直方图可以看出, 连线功耗始终是互连总功耗的主要组成部分, 但随电路规模的缩小, 其功耗比率呈下降趋势, 而 TSV 的功耗却在不断

断上升. 对于门电路规模小于 10 M 的集成系统, TSV 功耗将超越插入缓冲器功耗, 成为集成系统功耗的重要组成部分.

5 结论

本文基于 TSV 寄生参数提取模型, 对不同物理尺寸的 TSV RC 参数进行提取, 采用 Q3D 仿真结果验证了模型精度. 分析 TSV RC 效应对片上系统的性能及功耗影响, 推导出插入缓冲器的三维互连线延时与功耗的解析模型. 在 45 nm CMOS 工艺下, 对不同规模的互连电路进行了比较分析, 模拟结果显示, TSV RC 效应将导致互连延时平均增加 10%, 互连功耗密度平均提高 21%; 电路规模越小, TSV 影响愈加显著. 在三维片上系统前端设计中, 包含 TSV 寄生参数的互连模型将有助于设计者更加精确地预测互连电路性能.

- [1] Pavlidis V F, Friedman E G 2009 *Three-Dimensional Integrated Circuit Design* (San Mateo: Morgan Kaufmann) p15
- [2] Savidis I, Friedman E G 2009 *IEEE Trans. Electron Dev.* **56** 1873
- [3] Katti G, Stucchi M, Meyer K D, Dehaene W 2010 *IEEE Trans. Electron Dev.* **57** 256
- [4] Kim D H, Mukhopadhyay S, Lim S K 2009 *Proceeding of the 11th International Workshop on System Level Interconnect Prediction* San Francisco, July 26–27, 2009 p85
- [5] Amirali S Y, Xiang H, Yu W J, Popovich M 2009 *Proceeding of the Conference on Design, Automation & Test in Europe* Belgium, March 14–18, 2009 p288
- [6] Karmarkar A P, Xu X P, Moroz V 2009 *IEEE 47th Annual International Reliability Physics Symposium* Montreal, April 15–19, 2009 p682
- [7] Kim D H, Lim S K 2010 *Proceeding of the 12th International Workshop on System Level Interconnect Prediction* Anaheim, June 13–14, 2010 p25
- [8] Chen P Y, Wu C W, Kwai D M 2009 *Proceeding of the 2009 Asian Test Symposium* Taiwan, November 23–26, 2009 p450
- [9] Xu C, Li H, Suaya R, Banerjee K 2010 *IEEE Trans. Electron Dev.* **57** 3405
- [10] Hall S H, Hall G W, McCall J A 2000 *High-Speed Digital System Design: A Handbook of Interconnect Theory and Design Practices* (New York: John Wiley & Sons) p205
- [11] Li X, Wang J M, Tang W Q 2009 *Acta Phys. Sin.* **58** 3603 (in Chinese) [李鑫, Wang Janet M, 唐卫清 2009 物理学报 **58** 3603]
- [12] Banerjee K, Mehrotra A 2002 *IEEE Trans. Electron Dev.* **49** 2001
- [13] Zhu Z M, Hao B T, Li R, Yang Y T 2010 *Acta Phys. Sin.* **59** 1997 (in Chinese) [朱樟明, 郝报田, 李儒, 杨银堂 2009 物理学报 **59** 1997]
- [14] Dong G, Xue Y, Li J W, Yang Y T 2011 *Acta Phys. Sin.* **60** 46602 (in Chinese) [董刚, 薛荫, 李建伟, 杨银堂 2011 物理学报 **60** 046602]
- [15] Davis J A, De V K, Meindl J D 1998 *IEEE Trans. Electron Dev.* **45** 580
- [16] Sekar D C, Naeemi A, Sarvari R, Davis J A, Meindl J D 2007 *IEEE/ACM International Conference on Computer-Aided Design* San Jose, November 4–8, 2007 p560
- [17] Zhu Z M, Zhong B, Hao B T, Yang Y T 2009 *Acta Phys. Sin.* **58** 7124 (in Chinese) [朱樟明, 钟波, 郝报田, 杨银堂 2009 物理学报 **58** 7124]
- [18] Zhu Z M, Hao B T, Yang Y T, Li Y J 2010 *Chin. Phys. B* **19** 127805
- [19] Davis J A, Meindl J D 2003 *Interconnect Technology and Design for Gig Scale Integration* (Netherlands: Springer) p184
- [20] NCSU FreePDK 45 nm <http://www.eda.ncsu.edu/wiki/FreePDK>. 2011 January 14

Through-silicon-via-aware interconnect prediction model for 3D integrated circuit*

Qian Li-Bo Zhu Zhang-Ming[†] Yang Yin-Tang

(School of Microelectronics, Xidian University, Xi'an 710071, China)

(Received 26 May 2011; revised manuscript received 11 July 2011)

Abstract

Through-silicon-via (TSV) is one of the major design techniques in three-dimensional integrated circuit (3D IC). Based on the parasitic parameter extraction model, the parasitic resistance-capacitance (RC) parameters for different size TSVs are acquired and validated with Q3D simulation data. Using the results of this model, closed-form delay and power consumption expressions for buffered interconnect used in 3D IC are presented. Comparative results with 3D net without TSV in various cases show that TSV RC effect has a huge influence on delay and power of 3D IC, which leads maximum delay and power consumption to extra increase 10% and 21% on average, respectively. It is crucial to correctly establish a TSV-aware 3D interconnect model in 3D IC front-end design.

Keywords: 3D integrated circuit, TSV, interconnect delay, power consumption

PACS: 80.30.-r, 84.40.Bw

* Project supported by the National Natural Science Foundation of China (Grant Nos. 60725415, 60676009), and the National Science and Technology Major Project of the Ministry of Science and Technology of China (Grant No. 2009ZX01034-002-001-005).

[†] E-mail: zmyh@263.net