

基于 P 掺杂 SiO_2 为栅介质的超低压侧栅薄膜晶体管*朱德明¹⁾²⁾ 门传玲^{1)†} 曹敏¹⁾ 吴国栋²⁾

1) (上海理工大学能源与动力工程学院, 上海 200093)

2) (中国科学院宁波材料技术与工程研究所, 宁波 315201)

(2012 年 11 月 9 日收到; 2013 年 2 月 3 日收到修改稿)

在室温下利用等离子体增强化学气相沉积法 (PECVD) 制备的颗粒膜 P 掺杂 SiO_2 为栅介质, 使用磁控溅射方法利用一步掩模法制备出一种新型结构的侧栅薄膜晶体管. 由于侧栅薄膜晶体管具有独特的结构, 在射频磁控溅射过程中, 仅仅利用一块镍掩模板, 无需复杂的光刻步骤, 就可同时沉积出氧化铟锡 (ITO) 源、漏、栅电极和沟道, 因此, 这种方法极大地简化了制备流程, 降低了工艺成本. 实验结果表明, 在 P 掺杂 SiO_2 栅介质层与沟道层界面处形成了超大的双电层电容 ($8 \mu\text{F}/\text{cm}^2$), 这使得这类晶体管具有超低压的工作电压 1 V, 小的亚阈值摆幅 82 mV/dec、高的迁移率 $18.35 \text{ cm}^2/\text{V}\cdot\text{s}$ 和大的开关电流比 1.1×10^6 . 因此, 这种 P 掺杂 SiO_2 双电层超低压薄膜晶体管将有望应用于低能耗便携式电子产品以及新型传感器领域.

关键词: P 掺杂 SiO_2 , 侧栅薄膜晶体管, 双电层 (EDL), 超低压

PACS: 73.61.Jc, 73.40.Mr, 73.90.+f

DOI: 10.7498/aps.62.117305

1 引言

最近, 一种侧栅结构的新型场效应薄膜晶体管受到了广泛关注^[1,2]. 该器件在制备过程中采用自对准技术, 其源、漏、栅极都在同一平面内^[2], 器件结构得到极大简化, 从而降低了制备难度并减小了工艺成本. 这种新型的侧栅场效应薄膜晶体管结构, 在未来的逻辑电路和存储电路的应用中都极具前景^[3,4]. 然而, 其制备工艺中通常需要精准的光刻技术, 使得该器件的制备过程仍然比较复杂. 并且侧栅结构薄膜晶体管的栅介质的等效电容基于两个电容的串联模型^[5], 因而电容较小, 工作电压高, 严重制约了其应用于实际的便携式电子产品中.

为了实现器件在低电压下工作, 国内外很多课题组研究采用具有双电层大电容特性的聚合物电解质或离子液充当栅介质^[6-8], 来增大器件电容, 提高栅极与沟道层间的电容耦合, 从而降低薄膜晶体管的工作电压. 近来, Crispin^[9,10] 等人报道了一种新型的利用聚合物电解质来作栅介质的有

机双电层薄膜晶体管, 栅介质单位面积电容高达 $10 \mu\text{F}/\text{cm}^2$, 工作电压可降低至 1 V 左右. 但有机薄膜晶体管存在迁移率低 ($< 1 \text{ cm}^2/\text{V}\cdot\text{s}$), 热稳定性差, 制备过程复杂等缺点^[11], 因此, 急需探索研究出具有高迁移率, 性能稳定, 制备过程简单的薄膜晶体管.

近来, 本课题组采用具有双电层效应的 P 掺杂 SiO_2 作为栅介质, 在室温下制备了一种新型的侧栅结构薄膜晶体管. 由于采用独特的侧栅结构, 在射频磁控溅射过程中, 仅仅利用一块镍掩模板, 无需复杂的光刻步骤, 就可同时沉积出 ITO 源、漏、栅电极和沟道, 其中沟道层通过掩模板衍射自组装形成, 溅射出的 ITO 颗粒通过衍射作用进入并沉积在镍掩模板覆盖的区域, 这样在 ITO 源漏极形成的同时, 两极之间由于 ITO 衍射作用形成一层薄薄的 ITO 沟道层. 并对这种晶体管的电学性能进行了详细的研究, 而且对在 P 掺杂 SiO_2 栅介质层与沟道层界面处形成的超大双电层电容 ($8 \mu\text{F}/\text{cm}^2$) 机理进行了着重分析. 结果表明, 这种 P 掺杂 SiO_2 薄膜晶体管具有极低的工作电压 1 V, 小的亚阈值摆幅

* 浙江省自然科学基金 (批准号: 0804201051) 资助的课题.

† 通讯作者. E-mail: zhudeming19900312@126.com

82 mV/dec、高的迁移率 $18.35 \text{ cm}^2/\text{V}\cdot\text{s}$ 和大的开关电流比 1.1×10^6 等优良性能。

2 实验

如图 1(a) 所示, 该器件以 ITO 导电玻璃为衬底. 首先, 向抽真空至 $3 \times 10^{-3} \text{ Pa}$ 的 PECVD 腔体中通入 Ar 启辉, 5 min 稳定后, 再以 SiH_4 (其中掺有体积分数为 5% 的 PH_3) 和 O_2 为反应气体, 反应过程的压强为 30 Pa, Ar、 SiH_4 (PH_3 体积分数 5%)、 O_2 的流量比为 60:10:60, 射频电源的功率为 100 W, 沉积时间为 60 min, 得到约 $4 \mu\text{m}$ 厚的 P 掺杂 SiO_2 栅介质层. 然后, 在已制备好的 P 掺杂 SiO_2 表面固定一块镍掩模板, 在 0.5 Pa 的 Ar 气环境中射频磁控溅射沉积一层约 200 nm 厚 ITO 源、漏、栅电极, 溅射出的 ITO 颗粒会通过衍射作用进入并沉积在镍掩模板覆盖的区域, 这样 ITO 源漏极形成的同时, 两极之间一层薄薄的 ITO 沟道层就由于衍射同时形成了, 沟道层最薄处厚度约 30 nm, 沉积过程如图 1(b) 所示. 本实验采用 ITO 靶材 (质量分数为 90% 的 In_2O_3 和 10% 的 SnO_2), 射频电源的功率为 100 W, 溅射时间为 15 min. 整个实验过程都在室温下完成. 如图 2 所示, 柱状微孔结构的 P 掺杂 SiO_2 栅介质截面形貌采用场发射扫描电镜测试 (Hitachi S-4800SEM). 器件的电学特性由 Keithley4200 半导体参数分析仪在室温下无光环境中测试得到.

3 结果与讨论

在本文提到的侧栅结构中, 如图 1(a) 所示, 侧栅结构薄膜晶体管的栅介质的等效电容基于两个电容串联的模型得到, 每个电容都是一个单独的双电层电容, C_1 和 C_2 能很好的通过 ITO 层串联起来^[4].

从图 3(a) 可以看出, 电容随频率的减小而增大, 并到 1 Hz 时达到最大值 $8 \mu\text{F}/\text{cm}^2$. 然而, 根据传统的电容理论: $C = \epsilon_0 \epsilon_r / d$ (ϵ_0 是真空介电常数, ϵ_r 是相对介电常数, d 是栅介质厚度) 计算得到的电容为 $8.6 \times 10^{-4} \mu\text{F}/\text{cm}^2$. 很明显, 理论计算结果比实验结果小了四个数量级. 对此, 我们提出用双电层理论来解释这种超级大电容形成的原因^[12,13]: 在本课题组以前的研究中, SiO_2 栅介质与沟道界面处也能形成双电层电容 $2.7 \mu\text{F}/\text{cm}^2$ ^[14], 本文中形成的大电容, 是由于 P 的掺入, 栅介质中含有 P^{3+} , 空气中的 H_2O 分子能渗透到这种疏松的孔隙栅介质结构中

(如图 2 所示), 与 P^{3+} 结合形成 H_3PO_3 , 相对于传统的 SiO_2 栅介质, 它会产生更多的 H^+ ; 并且 P 的掺入, 会使 $\text{Si}-\text{OH}^+-\text{Si}$ 的键能变弱, 因而质子导电性增强^[15]. 从图 2 可以看出, 这种 P 掺杂 SiO_2 栅介质具有疏松、柱状的排列结构, 其间存在很多孔隙, 正是由于具有这种疏松的孔隙结构, 当给栅极外加正向偏压时, H^+ 通过柱状阵列的间隙向栅介质和沟道层表面移动, 在沟道层内产生大量的相反电荷, 形成双电层, 从而获得大电容.

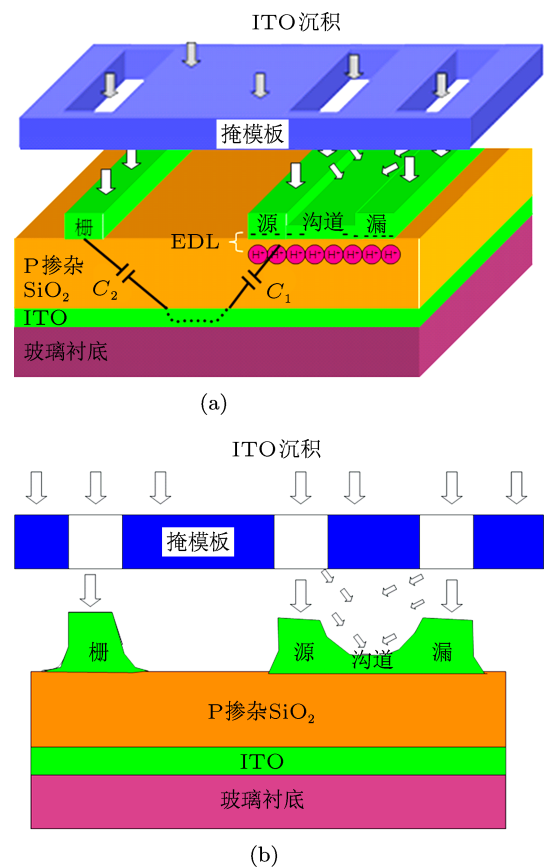


图 1 (a) 器件结构示意图; (b) ITO 沉积过程示意图

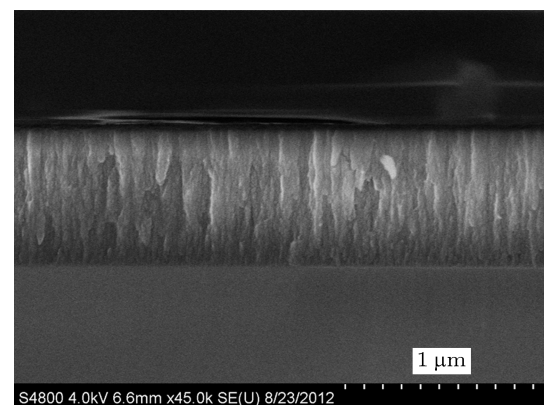


图 2 P 掺杂 SiO_2 扫描电镜图

为了更清楚地阐明这种 P 掺杂 SiO_2 栅介质在不同频率区间对晶体管的作用, 本文用相位角来进一步分析. 当其相位角为 -90° 时是理想的电容器, 相位角为 0° 时是理想的电阻器^[16], 因此, 从图 3(a) 可以看出, 在高频 ($f > 300 \text{ kHz}$, $\theta(f) > -45^\circ$) 时, 其相位角曲线表现出更多的电阻特性, 而在低频 ($f < 300 \text{ kHz}$, $\theta(f) < -45^\circ$) 时, 表现出电容特性. 不同的相位角区间代表着不同的极化机理, 高频 ($f > 300 \text{ kHz}$, $\theta(f) > -45^\circ$) 区间, 由于没有足够的响应时间, 仅仅有极少部分的可移动离子在表面聚集, 主要的极化机理是形成离子弛豫; 而低频 ($f < 300 \text{ kHz}$, $\theta(f) < -45^\circ$) 区间, 可移动的离子有足够的时间从栅介质内部分离运动到表面, 大量离子在表面聚集, 因而, 主要极化机理是双电层的形成^[4,17]. 所以, 这种 P 掺杂 SiO_2 栅介质在低频区间能形成超大电容 ($8 \mu\text{F}/\text{cm}^2$).

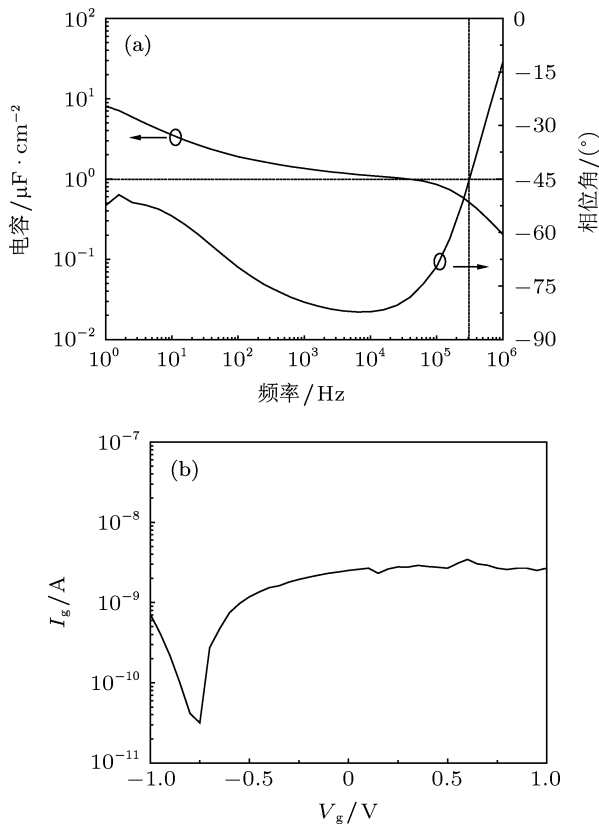


图 3 (a) 电容和相位角随频率变化的曲线; (b) P 掺杂 SiO_2 栅介质漏电流曲线

图 3(b) 为 P 掺杂 SiO_2 栅介质漏电流曲线. 1 V 偏压下漏电流约为 3 nA, 远远小于聚合物电解质的漏电流 ($\sim 0.1 \mu\text{A}$)^[9-11]. 所得的漏电流比沟道电流小 5 个数量级, 这就表明 P 掺杂 SiO_2 栅介质没有明显的电化学现象, 离子电流也很小, 具有较好的

绝缘特性, 能够保证器件的正常工作而不受栅漏电流的影响^[13,16].

图 4(a) 是该器件的输出特性曲线 ($I_{\text{ds}}-V_{\text{ds}}$). V_{ds} 由 0 V 扫描至 1 V, 同时, V_{gs} 由 0 V 扫描至 1 V, 每次增加 0.2 V. 由图 4(a) 可知, 较高的 V_{ds} 下器件显示出了良好的电流饱和特性, 而在较低 V_{ds} 下 I_{ds} 也具有很好的线性特性, 器件具有良好的欧姆接触, 在偏压 $V_{\text{ds}} = 1 \text{ V}$ 和 $V_{\text{gs}} = 1 \text{ V}$ 下具有较高的饱和电流 ($\sim 200 \mu\text{A}$). 由于 P 掺杂 SiO_2 栅介质和沟道界面处的双电层效应, 形成了较大电容, 所以本器件显示出了超低的工作电压 1 V.

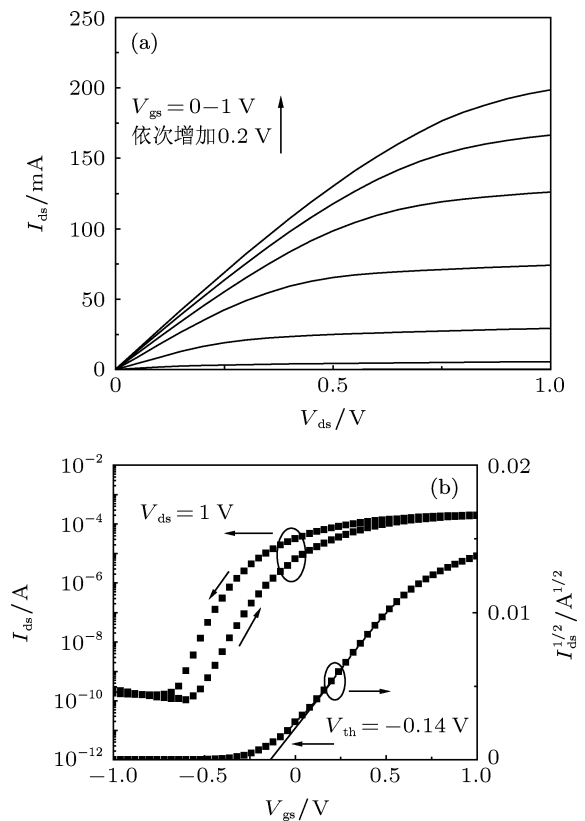


图 4 (a) 该器件的 $I_{\text{ds}}-V_{\text{ds}}$ 输出特性曲线; (b) 该器件的 $I_{\text{ds}}-V_{\text{gs}}$ 转移特性曲线, 以及 $V_{\text{ds}} = 1 \text{ V}$ 下对应的 $I_{\text{ds}}^{1/2}-V_{\text{gs}}$ 曲线

图 4(b) 是该器件的转移特性曲线 ($I_{\text{ds}}-V_{\text{gs}}$). V_{ds} 为 1 V, 栅压 V_{gs} 由 -1 V 扫描至 1 V. 由图 4(b) 可知, 器件的回滞较小, 较高的开关电流比 1.1×10^6 , 亚阈值斜率可由公式 $S = \frac{dV_g}{d(\log_{10} I_{\text{ds}})}$ 经过计算得到 82 mV/dec, 器件的阈值电压可以通过 $I_{\text{ds}}^{1/2}-V_{\text{gs}}$ 曲线的切线在 X 轴的截距得到, V_{th} 为 -0.14 V, 因而饱和区 ($V_{\text{ds}} > V_{\text{gs}} - V_{\text{th}}$) 场效应迁移率可以根据以下公式获得:

$$I_{\text{ds}} = \frac{\mu_{\text{FE}} C_i W}{2L} (V_{\text{gs}} - V_{\text{th}})^2.$$

上式中 L 为沟道长度 $80\text{ }\mu\text{m}$, W 为沟道宽度 $1000\text{ }\mu\text{m}$, C_i 为 P 掺杂 SiO_2 栅介质单位面积电容. 通过计算可得, 饱和区场效应迁移率 μ_{FE} 约为 $18.35\text{ cm}^2/\text{V}\cdot\text{s}$.

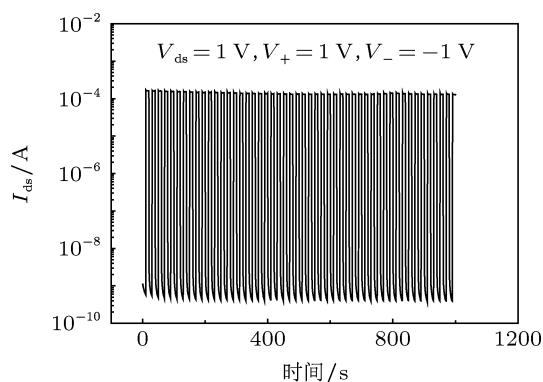


图5 该器件的脉冲响应曲线

图5为该器件的脉冲响应图. 在 V_{ds} 外加电压 1 V , V_{g} 外加 -1 V 和 1 V 的脉冲测试信号下, 没有明显的电流损失, 并且维持稳定的开关电流比, 这

表明 ITO 沟道层和这种颗粒膜 P 掺杂 SiO_2 栅介质之间没有明显的电化学掺杂发生^[14], 器件显示出了较好的稳定性.

4 结 论

采用 P 掺杂 SiO_2 作为栅介质, 应用于侧栅结构的薄膜晶体管中, 在栅极外加正压情况下, 具有更多的 H^+ 等可移动离子移动到栅介质绝缘层的上表面与沟道感应电子形成极强双电层效应, 获得大电容 ($8\text{ }\mu\text{F}/\text{cm}^2$). 使该器件具有超低的工作电压 1 V , 小的亚阈值摆幅 $82\text{ mV}/\text{dec}$ 、高的迁移率 $18.35\text{ cm}^2/\text{V}\cdot\text{s}$ 和大的开关电流比 1.1×10^6 . 并且采用独特的侧栅结构, 在射频磁控溅射过程中, 利用一步掩膜法, 就可同时沉积出 ITO 源、漏、栅电极和沟道, 因而极大的简化了制备流程, 降低了工艺成本. 因此, 这种 P 掺杂 SiO_2 侧栅结构薄膜晶体管在未来的低功耗电子器件及新型传感器领域的应用中都极具前景.

- [1] Draghici M, Diaconescu D, Melnikov A, Wieck A D 2010 *Phys. Status Solidi A* **207** 229
- [2] Chung T H, Chen S H, Liao W H, Lin S Y 2010 *IEEE Electron Device Lett.* **31** 1227
- [3] Colinge J P, Lee C W, Afzalain A, Akhavan N D, Yan R, Ferain I, Razavi P, O'Neill B, Blake A, White M, Kelleher A M, McCarthy B, Murphy R 2010 *Nat. Nanotechnol.* **5** 225
- [4] Zhao K S, Xuan R J, Han X, Zhang G M 2012 *Acta Phys. Sin.* **61** 197201 (in Chinese) [赵孔胜, 轩瑞杰, 韩笑, 张耕铭 2012 物理学报 **61** 197201]
- [5] Jiang J, Sun J, Dou W, Zhou B, Wan Q 2011 *Appl. Phys. Lett.* **98** 113507
- [6] Raval H N, Tiwari S P, Navan R R, Mhaisalkar, Rao V R 2009 *IEEE Electron Device Lett.* **30** 484
- [7] Kim J B, Fuentes H C, Kippelen B 2008 *Appl. Phys. Lett.* **93** 242111
- [8] Wang G M, Moses D, Heeger A J 2004 *J. Appl. Phys.* **95** 316
- [9] Larsson O, Said E, Berggren M, Crispin X 2009 *Adv. Funct. Mater.* **19** 3334
- [10] Cho J H, Lee J, He Y, Kim B, Lodge P T, Frisbie C D 2008 *Adv. Mater.* **20** 686
- [11] Liu Y R, Chen W, Liao R 2010 *Acta Phys. Sin.* **59** 8088 (in Chinese) [刘玉荣, 陈伟, 廖荣 2010 物理学报 **59** 8088]
- [12] Sun J, Liu H X, Jiang J, Lu A X, Wan Q 2010 *J. Mater. Chem.* **20** 8010
- [13] Lu A X, Sun J, Jiang J, Wan Q 2009 *Appl. Phys. Lett.* **95** 222905
- [14] Jiang J, Sun J, Zhou B, Lu A X, Wan Q 2010 *IEEE Electron Device Lett.* **31** 1263
- [15] Jiang J, Dai M Z, Sun J, Zhou B, Lu A X, Wan Q 2011 *Appl. Phys. Lett.* **109** 054501
- [16] Jiang J, Sun J, Lu A X, Wan Q 2011 *IEEE Electron Device Lett.* **58** 547
- [17] Wee G, Larsson O, Srinivasan M, Berggren M, Crispin X, Mhaisalkar S 2010 *Adv. Funct. Mater.* **20** 4344

Ultralow-voltage in-plane-gate indium-tin-oxide thin-film transistors made of P-doped SiO₂ dielectrics*

Zhu De-Ming¹⁾²⁾ Men Chuan-Ling^{1)†} Cao Min¹⁾ Wu Guo-Dong²⁾

1) (School of energy and power engineering, University of Shanghai for Science and Technology, Shanghai 200093, China)

2) (Ningbo Institute of Materials Technology and Engineering, Chinese Academy of Sciences, Ningbo 315201, China)

(Received 9 November 2012; revised manuscript received 3 February 2013)

Abstract

A new kind of indium-tin-oxide thin-film transistors made of P-doped SiO₂ dielectrics in an in-plane-gate structure is fabricated at room temperature. Indium-tin-oxide (ITO) channel and ITO electrodes (gate, source, and drain) can be deposited simultaneously without precise photolithography and alignment process by using only one nickel shadow mask. So the thin film transistors (TFTs) have a lot of advantages, such as the simple device process, low cost etc. Such TFTs exhibit a good performance at an ultralow operation voltage of 1 V, a high field-effect mobility of 18.35 cm²/Vs, a small subthreshold swing of 82 mV/decade, and a large on-off ratio of 1.1×10^6 , because of the huge electric-double-layer (EDL) capacitance (8 $\mu\text{F}/\text{cm}^2$) between the interface of P-doped SiO₂ dielectrics and ITO channel. So the TFTs are very promising for the application of low-power and portable electronic products and sensors in the future.

Keywords: P-doped SiO₂ dielectric, in-plane-gate thin-film transistors, electric-double-layer (EDL), ultralow operation voltage

PACS: 73.61.Jc, 73.40.Mr, 73.90.+f

DOI: 10.7498/aps.62.117305

* Project supported by the Natural Science Foundation of Zhejiang Pprovince, China (Grant No. 0804201051).

† Corresponding author. E-mail: zhudeming19900312@126.com