

高 k 栅介质小尺寸全耗尽绝缘体上锗 p 型金属氧化物半导体场效应晶体管漏源电流模型

白玉蓉 徐静平 刘璐 范敏敏 黄勇 程智翔

Modeling on drain current of high- k gate dielectric fully-depleted nanoscale germanium-on-insulator p-channel metal-oxide-semiconductor field-effect transistor

Bai Yu-Rong Xu Jing-Ping Liu Lu Fan Min-Min Huang Yong Cheng Zhi-Xiang

引用信息 Citation: Acta Physica Sinica 63, 237304 (2014) DOI: 10.7498/aps.63.237304

在线阅读 View online: <http://dx.doi.org/10.7498/aps.63.237304>

当期内容 View Table of Contents: <http://wulixb.iphy.ac.cn/CN/volumn/home.shtml>

您可能感兴趣的其他文章

Articles you may be interested in

高 k 栅介质 GeOI 金属氧化物半导体场效应管阈值电压和亚阈斜率模型及其器件结构设计

范敏敏, 徐静平, 刘璐, 白玉蓉, 黄勇

2014, 63(8): 087301. 全文: [PDF](#) (385KB)

柔性有机非易失性场效应晶体管存储器的研究进展

柴玉华, 郭玉秀, 卞伟, 李雯, 杨涛, 仪明东, 范曲立, 解令海, 黄维

2014, 63(2): 027302. 全文: [PDF](#) (8557KB)

功率 MOSFET 的负偏置温度不稳定性效应中的平衡现象

张月, 卓青青, 刘红侠, 马晓华, 郝跃

2013, 62(16): 167305. 全文: [PDF](#) (357KB)

氮氟复合注入对注氧隔离 SOI 材料埋氧层内固定正电荷密度的影响

张百强, 郑中山, 于芳, 宁瑾, 唐海马, 杨志安

2013, 62(11): 117303. 全文: [PDF](#) (388KB)

柔性有机场效应晶体管研究进展

董京, 柴玉华, 赵跃智, 石巍巍, 郭玉秀, 仪明东, 解令海, 黄维

2013, 62(4): 047301. 全文: [PDF](#) (13073KB)

高 k 栅介质小尺寸全耗尽绝缘体上锗p型金属氧化物半导体场效应晶体管漏源电流模型*

白玉蓉 徐静平[†] 刘璐 范敏敏 黄勇 程智翔

(华中科技大学光学与电子信息学院, 武汉 430074)

(2014年6月30日收到; 2014年8月1日收到修改稿)

通过求解沟道的二维泊松方程得到沟道表面势和沟道反型层电荷, 建立了高 k 栅介质小尺寸绝缘体上锗(GeOI) p型金属氧化物半导体场效应晶体管(PMOSFET)的漏源电流解析模型. 模型包括了速度饱和效应、迁移率调制效应和沟长调制效应, 同时考虑了栅氧化层和埋氧层与沟道界面处的界面陷阱电荷、氧化层固定电荷对漏源电流的影响. 在饱和区和非饱和区, 漏源电流模拟结果与实验数据符合得较好, 证实了模型的正确性和实用性. 利用建立的漏源电流模型模拟分析了器件主要结构和物理参数对跨导、漏导、截止频率和电压增益的影响, 对GeOI PMOSFET的设计具有一定的指导作用.

关键词: 绝缘体上锗p型金属氧化物半导体场效应晶体管, 漏源电流模型, 跨导, 截止频率

PACS: 73.40.Qv, 85.30.De

DOI: 10.7498/aps.63.237304

1 引言

随着互补金属氧化物半导体集成电路集成度的不断提高, 金属氧化物半导体器件的特征尺寸已经进入到纳米量级, 并逐渐接近其物理极限. 高 k 栅介质的使用在降低氧化层隧穿效应的同时却引起沟道载流子迁移率的下降, 导致器件驱动能力降低. 因此, 需要采用更高迁移率的沟道材料和新的器件结构来提高器件的综合性能^[1-5]. Ge作为一种高迁移率沟道材料近几年已成为人们研究的热点之一. 然而, 由于Ge的高介电常数使其更容易受短沟道效应的影响, 因此具有埋氧层的超薄绝缘体上锗(germanium-on-insulator, GeOI)金属氧化物半导体场效应晶体管(MOSFET)被提出来改善器件的静电完整性^[6-9]. 目前已经有研究者对绝缘体上硅(silicon-on-insulator, SOI)和GeOI的电性能进行了模拟分析: Lime等^[10]对双栅SOI MOSFET漏源电流模型进行了研究, 但只是考虑了长沟道的一维器件模型; Ritzenthaler等^[11]指出

了埋氧层和沟道界面态密度对器件性能的重要性, 但未能考虑短沟道引起的二阶效应; Zhang等^[12]提出了二维漏源电流模型, 全面分析了栅氧化层和埋氧层对沟道表面势的影响, 但未考虑沟道迁移率的退化机理. 基于这些情况, 本文以高 k 栅介质GeOI PMOSFET为研究对象, 通过考虑栅氧化层和埋氧层与沟道界面处的界面陷阱电荷、氧化层固定电荷对漏源电流的影响, 对沟道表面势解二维泊松方程, 求得反型层电荷, 同时考虑速度饱和效应、迁移率调制效应和沟长调制效应等建立了漏源电流解析模型. 模拟结果与实验数据符合良好. 利用此模型对GeOI PMOSFET的漏源电流和其他相关电特性进行了模拟分析, 讨论了器件主要结构和物理参数对器件电性能的影响.

2 器件结构与漏源电流模型

图1为高 k 栅介质GeOI PMOSFET的结构示意图, 栅电极为TiN, 栅介质为HfO₂, 其厚度为 t_{fox} ,

* 国家自然科学基金(批准号: 61274112)资助的课题.

[†] 通讯作者. E-mail: jpxu@mail.hust.edu.cn

介电常数为 ϵ_{fox} , 埋氧层为 SiO_2 , 其厚度为 t_{box} , 沟道厚度为 t_{ch} , 沟道长度为 L_g , 沟道掺杂浓度为 N_D , 源漏掺杂浓度为 N_{SD} .

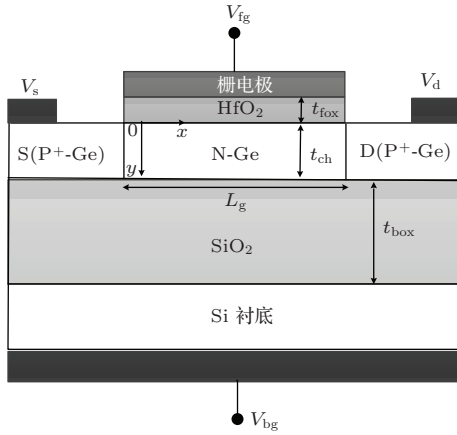


图1 GeOI PMOSFET 结构示意图

2.1 表面势和反型层电荷的计算

为了计算漏源电流, 需求出沟道表面势和反型层电荷. 对于全耗尽 GeOI PMOSFET, 令沟道电势为 $\phi(x, y)$, 则沟道区的二维泊松方程可表示为

$$\nabla^2 \phi(x, y) = -\frac{q}{\epsilon_{\text{Ge}} \epsilon_0} (P + N_D), \quad (1)$$

其中, p 为沟道反型空穴浓度, ϵ_{Ge} 为 Ge 的相对介电常数, ϵ_0 为真空介电常数.

在 y 方向, 沟道区的电势近似服从平方分布^[13]:

$$\phi(x, y) = \phi_{\text{fs}}(x) + D_1(x)y + D_2(x)y^2, \quad (2)$$

其中, $\phi_{\text{fs}}(x)$ 是前沟道表面势, $D_1(x)$ 和 $D_2(x)$ 是只与 x 有关的函数. 方程 (1) 的边界条件如下:

$$\begin{cases} \phi_{\text{fs}}(0) = -V_{\text{bi}}, \\ \phi_{\text{fs}}(L) = -V_{\text{bi}} + V_{\text{ds}}, \\ -C_{\text{fox}}[V_{\text{fg}} - V_{\text{fbf}} - \phi_{\text{fs}}(x)] \\ = \epsilon_{\text{Ge}} \epsilon_0 \frac{\partial \phi(x, y)}{\partial y} \Big|_{y=0}, \\ C_{\text{box}}[V_{\text{bg}} - V_{\text{fbb}} - \phi_{\text{bs}}(x)] \\ = \epsilon_{\text{Ge}} \epsilon_0 \frac{\partial \phi(x, y)}{\partial y} \Big|_{y=t_{\text{Ge}}}, \end{cases} \quad (3)$$

其中, V_{bi} 为内建电势; V_{ds} 为漏源电压; $\phi_{\text{bs}}(x)$ 为背沟道表面势; V_{fbf} 和 V_{fbb} 分别为前栅和背栅的平带电压, 可表示为

$$\begin{cases} V_{\text{fbf}} = \phi_{\text{msf}} - (Q_{\text{itf}} + Q_{\text{ff}})/C_{\text{fox}}, \\ V_{\text{fbb}} = \phi_{\text{msb}} - (Q_{\text{itb}} + Q_{\text{fb}})/C_{\text{box}}, \end{cases} \quad (4)$$

其中, ϕ_{msb} 和 ϕ_{msf} 分别为前栅和背栅与沟道 Ge 的功函数差, Q_{ff} 和 Q_{fb} 分别为栅氧层和埋氧层的固定氧化层电荷, Q_{itf} 和 Q_{itb} 分别为前界面和背界面的界面陷阱电荷,

$$\begin{cases} Q_{\text{itf}} = qD_{\text{itf}}\{\phi_{\text{fs}}(x) - \phi_{\text{f}}\}, \\ Q_{\text{itb}} = qD_{\text{itb}}\{\phi_{\text{bs}}(x) - \phi_{\text{f}}\}, \end{cases} \quad (5)$$

其中, ϕ_{f} 为 Ge 沟道的费米势, D_{itf} 和 D_{itb} 分别为前界面和背界面的界面陷阱密度.

利用边界条件 (3), 可以求出 $D_1(x)$ 和 $D_2(x)$:

$$\begin{cases} D_1(x) = (-C_{\text{fox}}/\epsilon_{\text{Ge}})[V'_{\text{fg}} - F_{\text{f}}\phi_{\text{fs}}(x)], \\ D_2(x) = \frac{[F_2 - F_3\phi_{\text{fs}}(x)]}{2t_{\text{Ge}}\epsilon_{\text{Ge}}\epsilon_0 F_1}, \end{cases} \quad (6)$$

其中,

$$\begin{cases} V'_{\text{fg}} = V_{\text{fg}} - \phi_{\text{msf}} + (Q_{\text{ff}} - qD_{\text{itf}})/C_{\text{fox}}, \\ F_{\text{f}} = 1 - qD_{\text{itf}}/C_{\text{fox}}, \\ V'_{\text{bg}} = V_{\text{bg}} - \phi_{\text{msb}} + \frac{(Q_{\text{fb}} - qD_{\text{itb}}\phi_{\text{f}})}{C_{\text{box}}}, \\ F_{\text{b}} = 1 - qD_{\text{itb}}/C_{\text{box}}, \\ F_1 = 1 + F_{\text{b}}C_{\text{box}}t_{\text{Ge}}/(2\epsilon_{\text{Ge}}\epsilon_0), \\ F_2 = C_{\text{box}}V'_{\text{bg}} + C_{\text{fox}}V'_{\text{fg}} \\ \quad \times [1 + F_{\text{b}}C_{\text{box}}C_{\text{fox}}t_{\text{Ge}}/(2\epsilon_{\text{Ge}}\epsilon_0)], \\ F_3 = F_{\text{b}}C_{\text{box}} + F_{\text{f}}C_{\text{fox}} \\ \quad \times [1 + F_{\text{b}}F_{\text{f}}C_{\text{box}}t_{\text{Ge}}/(\epsilon_{\text{Ge}}\epsilon_0)]. \end{cases} \quad (7)$$

根据高斯定律, 反型层电荷 Q_{inv} 可以写成^[14]:

$$Q_{\text{inv}}(x) = -\epsilon_{\text{Ge}}\epsilon_0[E_{\text{fs}}(x) - E_{\text{bs}}(x)], \quad (8)$$

其中, $E_{\text{fs}}(x)$ 和 $E_{\text{bs}}(x)$ 分别为前界面和背界面处的电场, 可以由 (2) 式得到

$$\begin{cases} E_{\text{fs}}(x) = -\frac{\partial \phi(x, y)}{\partial y} \Big|_{y=0} = -D_1(x), \\ E_{\text{bs}}(x) = -\frac{\partial \phi(x, y)}{\partial y} \Big|_{y=t_{\text{Ge}}} \\ = -D_1(x) - 2D_2(x)t_{\text{Ge}}. \end{cases} \quad (9)$$

将 (6) 和 (9) 式代入 (8) 式可以求得反型层电荷 Q_{inv} :

$$Q_{\text{inv}}(x) = \sigma_2\phi_{\text{fs}}(x) - \sigma_1, \quad (10)$$

其中, $\sigma_1 = F_2/F_1$, $\sigma_2 = F_3/F_1$. 根据

$$p = Q_{\text{inv}}(x)/(t_{\text{Ge}}q),$$

将 (2) 和 (10) 式代入 (1) 式, 化简得到

$$\frac{\partial^2 \phi_{\text{fs}}(x)}{\partial x^2} - \alpha\phi_{\text{fs}}(x) + \beta = 0, \quad (11)$$

其中,

$$\alpha = F_3 F_4, \quad \beta = F_2 F_4 + \frac{q N_D}{\varepsilon_{\text{Ge}} \varepsilon_0},$$

$$F_4 = \frac{1}{F_1 t_{\text{Ge}} \varepsilon_{\text{Ge}} \varepsilon_0}.$$

利用边界条件 (3) 解 (11) 式, 得到前沟道表面势

$$\phi_{\text{fs}}(x) = A e^{-\lambda x} + B e^{\lambda x} + C \quad (0 \leq x \leq L_g), \quad (12)$$

其中,

$$\lambda = \sqrt{\alpha}, \quad C = \beta/\alpha,$$

$$A = -V_{\text{bi}} - C - B,$$

$$B = \frac{(V_{\text{bi}} + C)(1 - e^{\lambda L_g}) + V_{\text{ds}} e^{\lambda L_g}}{e^{2\lambda L_g} - 1}.$$

2.2 漏源电流的计算

可利用上面求得的反型层电荷沿沟道的分布来计算小尺寸全耗尽 GeOI PMOSFET 的漏源电流:

$$I_{\text{ds}} = \mu_{\text{eff}} W Q_{\text{inv}}(x) \frac{dV_f(x)}{dx}, \quad (13)$$

其中, $V_f(x)$ 是源端电压为 0 V 时的沟道电势分布函数, 假设其沿沟道长度线性增加, 到达漏端时的电压为 V_{ds} ; μ_{eff} 为空穴有效迁移率, 采用经典模型可表示为

$$\mu_{\text{eff}} = \frac{\mu_0}{1 + a(E_{\text{eff}}/E_0)^b}, \quad (14)$$

其中, μ_0 为低场载流子迁移率; b 和 E_0 为拟合参数, 而 a 为本模型增加的拟合系数; E_{eff} 为垂直沟道有效电场,

$$E_{\text{eff}} = \frac{1}{\varepsilon_{\text{Ge}} \varepsilon_0} [(\sigma Q_{\text{inv}1} + q N_D t_{\text{Ge}}) - C_{\text{box}}(V_{\text{fbb}} - V_{\text{bg}})], \quad (15)$$

其中, $Q_{\text{inv}1}$ 为反型层电荷沿整个沟道的平均电荷; σ 为拟合参数, 拟合值为 0.41 [15].

对 (13) 式两边分别求积分, 得到

$$\int_0^{L_g} I_{\text{ds}} dx = \mu_{\text{eff}} W \int_0^{V_{\text{ds}}} Q_{\text{inv}}(x) dV_f(x). \quad (16)$$

将 (10) 式代入 (16) 式, 求解得到非饱和区的漏源电流表达式:

$$I_{\text{ds}} = \mu_{\text{eff}} V_{\text{ds}} \frac{W}{L_g} \left\{ (\sigma_1 - \sigma_2 C) \right.$$

$$\left. - \frac{\eta^2}{\lambda L_g} [A(1 - e^{-\lambda L_g}) - B(1 - e^{\lambda L_g})] \right\}$$

$$(V_{\text{ds}} < V_{\text{dsat}}). \quad (17)$$

饱和区的漏源电流模型, 需考虑速度饱和效应和沟长调制效应 [16]. 考虑沟长调制效应, 实际的沟长修正为 $L_{\text{geff}} = L_g - \Delta L$, 其中

$$\left\{ \begin{aligned} \Delta L &= l_c a \sinh \left[\frac{(V_{\text{ds}} - V_{\text{dsat}})}{l_c E_{\text{sat}}} \right], \\ l_c &= t_{\text{Ge}} \sqrt{\frac{C_{\text{Ge}} K_2}{2 C_{\text{fox}} (1 + K_1)}}, \\ K_1 &= \frac{C_{\text{Ge}} C_{\text{box}}}{C_{\text{fox}} (C_{\text{Ge}} + C_{\text{box}})}, \\ K_2 &= 1 + \frac{C_{\text{Ge}}}{C_{\text{Ge}} + C_{\text{box}}}, \\ C_{\text{Ge}} &= \frac{\varepsilon_{\text{Ge}} \varepsilon_0}{t_{\text{Ge}}}, \\ V_{\text{dsat}} &= \frac{V_{\text{fg}} - V_{\text{th}}}{\delta}, \\ \delta &= 1 + \frac{V_{\text{fg}} - V_{\text{th}}}{E_{\text{sat}} L_g}, \\ E_{\text{sat}} &= \frac{v_{\text{sat}} E_{\text{eff}}}{v_{\text{sat}} - E_{\text{eff}} \mu_0}. \end{aligned} \right. \quad (18)$$

这里, l_c 为特征长度, V_{dsat} 为漏源饱和电压, V_{th} 为阈值电压, E_{sat} 为饱和电场, v_{sat} 为空穴饱和速度, 取值为 $6 \times 10^6 \text{ cm} \cdot \text{s}^{-1}$.

将 L_{geff} 代替 L_g , V_{dsat} 代替 V_{ds} , 并代入 (17) 式, 得到饱和区电流表达式:

$$I_{\text{dsat}} = \mu_{\text{eff}} V_{\text{dsat}} \frac{W}{L_{\text{geff}}} \left\{ (\sigma_1 - \sigma_2 C) \right.$$

$$\left. - \frac{\sigma_2}{\lambda L_{\text{geff}}} [A(1 - e^{-\lambda L_{\text{geff}}}) - B(1 - e^{\lambda L_{\text{geff}}})] \right\}$$

$$(V_{\text{ds}} \geq V_{\text{dsat}}). \quad (19)$$

3 结果与讨论

在模拟 GeOI PMOSFET 的漏源电流及相关电特性时, 取 $t_{\text{ch}} = 10 \text{ nm}$, $L_g = 30 \text{ nm}$, $t_{\text{fox}} = 6 \text{ nm}$, $\varepsilon_{\text{fox}} = 22$, $t_{\text{box}} = 200 \text{ nm}$, $N_D = 1 \times 10^{17} \text{ cm}^{-3}$, $N_{\text{SD}} = 5 \times 10^{19} \text{ cm}^{-3}$. 通过设置不同的漏源电压来模拟器件转移特性曲线. 图 2 为漏源电流模拟结果与实验数据 [17] 的比较. 从图 2 可以看到, 在饱和区 ($V_{\text{ds}} = -1 \text{ V}$) 和非饱和区 ($V_{\text{ds}} = -0.05 \text{ V}$), 模拟结果与实验数据均符合得较好, 证实了模型的正确性. 下面将利用此模型对 GeOI PMOSFET 的电性能进行分析讨论.

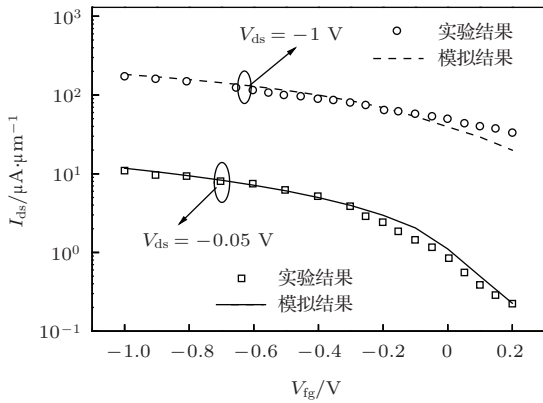


图2 GeOI PMOSFET漏源电流模拟结果与实验数据的比较

3.1 沟道表面势和漏源电流的模拟

沟道表面势的变化可反映出阈值电压和沟道反型层电荷密度的变化. 因此沟道表面势是分析器件性能的一个重要物理量. 图3所示为GeOI PMOSFET的沟道表面势沿沟道的变化, 其中模拟了 V_{ds} 和 V_{fg} 不同组合的情况. 从图3可以看出,

$|V_{fg}|$ 的增大 (V_{ds} 固定) 可增加沟道表面势 (绝对值, 下同), 而 $|V_{ds}|$ 的增加 (V_{fg} 固定), 不仅使得沟道表面势最小值升高, 而且还向源端移动. 从而, 两者共同作用的结果易导致源-沟道势垒的降低, 出现所谓的漏致势垒降低 (drain-induced barrier lowering) 效应, 引起漏源电流的增加.

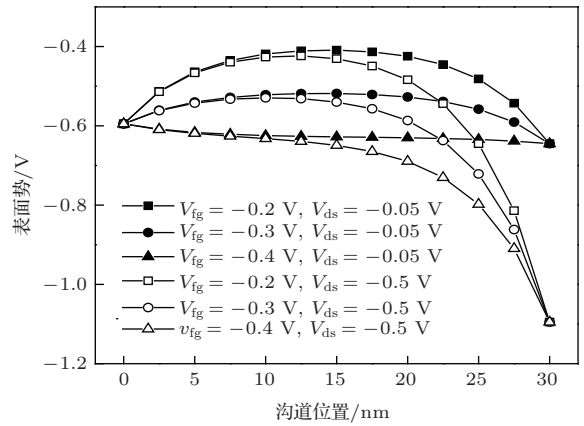


图3 沟道表面势沿沟道的变化

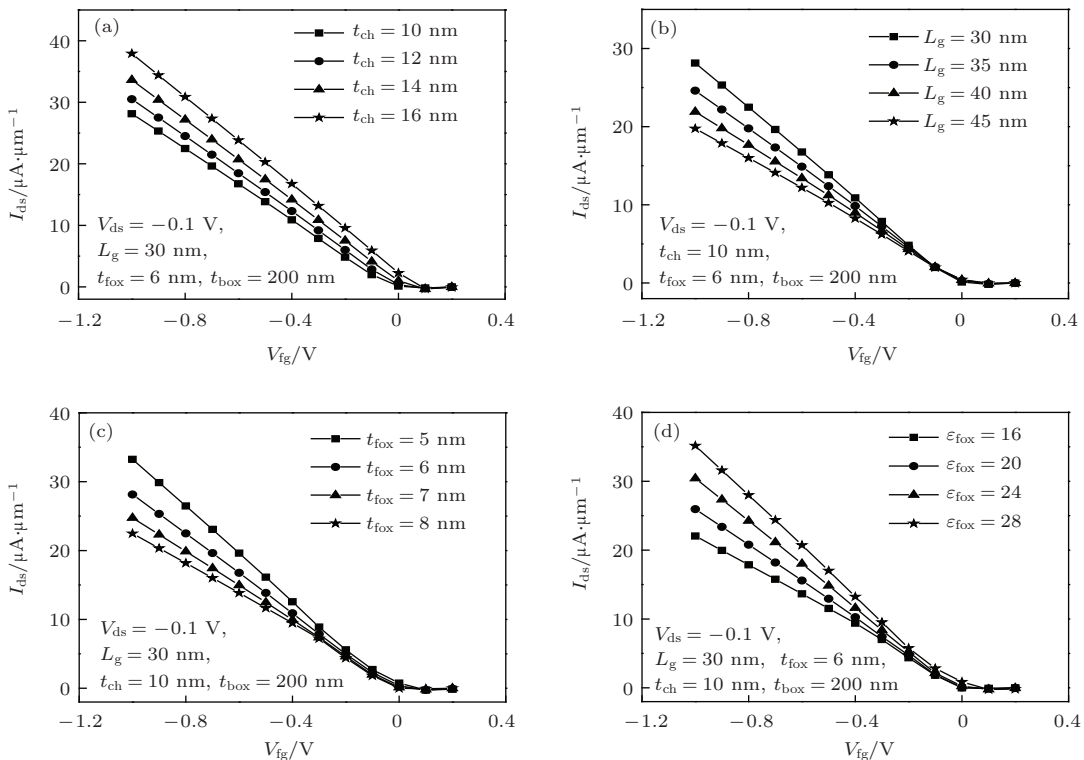


图4 不同结构和物理参数下的漏源电流 (a) t_{ch} ; (b) L_g ; (c) t_{fox} ; (d) ϵ_{fox}

不同结构和物理参数对器件转移特性的影响如图4所示. 从图4(a)可以看出, 随着沟道厚度的减小, 漏源电流减小. 这是因为Ge沟道越薄, 反型层载流子数越少, 漏源电流越小. 图4(b)反映了沟道

长度变化对沟道电流的影响, 沟道越短, 漏源电流越大, 这从(17)式是显而易见的. 从物理角度理解, 随着栅长的减小, 漏端电场明显增高^[18], 这将使得沟道表面势升高, 引起源-沟道势垒降低, 从源注入

到沟道的载流子增多,从而导致漏源电流变大.从图4(c)可以看出,随着栅氧化层厚度的减小,漏源电流增大.这是因为栅氧化层越薄,栅对沟道的控制能力越强,漏源电流越大.图4(d)是栅介质介电常数对漏源电流的影响,可见随着 ϵ_{fox} 的增加,漏源电流增大.这是因为栅介质物理厚度一定时,介电常数越大,栅电容越大,漏源电流越大.

3.2 其他主要电特性的模拟

除了驱动电流, MOSFET的其他电特性,例如跨导、漏导、截止频率和电压增益等也是器件设计时需考虑的重要因素,它们与器件结构和物理参数密切相关.图5—图8分别给出了不同结构和物理参数下跨导、漏导、截止频率和电压增益的模拟结果.

1) 跨 导

跨导是MOSFET重要的交流小信号参数,大的跨导意味着强的电流驱动能力.图5给出了不同结构和物理参数下跨导 g_m 的模拟结果.从图5可以看出,当 $|V_{\text{fg}}|$ 较小时,跨导随 $|V_{\text{fg}}|$ 的增加而迅速

增大,当 $|V_{\text{fg}}|$ 增大到一定值时,跨导达到最大,而后随 $|V_{\text{fg}}|$ 的继续增加而下降.跨导的表达式为

$$g_m = \left. \frac{\partial I_{\text{ds}}}{\partial V_{\text{fg}}} \right|_{V_{\text{ds}}} = \mu_{\text{eff}} C_{\text{fox}} \frac{W}{L_g} (V_{\text{th}} - V_{\text{fg}}). \quad (20)$$

从表达式(20)可知,跨导随 $|V_{\text{fg}}|$ 的增加而增大,但同时界面处的电场也增加,使其对载流子的散射作用增强,迁移率下降[19].当 $|V_{\text{fg}}|$ 的增加和迁移率的下降相互抵消时,跨导达到最大,而后迁移率的下降变成影响跨导的主要因素.

图5(a)是沟道厚度对跨导的影响,可见,随沟道厚度的减小,跨导减小,这是因为随沟道厚度的减小,垂直电场增大,表面散射增强,载流子迁移率减小[20],故跨导减小.图5(b)是沟道长度对跨导的影响,随着沟道长度的减小,跨导增加,因为跨导与沟道长度成反比(见(20)式).图5(c)是栅氧化层厚度对跨导的影响.显然,随栅氧化层厚度的减小,栅对沟道的控制能力增强,进而导致跨导增大.图5(d)是栅氧化层介电常数对跨导的影响.可见,随着栅氧化层介电常数的增大(厚度一定),栅电容增加,漏源电流增大,所以跨导增大.

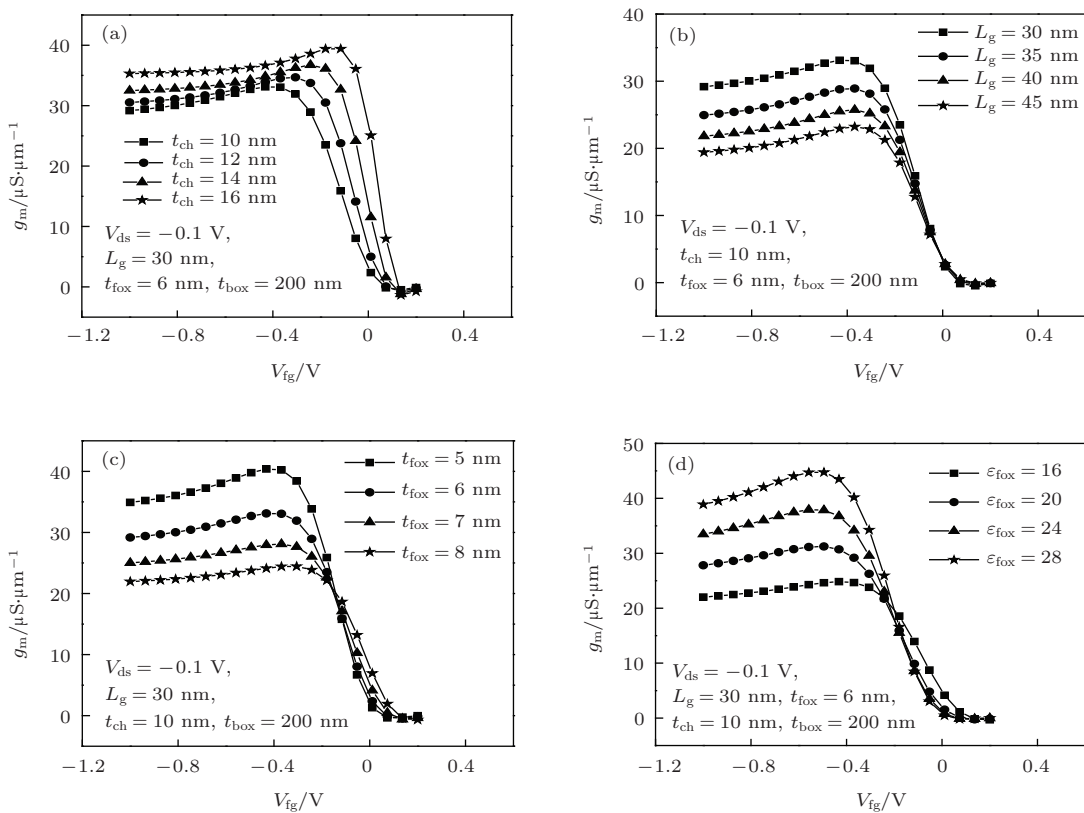


图5 不同结构和物理参数下的跨导 (a) t_{ch} ; (b) L_g ; (c) t_{fox} ; (d) ϵ_{fox}

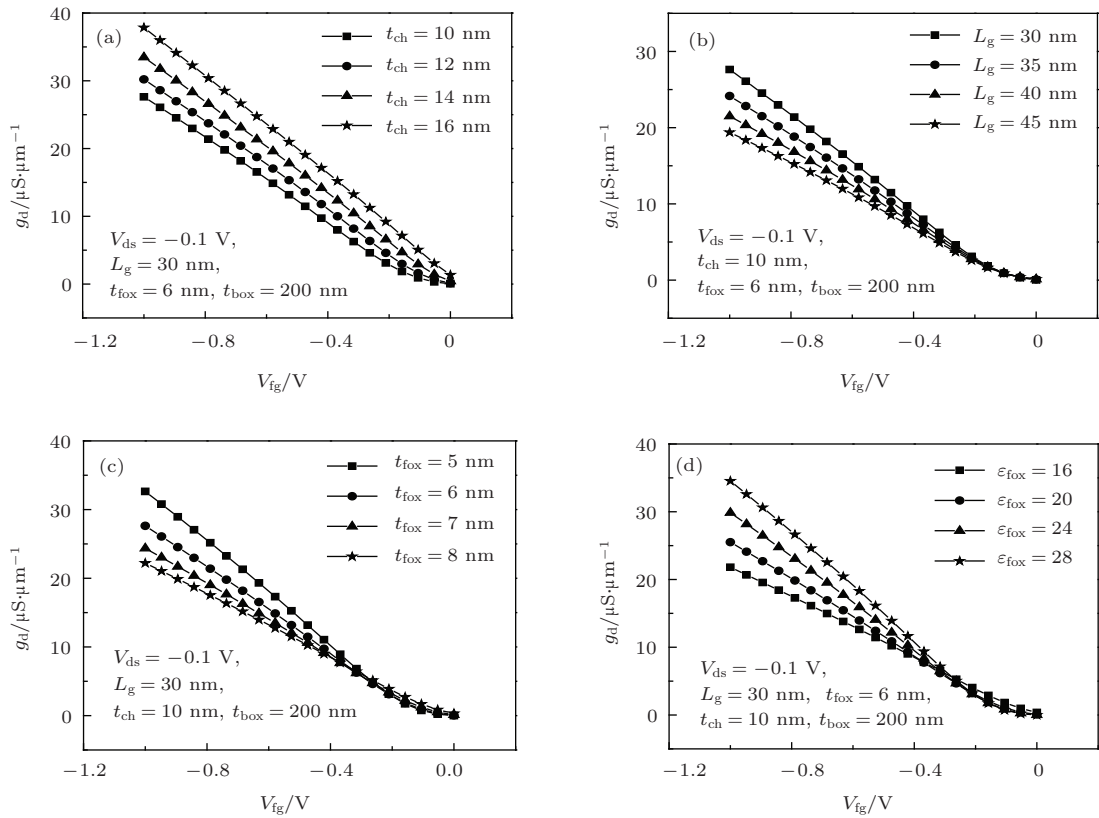


图6 不同结构和物理参数下的漏导 (a) t_{ch} ; (b) L_g ; (c) t_{fox} ; (d) ϵ_{fox}

2) 漏 导

漏导反映了漏源电压对漏源电流的控制能力. 图6给出了不同结构和物理参数下非饱和区漏导的模拟结果. 从图6可以看出, 随着 $|V_{fg}|$ 的减小, 漏导逐渐减小, 最后趋近于0. 漏导 g_d 的表达式为

$$g_d = \left. \frac{\partial I_{ds}}{\partial V_{ds}} \right|_{V_{fg}} = \mu_{eff} C_{fox} \frac{W}{L_g} (V_{th} - V_{fg} - V_{ds}). \quad (21)$$

图6(a)是沟道厚度对漏导的影响. 可见, 随沟道厚度的减小, 反型载流子数减少, 漏导减小. 图6(b)是沟道长度对漏导的影响, 随着沟道长度的减小, 漏导增大, 因为漏导与沟道长度成反比(见(21)式). 图6(c)是栅氧化层厚度对漏导的影响. 可见, 随着栅氧化层厚度的减小, 栅电容增加, 所以漏导增大. 图6(d)是栅氧化层介电常数对漏导的影响. 可见, 随栅氧化层介电常数的增大, 栅电容增加, 进而使得漏导增大.

3) 截止频率

截止频率是MOSFET共源电路输出交流短路下, 电流增益为1时所对应的频率. 晶体管的工作频率一般是截止频率的十分之一, 因此截止频率是用来描述晶体管工作速度的一个重要频率参数.

图7给出了不同结构和物理参数下截止频率的模拟结果. 从图7可以看出, f_T 随 $|V_{fg}|$ 的变化趋势与跨导相同, 这是因为截止频率正比于跨导, 即

$$f_T = \frac{g_m}{2\pi C_{fox}}. \quad (22)$$

图7(a)是沟道厚度对截止频率的影响. 可见, 随着沟道厚度的减小, 跨导减小, 截止频率减小, 图7(b)是沟道长度对截止频率的影响, 随着沟道长度的减小, 截止频率增大, 这是因为随沟道长度的减小, 跨导增大而栅氧化层电容减小[21], 图7(c)是栅氧化层厚度对截止频率的影响, 随着栅氧化层厚度的减小, 最大截止频率略有增大. 这是因为随栅氧化层厚度的减小, 跨导增大而分母中的栅氧化层电容同样也增大. 图7(d)是栅氧化层介电常数对截止频率的影响, 随着栅氧化层介电常数的增大, 跨导增加而栅氧化层电容也增加, 故最大截止频率只是略有增加. 由图7(c)和(d)可知, 氧化层厚度和介电常数对截止频率的影响在低 $|V_{fg}|$ 和高 $|V_{fg}|$ 下不同. 这是因为随着栅氧化层厚度的减小和介电常数的增大, 在低 $|V_{fg}|$ 下栅氧化层电容增加的幅度大于跨导, 在高 $|V_{fg}|$ 下跨导增加的幅度大于栅氧化层电容.

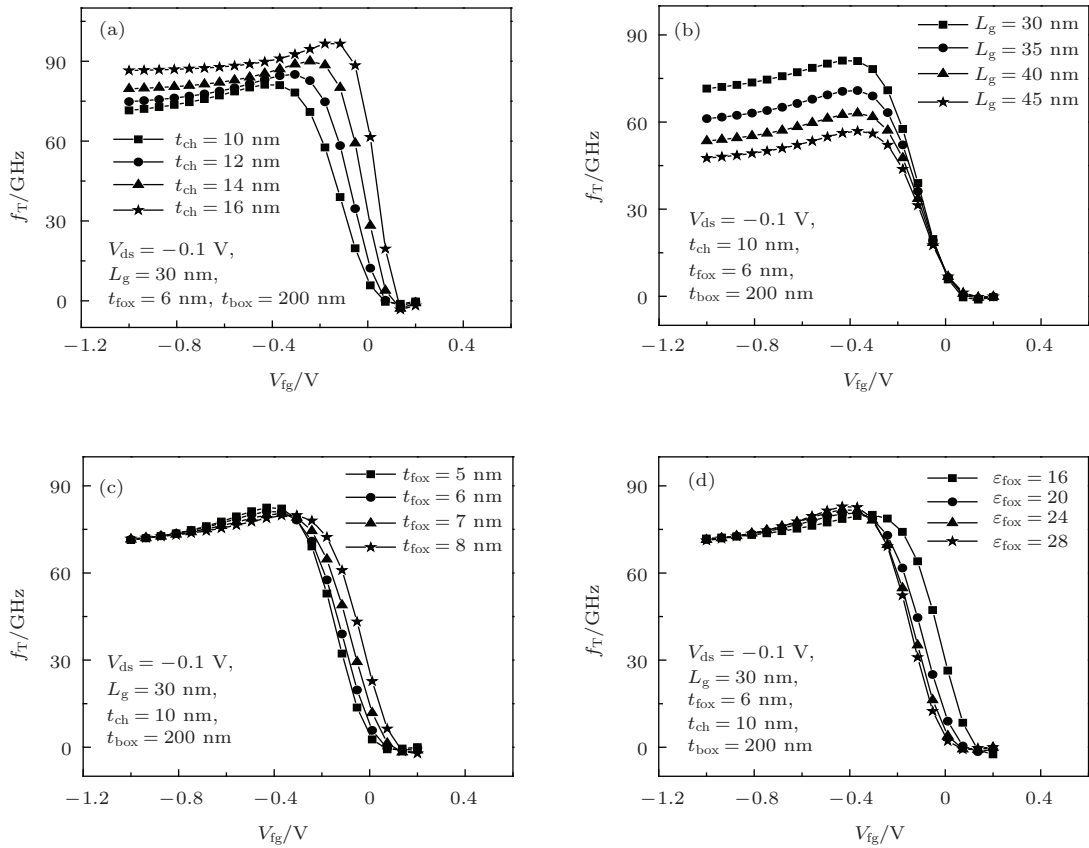


图7 不同结构和物理参数下的截止频率 (a) t_{ch} ; (b) L_g ; (c) t_{fox} ; (d) ϵ_{fox}

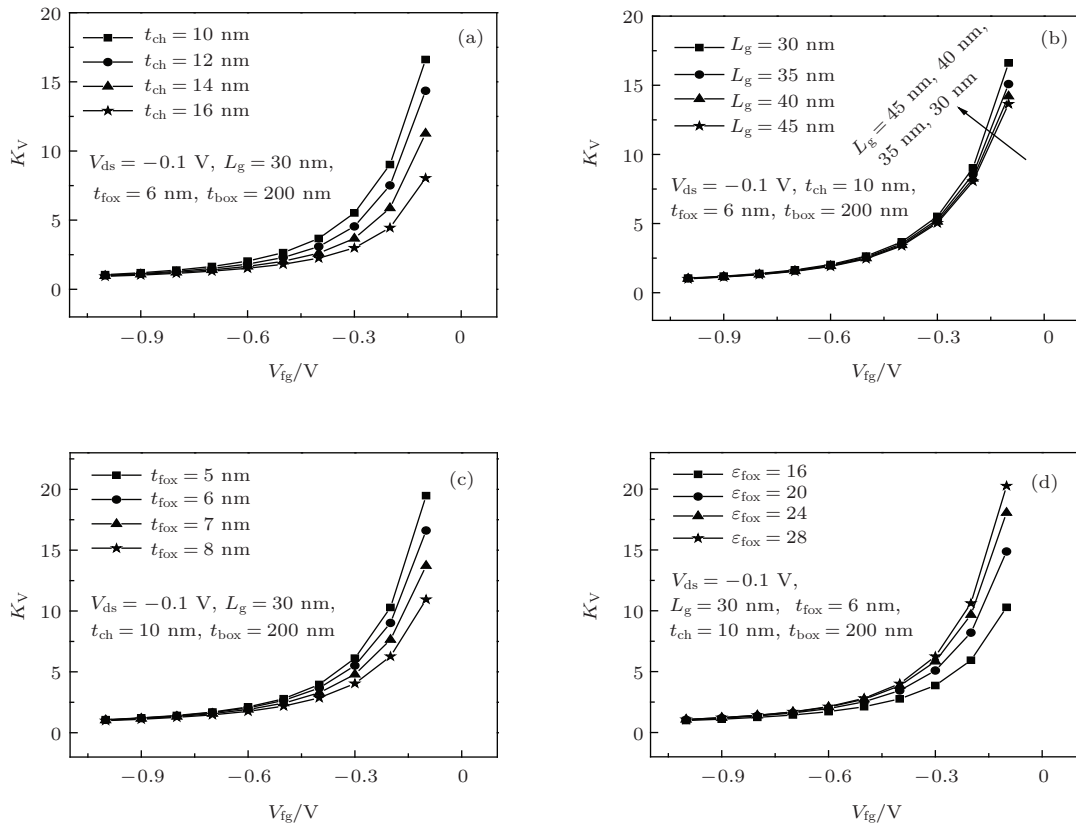


图8 不同结构和物理参数下的电压增益 (a) t_{ch} ; (b) L_g ; (c) t_{fox} ; (d) ϵ_{fox}

4) 电压增益

在一定漏源电流下,漏源电压微分与栅源电压微分之比为电压增益 K_V ,它表征输入电压对输出电压的控制作用.

$$K_V = - \left. \frac{\partial V_{ds}}{\partial V_{gs}} \right|_{I_{ds}} = \frac{g_m}{g_d}. \quad (23)$$

图8给出了不同结构和物理参数下电压增益的模拟结果.从图8可以看出,随着 $|V_{fg}|$ 的减小,电压增益逐渐增大.由图5和图6可见,在 $|V_{fg}|$ 较小时, g_m 较大,但 g_d 很小,电压增益为两者比值(见(23)式),所以此时电压增益较大,随着 $|V_{fg}|$ 的增大, g_m 缓慢减小而 g_d 近似线性增加,因此电压增益逐渐减小.

从图8(a)可以看出,随沟道厚度的减小,电压增益增大.这是因为跨导随沟道厚度减小的幅度小于漏导.从图8(b)—(d)可以看出,随沟道长度的减小、栅氧化层厚度的减小以及栅氧化层介电常数的增大,电压增益增大.这些均是因为跨导随这些参数变化增加的幅度大于漏导.

从上面的讨论可知,为了得到大的漏源电流,需要设计较厚和较短的沟道以及具有较大介电常数的薄的栅氧化层.沟道厚度对跨导、漏导、截止频率和电压增益有着不同的影响,需考虑诸特性之间的折中合理选取,而沟道长度、栅介质厚度及其介电常数对跨导、漏导、截止频率和电压增益的影响是一致的,即采用较小的沟道长度、适中的沟道厚度,较薄的栅氧化层以及较大介电常数的栅介质,可使这些电特性得到明显改善.基于上述考虑,利用模型模拟分析得到,当选取 $L_g = 30 \text{ nm}$, $t_{ch} = 14 \text{ nm}$, $t_{fox} = 5 \text{ nm}$, $\epsilon_{fox} = 28$ 时,可获得好的电特性: $I_{ds} = 48.54 \mu\text{A}\cdot\mu\text{m}^{-1}$, $g_m = 57.14 \mu\text{S}\cdot\mu\text{m}^{-1}$, $g_d = 3.41 \mu\text{S}\cdot\mu\text{m}^{-1}$, $f_T = 91.70 \text{ GHz}$, $K_V = 16.78$.

4 结 论

本文通过求解二维泊松方程得到沟道反型层电荷密度,建立了高 k 栅介质小尺寸全耗尽 GeOI PMOSFET 的漏源电流模型.模型包括了速度饱和效应、迁移率调制效应和沟长调制效应.模型计算结果与实验数据符合良好,证实了模型的有效性.利用此模型分析讨论了高 k 栅介质 GeOI PMOSFET 在不同器件结构和物理参数下的电特性.结果表明,随着沟道厚度的增加,跨导、漏导和截止

频率均增加,而电压增益减小,因此,需合理选取沟道厚度,使诸特性之间获得折中,沟道长度、栅介质厚度及其介电常数对电特性的影响趋势相同,故设计合适厚度和短的沟道以及高介电常数的薄栅介质,以获得漏源电流、跨导、漏导、截止频率和电压增益的改善.如当 $L_g = 30 \text{ nm}$, $t_{ch} = 14 \text{ nm}$, $t_{fox} = 5 \text{ nm}$, $\epsilon_{fox} = 28$ 时,器件性能得到较好改善,即 $I_{ds} = 48.54 \mu\text{A}\cdot\mu\text{m}^{-1}$, $g_m = 57.14 \mu\text{S}\cdot\mu\text{m}^{-1}$, $g_d = 3.41 \mu\text{S}\cdot\mu\text{m}^{-1}$, $f_T = 91.70 \text{ GHz}$, $K_V = 16.78$,总之,须根据具体电路的应用要求来进行器件结构和物理参数的设计.

参考文献

- [1] Paussa A, Conzatti F, Breda D, Vermiglio R, Esseni D, Palestri P 2010 *IEEE Trans. Electron Dev.* **57** 3239
- [2] Zhang J, He J, Zhou X Y, Zhang L N, Ma Y T, Chen Q, Zhang X K, Yang Z 2012 *Chin. Phys. B* **21** 047303
- [3] Frank D J, Dennard R H, Nowak E, Solomon P M, Taur Y, Wong H S P 2001 *Proc. IEEE* **89** 259
- [4] Chen W B, Xu J P, Zou X, Li Y P, Xu S G, Hu Z F 2006 *Acta Phys. Sin.* **55** 5036 (in Chinese) [陈卫兵, 徐静平, 邹晓, 李艳萍, 许胜国, 胡致富 2006 物理学报 **55** 5036]
- [5] Zhao Y Y, Qi M, Wang W B, Wang M, Zhang B 2012 *Chin. Phys. B* **21** 018501
- [6] Hu V P H, Fan M L, Su P, Chuang C T 2011 *Low Power Electronics and Design International Symposium* Fukuoka, Japan, August 1–3, 2011 p115
- [7] Hu M J, Li C, Xu J F, Lai H K, Chen S Y 2011 *Acta Phys. Sin.* **60** 078102 (in Chinese) [胡美娇, 李成, 徐剑芳, 赖虹凯, 陈松岩 2011 物理学报 **60** 078102]
- [8] Kuzum D, Krishnamohan T, Nainani A, Sun Y, Pianetta P A, Wong H S P, Saraswat K C 2011 *IEEE Trans. Electron Dev.* **58** 59
- [9] Wu Y S, Hsieh H Y, Hu V P H, Su P 2011 *IEEE Electron Dev. Lett.* **32** 18
- [10] Lime F, Ritzenthaler R, Ricoma M, Martinez F, Pascal F, Miranda E, Faynot O, Iñiguez B 2011 *Solid State Electron.* **57** 61
- [11] Ritzenthaler R, Lime F, Iñiguez B 2011 *Proceedings of the 8th Spanish Conference on Electron Devices* Palma de Mallorca, Spain, February 8–11, 2011 p1
- [12] Zhang J, Zhang L, He J, Chan M 2010 *J. Appl. Phys.* **107** 054507
- [13] Young K K 1989 *IEEE Trans. Electron Dev.* **36** 399
- [14] Roy A S, Sallese J M, Enz C C 2006 *Solid State Electron.* **50** 687
- [15] Daelea W V D, Royer C L, Augendre E, Mitard J, Ghibaudo G, Cristoloveanu S 2011 *Solid State Electron.* **59** 25
- [16] Lim K Y, Zhou X 2002 *Microelectron. Reliab.* **42** 1857

- [17] Hutin L, Royer C L, Damlencourt J F, Hartmann J M, Grampeix H, Mazzocchi V, Arvet C, Tabone C, Previtali B, Loup V, Roure M C, Pouydebasque A, Lafond D, Vinet M, Clavelier L, Faynot O 2010 *International Symposium on VLSI-TSA Hsinchu*, April 26–28, 2010 p40
- [18] Qi R, Dai Y H, Chen J N, Li J S 2010 *Manuf. Appl. Dev.* **35** 534 (in Chinese) [齐锐, 代月花, 陈军宁, 李俊生 2010 器件制造与应用 **35** 534]
- [19] Steegen A, Stucchi M, Lauwers A, Maex K 1999 *Electron Devices Meeting IEDM '99. Technical Digest Washington, USA, December 5–8, 1999* p497
- [20] Fan M M, Xu J P, Liu L, Bai Y R 2014 *J. Semicond.* **35** 044004
- [21] Thomas C, Haldar S, Khanna M, Rajesh S, Gupta K K, Gupta R S 1998 *Microelectron. Reliab.* **38** 1955

Modeling on drain current of high- k gate dielectric fully-depleted nanoscale germanium-on-insulator p-channel metal-oxide-semiconductor field-effect transistor*

Bai Yu-Rong Xu Jing-Ping[†] Liu Lu Fan Min-Min Huang Yong Cheng Zhi-Xiang

(School of Optical and Electronic Information, Huazhong University of Science and Technology, Wuhan 430074, China)

(Received 30 June 2014; revised manuscript received 1 August 2014)

Abstract

An analytical model for drain current of high- k gate dielectric fully-depleted nanoscale germanium-on-insulator (GeOI) p-channel metal-oxide-semiconductor field-effect transistor (PMOSFET) is established by solving two-dimensional Poisson's equation to derive the surface potential and inversion charge in the channel region. This drain current model includes velocity-saturation, channel-length modulation and mobility-modulation effects; and it simultaneously considers the impacts of the interface-trapped charges at both gate oxide/channel and buried oxide/channel interfaces and the fixed oxide charges on the drain current. A good agreement between the simulated drain current and experimental data is achieved in both the saturation and non-saturation regions, confirming the validity of the model. Using the model, the influences of the main structural and physical parameters on transconductance, output conductance, cut-off frequency, and voltage gain of the device are investigated. These can be served as a guide for the design of the GeOI PMOSFET.

Keywords: germanium-on-insulator p-channel metal-oxide-semiconductor field-effect transistor, drain current model, transconductance, cut-off frequency

PACS: 73.40.Qv, 85.30.De

DOI: 10.7498/aps.63.237304

* Project supported by the National Natural Science Foundation of China (Grant No. 61274112).

[†] Corresponding author. E-mail: jpxu@mail.hust.edu.cn