

铁电负电容场效应晶体管研究进展

陈俊东 韩伟华 杨冲 赵晓松 郭仰岩 张晓迪 杨富华

Recent research progress of ferroelectric negative capacitance field effect transistors

Chen Jun-Dong Han Wei-Hua Yang Chong Zhao Xiao-Song Guo Yang-Yan Zhang Xiao-Di Yang Fu-Hua

引用信息 Citation: *Acta Physica Sinica*, 69, 137701 (2020) DOI: 10.7498/aps.69.20200354

在线阅读 View online: <https://doi.org/10.7498/aps.69.20200354>

当期内容 View table of contents: <http://wulixb.iphy.ac.cn>

您可能感兴趣的其他文章

Articles you may be interested in

硅/锗基场效应晶体管沟道中载流子散射机制研究进展

Progress of the study on carrier scattering mechanisms of silicon/germanium field effect transistors

物理学报. 2019, 68(16): 167301 <https://doi.org/10.7498/aps.68.20191146>

基于二维材料二硒化锡场效应晶体管的光电探测器

Field effect transistor photodetector based on two dimensional SnSe₂

物理学报. 2020, 69(13): 137801 <https://doi.org/10.7498/aps.69.20191960>

HfO₂基铁电场效应晶体管读写电路的单粒子翻转效应模拟

Single-event-upset effect simulation of HfO₂-based ferroelectric field effect transistor read and write circuits

物理学报. 2020, 69(9): 098502 <https://doi.org/10.7498/aps.69.20200123>

纳米尺度金属-氧化物半导体场效应晶体管沟道热噪声模型

A channel thermal noise model of nanoscaled metal-oxide-semiconductor field-effect transistor

物理学报. 2020, 69(5): 057101 <https://doi.org/10.7498/aps.69.20191512>

二维材料/铁电异质结构的研究进展

Research progress and device applications of multifunctional materials based on two-dimensional film/ferroelectrics heterostructures

物理学报. 2020, 69(1): 017301 <https://doi.org/10.7498/aps.69.20191486>

单晶金刚石氢终端场效应晶体管特性

Characteristics of H-terminated single crystalline diamond field effect transistors

物理学报. 2017, 66(20): 208101 <https://doi.org/10.7498/aps.66.208101>

综述

铁电负电容场效应晶体管研究进展*

陈俊东¹⁾²⁾ 韩伟华^{1)2)†} 杨冲¹⁾²⁾ 赵晓松¹⁾²⁾郭仰岩¹⁾²⁾ 张晓迪¹⁾²⁾ 杨富华^{1)2)‡}

1) (中国科学院半导体研究所, 半导体集成技术工程研究中心, 北京市半导体微纳集成工程技术研究中心, 北京 100083)

2) (中国科学院大学, 材料与光电研究中心, 北京 100049)

(2020年3月10日收到; 2020年4月10日收到修改稿)

铁电负电容场效应晶体管可以突破传统金属氧化物半导体场效应晶体管中的玻尔兹曼限制, 将亚阈值摆幅降低到 60 mV/dec 以下, 极大地改善了晶体管的开关电流比和短沟道效应, 有效地降低了器件的功耗, 为实现晶体管特征尺寸的减小和摩尔定律的延续提供了选择. 本文分析总结了国内外近年来关于铁电负电容场效应晶体管代表性的研究进展, 为进一步研究提供参考. 首先介绍了铁电负电容场效应晶体管的研究背景及其意义; 然后总结了铁电材料的基本性质和种类, 并对铁电材料负电容的物理机制和铁电负电容场效应晶体管的工作原理进行了讨论; 接下来从器件沟道材料维度的角度, 分别总结了最近几年基于三维沟道材料和二维沟道材料且与氧化铪基铁电体结合的铁电负电容场效应晶体管的研究成果, 并对器件的亚阈值摆幅、开关电流比、回滞电压和漏电流等性能的改善进行了分析概述; 最后对铁电负电容场效应晶体管目前存在的问题和未来的发展方向作了总结与展望.

关键词: 铁电负电容场效应晶体管, 氧化铪基铁电体, 三维沟道材料, 二维沟道材料**PACS:** 77.80.Dj, 85.50.-n, 77.84.-s, 85.30.Tv**DOI:** 10.7498/aps.69.20200354

1 引言

1965年, Moore^[1]提出摩尔定律, 即每过18个月, 集成电路芯片上集成的晶体管数量增长一倍, 晶体管的特征尺寸减小为上一代的0.7倍. 半个世纪以来, 随着半导体技术的快速发展, 晶体管的特征尺寸大幅度减小. 2002年, 金属-氧化物半导体场效应晶体管 (metal-oxide-semiconductor field-effect transistors, MOSFETs) 的尺寸进入了100 nm节点^[2], 但仅仅通过缩小沟道尺寸带来的性能提升已经不能满足市场对MOSFETs的要求, 因此需要引入新的材料和结构来提升MOSFETs的性能.

在90 nm节点的时候引入了应力硅技术^[3], 使得沟道中载流子的迁移率得到了提高. 为了抑制SiO₂氧化介质层减薄导致的漏电流, 在45 nm节点引入了高 k 介质层以及金属栅工艺, MOSFETs的性能得到了极大的提升. 但随着MOSFETs尺寸达到22 nm节点, 传统体硅平面结构MOSFETs的问题变得严重, 短沟道效应导致的漏电流和亚阈值摆幅 (subthreshold swing, SS) 退化现象使得器件的功耗急剧上升, 因此人们开始考虑采用新型结构器件. 其中, 绝缘体上硅^[4] (silicon on insulator, SOI)、超薄绝缘体上硅^[5] (ultra thin body-SOI, UTB-SOI) 和三栅鳍式晶体管^[6] (FinFET) 等结构的利用在很大程度上缓解了由于短沟道效应

* 国家重点研发计划 (批准号: 2016YFA0200503) 资助的课题.

† 通信作者. E-mail: weihua@semi.ac.cn

‡ 通信作者. E-mail: fhyang@semi.ac.cn

带来的诸多问题. 文献 [7] 中指出, 在 3 nm 节点, MOSFETs 采用环栅结构 (gate all around, GAA) 以提高栅对沟道的控制能力, 其性能相较于目前主流的 FinFET 将提高 30% 以上.

但随着晶体管特征尺寸进入 10 nm 以内, 由于短沟道效应和漏致势垒降低 (drain induced barrier lowering, DIBL) 效应造成的亚阈值区性能退化现象已变得不可忽略, 器件的 SS 增大, 因而其阈值电压 V_{th} 和工作电压 V_{DD} 不能等比例减小, 这导致器件的静态功耗急剧增大, 成为阻止器件尺寸进一步缩小的主要因素. 2017 年的国际器件与系统路线图 (international roadmap for devices and systems, IRDS) (图 1)^[8] 指出, 由于对高集成度低功耗器件的需求, 到 2033 年, 晶体管的特征尺寸将缩小到 2 nm, 其 SS 也将降低到 40 mV/dec. 而对于传统 MOSFETs, 由于载流子玻尔兹曼分布的^[9] 限制, 室温下的 SS 无法降低到 60 mV/dec 以下, 因此探寻降低晶体管的 SS 的方法, 对于促进晶体管特征尺寸的进一步减小具有重要的意义.

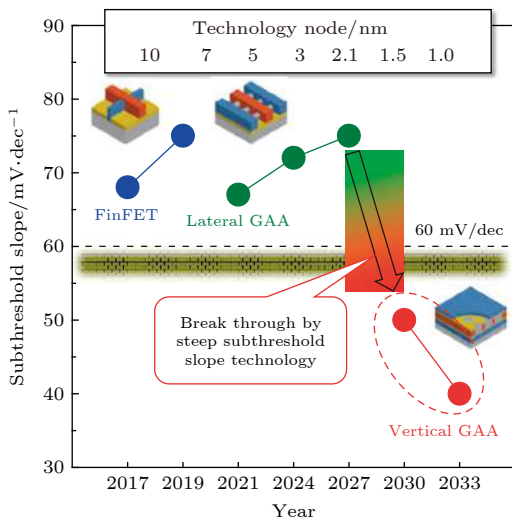


图 1 IRDS 提出的 SS 路线图^[8]

Fig. 1. Roadmap of subthreshold swing (SS) proposed by IRDS^[8].

目前一类器件是通过改变器件载流子的运输机制来降低 SS, 主要包括隧穿晶体管^[10–13]、雪崩晶体管^[14]和纳机电原理晶体管^[15–17]等. 这一类器件都可以将 SS 降低到 60 mV/dec 以下, 但是都面临着相应的技术上的问题. 其中隧穿晶体管的电子隧穿概率低导致器件工作电流小和源漏之间的非对称工作特性是其面临的主要问题^[18]; 雪崩晶体管的雪崩击穿电压高, 不利于器件系统的稳定性^[19];

纳机电原理晶体管的制作工艺复杂, 开关速度慢^[20], 因此这一类器件目前仍停留在实验室研究阶段. 另外一类器件是通过调节栅介质层电容和沟道电容的电容匹配来降低 SS, 如超薄体硅 SOI 晶体管^[21]、无结纳米线晶体管^[22,23], 但这类器件本质上还是传统 MOSFETs, 其室温 SS 仍然无法突破 60 mV/dec 的物理限制.

铁电负电容场效应晶体管 (ferroelectric negative capacitance field effect transistors, Fe-NCFETs) 一种新兴的晶体管, 其概念最早由 Salahuddin 和 Datta^[24] 于 2008 年提出, 他们提出将传统 MOSFETs 的栅极氧化介质层替换成铁电材料介质层, 放大栅压对沟道的作用效果, 降低栅电容与沟道电容的比值, 原理上可以把晶体管的 SS 降低到 60 mV/dec 以下, 这种现象他们称之为负电容 (negative capacitance, NC) 效应. 与其他降低晶体管 SS 的方法相比, Fe-NCFETs 有着明显的优势. 由于 Fe-NCFETs 仅是在 MOSFETs 栅介质层中引入了铁电材料, 其总电容等效为 NC, 本质上并没有改变金属-氧化物半导体 (metal oxide semiconductor, MOS) 器件的工作机制, 晶体管结构上也没有太大的变化, 因此 Fe-NCFETs 保持了传统 MOS 器件高驱动电流的优点, 而且还具有与互补金属氧化物半导体 (complementary metal oxide semiconductor, CMOS) 工艺兼容、对称的源漏工作机制、低功耗和负 DIBL 效应等优点^[25,26], 使 Fe-NCFETs 成为未来小尺寸、低功耗 MOS 器件中极具潜力的一种选择. 研究人员也因此对 Fe-NCFETs 进行了广泛的研究, 各种新材料^[27–30]、新结构^[31–34]和新技术^[35–38]不断被提出, Fe-NCFETs 的性能也得到了极大提升.

本文从器件沟道材料维度的角度, 总结国内外最近几年关于 Fe-NCFETs 理论和实验的重要研究进展, 并对器件的 SS、开关电流比、回滞电压和漏电流等性能的改善进行分析概述. 第二部分首先介绍铁电材料的基本性质, 然后对铁电材料的种类进行总结. 其中氧化铪基铁电材料的发明, 解决了传统铁电材料与 CMOS 工艺的兼容问题, 使得 Fe-NCFETs 的性能进一步提高. 第三部分首先对 MFS、MFIS 和 MFMIS 结构 Fe-NCFETs 的优缺点作简要总结; 然后从原子微观受力出发, 推导出铁电材料的“S”关系曲线, 并结合吉布斯自由能公式和 Landau-Khalatnikov (L-K) 方程, 得到铁电

材料自由能曲线中的本征 NC 区域, 接下来从概念和电路特点方面分别讨论铁电电容中稳态 NC 和瞬态 NC; 最后讨论 NC Fe-NCFETs 的工作区域. 第四部分从三维沟道材料和二维沟道材料角度总结近几年来采用氧化铪基铁电体的 Fe-NCFETs 的重要研究成果. 其中采用硅、锗基材料、III-V 族化合物和碳纳米管等三维沟道材料的 Fe-NCFETs 与传统 CMOS 工艺的兼容性高, 沟道与铁电层之间界面性能好, 电学性能稳定. 但是, 也存在一些问题, 比如硅材料的载流子有效迁移率低限制了晶体管开态电流的大小, 锗基材料的带隙较小导致开关电流比小, III-V 族化合物材料与介质层之间的界面性能差以及碳纳米管 Fe-NCFETs 的工作机理尚未探索清楚等. 而与过渡金属硫族化物、石墨烯和黑磷等二维材料相结合的 Fe-NCFETs 为晶体管特征尺寸进入 3 nm 提供了可能, 二维材料一些独特的物理效应也极具应用潜力. 但是二维材料与栅介质层的界面性能较差, 沟道表面缺陷态较多, 而且二维材料与传统 CMOS 工艺兼容性较差. 因此, 需要寻找新型材料和新的设计方案, 以在这些条件之间寻找一个平衡, 来满足未来器件对沟道材料的要求. 最后对 Fe-NCFETs 目前存在的问题和未来的发展方向作总结与展望.

2 铁电材料基本性质与分类

2.1 铁电材料基本性质

在一定温度范围内, 某些晶体会在特定方向上产生自发极化, 使晶胞中的正负电荷中心沿该方向产生相对位移, 形成电偶极矩, 且自发极化的大小和方向会随着外界电场的大小和方向的改变而改变, 具有这种特性的晶体称为铁电体 (ferroelectrics). 其中, 极化方向与晶体的其他任何方向都不是对称等效的, 也就是在晶体所属点群的任何对称操作下都保持不动的方向, 称这个方向为特殊极性方向. 而在 32 个晶体学点群中, 只有 $1(C_1)$ 、 $2(C_2)$ 、 $m(C_3)$ 、 $mm2(C_{2v})$ 、 $3(C_3)$ 、 $3m(C_{3v})$ 、 $4(C_4)$ 、 $4mm(C_{4v})$ 、 $6(C_6)$ 和 $6mm(C_{6v})$ 这 10 个点群具有特殊极性方向 [39]. 即只有属于这 10 个点群的晶体, 才有可能发生自发极化, 也才有可能成为铁电体, 图 2 给出了 32 个晶体学点群所包含的电介质材料所属点群之间的关系 [39,40].

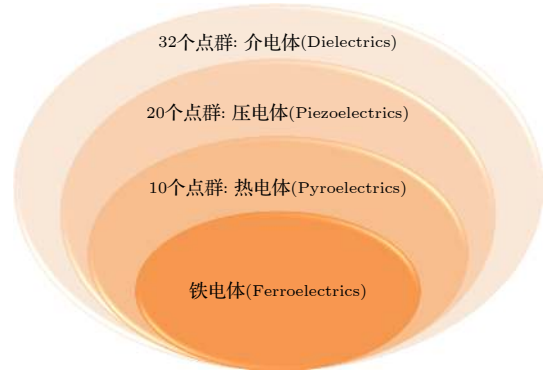


图 2 介电体分类示意图

Fig. 2. The schematic diagram of the classification of dielectrics.

铁电材料在宏观上具有居里温度和电滞回线两个主要特征. 图 3 为铁电材料极化强度 P 和外加电场 E 之间的典型关系图, 即电滞回线 [41]. 其中, P_r 为剩余极化强度, 表示撤去外电场时材料剩余的极化强度; E_c 为矫顽电场, 表示使极化强度为零时的电场强度. 当铁电体位于初始状态时, 内部的电偶极矩方向随机排列, 铁电体的净极化强度为零 (点 1). 当施加外加电场时, 电偶极矩开始沿着电场方向排列 (点 1 到点 3). 当全部的电偶极矩方向与电场方向一致时, 铁电体的极化强度达到最大值. 随后撤去外电场, 由于电偶极矩之间的相互耦合, 铁电体内部存在剩余极化, 极化强度为 P_r (点 4). 当施加反向电场时, 电偶极矩开始反转. 当施加电场强度达到 $-E_c$ 时, 铁电体内部的电偶极矩方向随机排列, 此时净极化强度为零 (点 5). 继续增大电场强度, 极化强度将在反方向上达到最大值 (点 6).

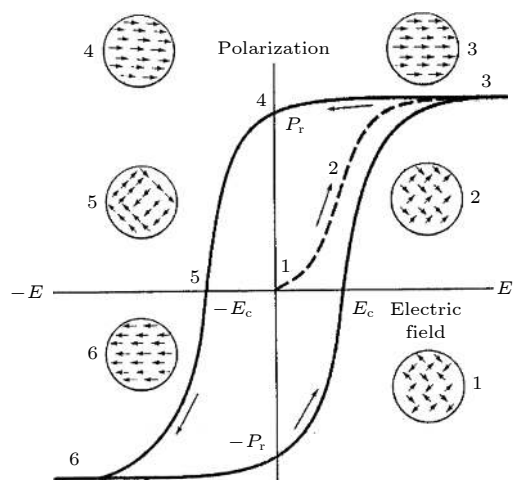


图 3 铁电电滞回线 [41]

Fig. 3. Ferroelectric hysteresis loop [41].

因为晶体的构型是温度的函数, 所以晶体的极化状态将随温度的变化而变化^[42]. 对于铁电体来说, 存在一个临界温度 T_c , 当温度低于 T_c 时, 晶体结构为有自发极化的铁电体结构; 当温度高于 T_c 时, 晶体结构转变为没有自发极化的顺电体 (paraelectrics) 结构, 称 T_c 为居里温度. 以 BaTiO_3 为例, 其居里温度 T_c 为 130 °C, 当温度 $T > 130$ °C 时, 晶格结构为立方晶系 ($m3m$), 此时晶体是顺电体, 不具有自发极化; 当 $0 < T < 130$ °C 时, 晶格结构为四方晶系 ($4mm$), 此时的自发极化方向为 $[001]$; 当 -90 °C $< T < 0$ 时, 晶格结构为正交晶系 ($mm2$), 自发极化方向为 $[110]$; 当 $T < -90$ °C 时, 晶格结构为三角晶系 ($3m$), 自发极化方向为 $[111]$ ^[43–45].

2.2 铁电材料分类

自 1921 年 Valasek^[46] 发现罗息盐 (酒石酸钾钠, $\text{NaKC}_4\text{H}_4\text{O}_6 \cdot 4\text{H}_2\text{O}$) 晶体具有铁电滞回线以来, 到目前为止, 人们已经发现 1000 多种具有铁电性的材料, 按照材料组成大致可分为传统无机铁电材料、有机铁电材料、范德华类层状二维铁电材料和氧化铪基铁电材料四类.

2.2.1 传统无机铁电材料

传统无机铁电材料包括: 钙钛矿型铁电体如 BaTiO_3 、 PbTiO_3 、 PbTiZrO_3 和 KNbO_3 等, 酸锂型铁电体如 LiNbO_3 、 LiTaO_3 和 BiFeO_3 等, 青铜矿型铁电体如 PbTa_2O_6 、 PbNb_2O_6 和 $\text{Ba}_2\text{Sr}_3\text{Nb}_{10}\text{O}_{30}$ 等, 铋层状钙钛矿结构铁电体如 $\text{SrBi}_2\text{Ta}_2\text{O}_9$, 其铁电性来源于晶格结构的不对称性. 这一类材料具有居里温度点高、抗疲劳特性优异和自发极化强度大等优点, 所以最开始被应用于基于极化反转特性的铁电存储器研究领域, 但是其薄膜沉积温度高 (一般大于 800 °C)、电滞回线矩形度差以及与 CMOS 工艺兼容性差等缺点也阻碍了其商业化进程^[39].

2.2.2 有机铁电材料

有机铁电材料包括聚偏氟乙烯 (Polyvinylidene fluoride, PVDF) 及其衍生物^[47–50]、奇数尼龙^[39] (如尼龙-11、尼龙-9 等)、金属-有机混合物铁电材料^[51,52] 和铁电液晶 (癸氧基苯叉对氨二甲丁基肉硅酸盐^[39]、溴化胆固醇及其衍生物^[53]等) 等, 其铁电性的物理机制是材料含有的手性有机物分子基

团导致了材料分子的不对称性, 从而表现出自发极化的特性. 有机铁电材料的沉积温度低 (一般在 200–300 °C 左右), 与衬底无化学反应, 因此可以在各种半导体材料上兼容生长, 而且还具有延展性好、生物兼容、去极化场小、稳定性高、光化学响应速度快和衍生物种类丰富等优点^[28], 因此吸引了研究人员的广泛关注, 并对有机铁电材料在存储器^[49]、晶体管^[50,54] 和电光显示等^[55] 方面的应用以及新型有机铁电材料的开发^[56,57] 进行了大量的研究, 而提高自发极化强度和居里温度是目前有机铁电材料主要研究方向.

文献^[56] 中报道了新型有机钙钛矿铁电材料, 如图 4 所示, 采用手性有机分子基团、 NH_4^+ 离子和卤族负离子 (Cl^- , Br^- , I^-) 分别替代了传统钙钛矿 ABO_3 中的 A^{3+} 离子, B^{3+} 离子和 O^{2-} 离子, 合成了结构式为 $\text{A}(\text{NH}_4)\text{X}_3$ 的一大类共计 23 种全有机新型钙钛矿材料. 其中共有 17 种材料显示出了良好的铁电性, 尤其是发现的 MDABCO- NH_4I_3 , 其自发极化强度 (P_s) 为 $22 \mu\text{C}/\text{cm}^2$, 已接近无机钙钛矿铁电体 BaTiO_3 的极化强度 ($26 \mu\text{C}/\text{cm}^2$), 其居里温度 T_c 高达 175 °C, 比 BaTiO_3 的居里温度 (117 °C) 高出 50 °C 以上, 在新一代柔性可穿戴器件和生物电子学方面具有极高的应用潜力.

2.2.3 范德华类层状二维铁电材料

近几年来, 人们发现范德华类层状二维材料具有铁电性. Li 和 Wu^[58] 通过第一性原理计算, 证明二维 AB 型层状堆叠材料 (BN 、 AlN 、 ZnO 、 MoS_2 、 GaSe 等) 由于层间的电子转移导致其在垂直方向上具有铁电性. Ding 等^[59] 也通过第一性原理计算从理论上证明了二维 In_2Se_3 具有水平方向和垂直方向的自发极化, 而且其自发极化方向可以通过外部电场调控^[60], 为调控铁电材料的极化方向提供了新方法. Liu 等^[61] 通过在硅上沉积了一层厚度为 4 nm 的范德华类二维 CuInP_2S_6 薄膜制备了二极管, 在 50 °C 下观察到了材料的铁电性能, 而且器件的开关电流比约为 100, 表现出了较好的存储性能. 这一类材料由于只需要几个分子薄层就能表现出铁电性能, 对于实现铁电器件尺寸的进一步缩小是很有吸引力的. 但是其居里温度低, 而且铁电性的物理机制尚未研究清楚, 关于材料铁电性的实验证明也相对较少, 所以这一类材料仍需要进行大量的研究工作^[62].

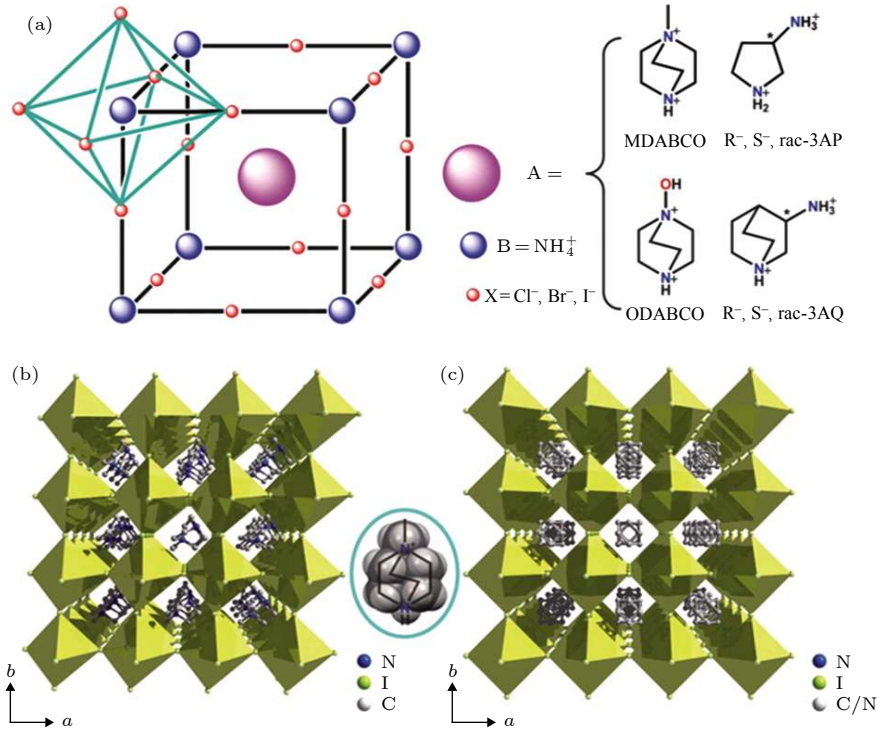


图4 有机钙钛矿 $A(\text{NH}_4)\text{X}_3$ 家族化学和晶格结构^[56] (a) 有机钙钛矿铁电体的三维化学结构组成图; (b) 铁电相 MDABCO- NH_4I_3 在 293 K 时的晶胞结构图, 右侧椭圆中为有机正离子的空间结构示意图, 其对称性接近于球体; (c) 铁电相 MDABCO- NH_4I_3 在 463 K 时的晶胞结构图

Fig. 4. Chemical and crystal structures of the metal-free $A(\text{NH}_4)\text{X}_3$ family^[56]: (a) Chemical structures of constituents of the metal-free 3D perovskite ferroelectrics; (b) the packing diagram of MDABCO- NH_4I_3 in the ferroelectric phase at 293 K. The oval to the right contains the space-fill diagram of the organic cation, showing the cationic geometry to be close to a ball; (c) the packing diagram of MDABCO- NH_4I_3 in the paraelectric phase at 463 K.

2.2.4 氧化铪基铁电材料

氧化铪基铁电材料是一类新型的铁电材料, 自 2011 年 Böske 等^[63]发现 Si 掺杂的 HfO_2 薄膜具有铁电性以来, 人们又陆续发现掺杂 Al^[64]、Y^[65,66]、Gd^[67]、La^[67]、Sr^[68] 等元素的 HfO_2 也显示出了显著的铁电性, 而且, Böske 等^[63]还发现在 HfO_2 中掺入 ZrO_2 形成的薄膜表现出了优异的铁电性能^[69,70]. 本征 HfO_2 常见的三种晶体结构^[71] 分别是: 单斜相- c ($T < 1727\text{ }^\circ\text{C}$)、非极性四方相- nmc ($1717\text{ }^\circ\text{C} < T < 2597\text{ }^\circ\text{C}$) 和立方相- $m3m$ ($2597\text{ }^\circ\text{C} < T < 2845\text{ }^\circ\text{C}$), 这三个晶体结构都不具有特殊极性方向, 所以本征 HfO_2 是不具有铁电性的. Müller 等^[70]认为在 HfO_2 中加入杂质元素之后, 将温度升高至四方相温度区间, 然后降温, 在降温过程中可形成具有特殊极性方向的正交相- $mm2$, 因此掺杂后的 HfO_2 表现出了铁电性. 氧化铪基铁电材料具有剩余极化强度 (P_r) 高、居里温度高 ($T_c > 200\text{ }^\circ\text{C}$)、与 CMOS 工艺兼容性好、与半导体材料界面性能好和介电常数高等优点^[72],

因此被认为是 Fe-NCFETs 中很有应用潜力的一种介质层材料.

3 Fe-NCFETs 的基本原理

Fe-NCFETs 作为一种新型低功耗器件, 通过在传统的 MOSFETs 栅介质层中引入铁电材料将 SS 降低到 60 mV/dec 以下 (图 5). SS 是描述器件开关性能的重要参数, 定义为源漏电流每改变一个数量级所带来的栅压改变量. SS 数值越小, 表示栅对沟道的控制能力越强, 即器件的开关性能越好, 同时可以在较小的栅压下得到相同的电流, 降低器件的功耗. SS 的表达式为

$$SS = \frac{\partial V_G}{\partial \log_{10} I_D} = \frac{\partial V_G}{\partial \psi_s} \frac{\partial \psi_s}{\partial \log_{10} I_D} = m \times n, \quad (1)$$

其中 V_G 为栅压, I_D 为源漏电流, ψ_s 为沟道表面电势; $m = \partial V_G / \partial \psi_s$ 称为体因子, 表示栅压对沟道表面电势的控制能力, 取决于沟道电容与栅介质层电容的比值大小; $n = \partial \psi_s / \partial \log_{10} I_D$ 称为传输因子,

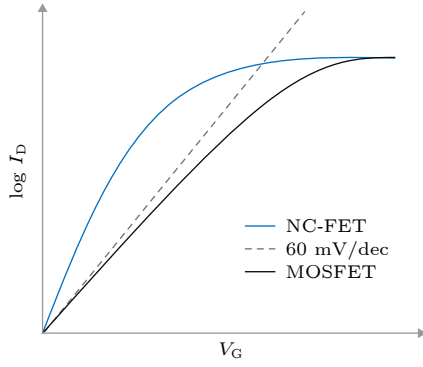


图 5 场效应晶体管转移特性曲线

Fig. 5. The transfer characteristic curve of field effect transistors.

表示沟道表面电势对源漏电流的控制能力, 取决于载流子的传输机制.

传统 MOSFETs 的器件结构图和电容模型如图 6 所示^[24], 利用图中的等效电容模型, 可以将 m 表示为

$$m = \frac{\partial V_G}{\partial \psi_s} = \left(1 + \frac{C_s}{C_{ins}} \right), \quad (2)$$

其中 C_{ins} 为介质层电容, C_s 为沟道电容. 对于常规 MOS 器件来说, C_{ins} 和 C_s 均为正值, 所以 m 取值总是大于 1. 另一方面, 由于 MOS 器件沟道中载流子的输运机制是漂移扩散原理, 会受到载流子玻尔兹曼分布的限制, 导致 n 存在一个理论最小值, 即

$$n \geq \frac{\ln 10 \cdot k_B T}{q}, \quad (3)$$

其中 k_B 为玻尔兹曼常数, T 为温度, q 为单位电荷.

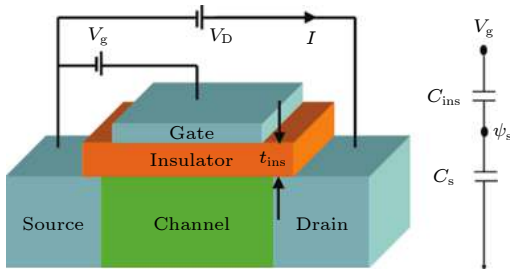


图 6 标准场效应晶体管结构示意图与其等效电容电路^[73]

Fig. 6. The schematic diagram of a standard field effect transistors.structure and its equivalent circuit of capacitance^[73].

因此传统 MOSFETs 室温 ($T = 300 \text{ K}$) 下的 SS 的理论最小值为 60 mV/dec , 而对于 Fe-NCFETs 来说, 由于栅介质层中的铁电材料具有 NC 效应, 因此栅介质层电容可以为负值, 即

$$C_{ins} < 0, \quad (4)$$

所以 m 的数值可以小于 1, 则 SS 可以突破 60 mV/dec 的限制, 但同时为了保证器件运行的稳定性, 需要满足 $m > 0$, 即

$$|C_{ins}| < C_s. \quad (5)$$

因此, 通过合理设计器件的电容, 可以实现 SS 低且稳定性好的低功耗高性能 Fe-NCFETs 器件, 而且由于栅介质层电容与漏端电容的耦合作用, 器件具有负 DIBL 和负微分电阻 (negative differential resistance, NDR) 效应^[25], 改善了短沟道效应, 对于晶体管尺寸的减小是很有利的.

对 MFS、MFIS 和 MFMIS 结构 Fe-NCFETs 的优缺点作简要总结; 然后从原子微观受力出发, 推导出铁电材料的“S”关系曲线, 并结合吉布斯自由能公式和 L-K 方程, 得到铁电材料自由能曲线中的本征 NC 区域; 接下来从概念和电路特点方面分别讨论铁电电容中稳态 NC 和瞬态 NC; 最后讨论 NC Fe-NCFETs 的工作区域.

3.1 不同栅介质层结构的 Fe-NCFETs

2008 年, Salahuddin 和 Datta^[24] 首先提出利用铁电材料替换传统晶体管的栅介质材料, 可以将器件的栅电压放大, 从而理论上可以降低器件的 SS, 这种器件结构称为 MFS(图 7(a)), 具有结构简单的优点, 但是铁电层与沟道之间的界面不兼容性问题严重, 器件的界面性能差. 随后人们提出在铁电层和沟道之间加入一层传统栅介质层, 即 MFIS 结构 (图 7(b)), 这种结构很好地解决了铁电层与沟道之间的界面问题, 但由于沟道的表面电势在源漏之间有变化, 而铁电层上表面电势分布是均匀的, 从而导致铁电材料在沟道方向上电压放大效果不一样^[74-79]. 因此, 有人提出在栅介质层和铁电层之间加入一层金属, 即 MFMIS 结构 (图 7(c)), 以此来均匀铁电层在沟道方向上的电势放大效果, 但内部金属栅电极的存在极大地增加了器件的制造难度, 对于器件尺寸的进一步减小是不利的, 而且会导致栅极漏电流的增加, 降低了器件的稳定性^[80-82]. 相比于 MFMIS 结构, MFIS 结构 Fe-NCFETs 的电容匹配更稳定, 将更适用于高频逻辑应用^[83].

因此, MFIS 结构仍是未来 Fe-NCFETs 的主要选择, 而且随着氧化铪基铁电材料的提出, 通过

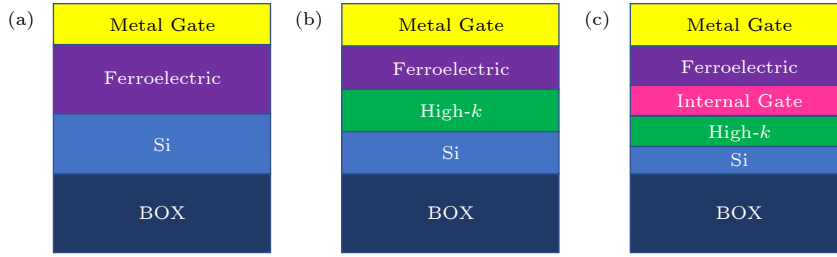


图 7 器件结构图 (a) 传统 MOSFETs; (b) MFIS; (c) MFMIS

Fig. 7. Device structure diagram: (a) Traditional MOSFETs; (b) MFIS; (c) MFMIS.

热氧即可在氧化铪和硅之间形成一层薄氧化硅介质层, 改善了 MFIS 结构中电层与沟道的界面性能差的问题, 同时还引入高 k 材料介质层的优点^[84], 进一步优化了器件的性能.

3.2 铁电材料 NC 效应的微观本质

3.2.1 稳态 NC

铁电材料 NC 来源于晶格不对称性导致的自发极化, 之前人们采用吉布斯自由能理论, 结合铁电材料的电滞回线和相关物理参数, 分析证明了铁电材料 NC 现象, 但是缺少对铁电材料电滞回线来源的理论分析^[24]. 之后, Wong 和 Salahuddin^[85] 从晶格出发, 结合晶格中原子受到的各种微观力, 分析得到了铁电材料极化强度 \mathbf{P} 与电场强度 \mathbf{E} 的“S”曲线关系图的物理机制. 其中, “S”曲线的负斜率区域内是热力学不稳定的, 而且 \mathbf{P} 具有多值的特点, 因此, 随着电压正、反扫描过程中, 在相同电压下, 铁电层处于不同的极化状态, 因此 $\mathbf{P}-\mathbf{E}$ 关系曲线表现出回滞的特点, 即“电滞回线”. 因此, 结合多种理论, 以钙钛矿型铁电材料为例, 从原子微观受力出发, 推导出 \mathbf{P} 与 \mathbf{E} 的“S”关系曲线; 然后结合电位移矢量连续方程, 得到材料所带电荷量

Q 与电压 V 的“S”关系曲线, 从宏观角度 ($C_{\text{FE}} = \partial Q_{\text{FE}} / \partial V_{\text{FE}}$) 证明 NC 的存在; 接着采用吉布斯自由能公式, 得到系统能量 U 与所带电荷 Q 的“双势阱”关系曲线, 又从微观角度 ($C_{\text{FE}} = (\partial^2 U_{\text{FE}} / \partial Q_{\text{FE}}^2)^{-1}$) 证明 NC 的存在, 系统性地介绍铁电材料 NC 现象的物理机制来源.

图 8 是钙钛矿型 (ABO_3) 铁电体的晶胞结构图和极化电场分布图, 图中 B 离子所受的力可以分解为由于离子与周围价电子之间的位移所导致的局域有效原子力 \mathbf{F}_{ion} 、由于偶极子电场导致的极化力 \mathbf{F}_p 和外界电场施加的电场外力 \mathbf{F}_{ext} .

B 离子的局域有效原子力可表示为

$$\mathbf{F}_{\text{ion}}^{\text{B}} = -\nabla V_{\text{B}}(\mathbf{u}_{\text{B}}), \quad (6)$$

其中 V_{B} 为 B 离子的局域有效电势能, \mathbf{u}_{B} 为 B 离子与其周围价电子的相对位移. 为了简化, 假设相对位移沿着 z 方向, 把 \mathbf{u}_{B} 写为 z_{B} , 然后 $V_{\text{B}}(z_{\text{B}})$ 展开为

$$V_{\text{B}}(z_{\text{B}}) \approx \underbrace{\frac{1}{2} \frac{\partial^2 V_{\text{B}}}{\partial z_{\text{B}}^2} \Big|_0}_{a_{\text{B}}} z_{\text{B}}^2 + \underbrace{\frac{1}{4!} \frac{\partial^4 V_{\text{B}}}{\partial z_{\text{B}}^4} \Big|_0}_{b_{\text{B}}} z_{\text{B}}^4, \quad (7)$$

这里有 $V_{\text{B}}(0) = 0$, 而且由于晶格对称性的原因奇数项也为零, 为了简化, 省略了高阶项. 其中 a_{B} 和 b_{B} 可通过第一性原理计算得到, 为了简化, 设

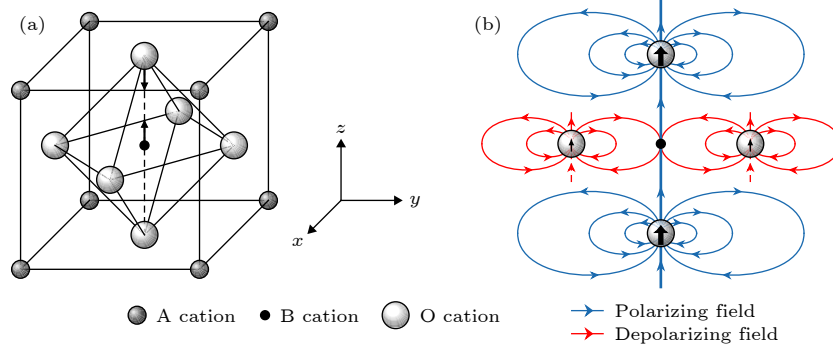

 图 8 (a) 钙钛矿型 (ABO_3) 铁电体的晶胞结构图^[85]; (b) (200) 晶面的极化场分布图^[85]

 Fig. 8. (a) Conventional unit cell of an FE perovskite (ABO_3)^[85]; (b) schematic of the dipole fields in the (200) plane^[85].

$a_B > 0, b_B > 0$. 将 (7) 式代入 (6) 式中, 得到

$$\mathbf{F}_{\text{ion}}^B(z_B) \approx -(2a_B z_B + 4b_B z_B^3) \hat{z}. \quad (8)$$

B 离子除了受有效局域原子力之外, 还会和周围的离子发生库仑相互作用. 当离子 i 振动时, 会产生一个偶极矩 \mathbf{p}_i , 这个偶极子在位置 \mathbf{r} 处会产生一个偶极子电场, 其表示式为

$$\mathbf{E}_{\text{dipole}}^{(i)}(\mathbf{r}) = \frac{3[\mathbf{p}_i \cdot (\mathbf{r} - \mathbf{R}_i)](\mathbf{r} - \mathbf{R}_i) - \mathbf{p}_i |\mathbf{r} - \mathbf{R}_i|^2}{4\pi\epsilon_0 |\mathbf{r} - \mathbf{R}_i|^5}, \quad (9)$$

其中 \mathbf{R}_i 是离子 i 的平衡位置, ϵ_0 为真空介电常数. 将晶胞中各离子在 \mathbf{r} 处产生电场叠加后可得到 \mathbf{r} 处的总偶极子电场

$$\mathbf{E}_p = \sum_i \mathbf{E}_{\text{dipole}}^i(\mathbf{r}). \quad (10)$$

采用 Luttinger 和 Tisza^[86] 的偶极子叠加理论, 可得到 B 离子处的偶极子电场为

$$\begin{aligned} \mathbf{E}_p(\mathbf{R}_B) \approx & \frac{\langle \mathbf{p}_A \rangle}{4\pi\epsilon_0 v_{\text{cell}}} \left(-4\pi + \frac{4\pi}{3} \right) \\ & + \frac{\langle \mathbf{p}_B \rangle}{4\pi\epsilon_0 v_{\text{cell}}} \left(-4\pi + \frac{4\pi}{3} \right) \\ & + \frac{\langle \mathbf{p}_{O//} \rangle}{4\pi\epsilon_0 v_{\text{cell}}} \left(-4\pi + \frac{4\pi}{3} + 30 \right) \\ & + \frac{\langle \mathbf{p}_{O\perp} \rangle}{4\pi\epsilon_0 v_{\text{cell}}} \left(-4\pi + \frac{4\pi}{3} - 15 \right), \quad (11) \end{aligned}$$

其中 $\langle \mathbf{p}_A \rangle$, $\langle \mathbf{p}_B \rangle$, $\langle \mathbf{p}_{O//} \rangle$ 和 $\langle \mathbf{p}_{O\perp} \rangle$ 分别表示 A 离子、B 离子、 $O_{//}$ 离子和 O_{\perp} 离子的平均偶极矩; v_{cell} 是晶胞体积. $O_{//}$ 离子表示在 B 离子位移方向上的两个 O 离子, O_{\perp} 离子为在 B 离子位移方向垂直平面上的 4 个 O 离子. 由于钙钛矿中 B 离子的位移主要受 $O_{//}$ 离子影响^[87], 因此可假设 $\langle \mathbf{p}_A \rangle \approx \langle \mathbf{p}_B \rangle \approx 0$, 则可以将偶极子电场简化为

$$\begin{aligned} \mathbf{E}_p(\mathbf{R}_B) \approx & \frac{\langle \mathbf{p}_B \rangle}{4\pi\epsilon_0 v_{\text{cell}}} \left(-4\pi + \frac{4\pi}{3} \right) \\ & + \frac{\langle \mathbf{p}_{O//} \rangle}{4\pi\epsilon_0 v_{\text{cell}}} \left(-4\pi + \frac{4\pi}{3} + 30 \right). \quad (12) \end{aligned}$$

为了进一步简化, 假设 $\langle \mathbf{p}_B \rangle = \langle \mathbf{p}_{O\perp} \rangle = \mathbf{p}_0$, 则可以得到宏观极化强度 \mathbf{P} 的表达式

$$\mathbf{P} = \frac{2\mathbf{p}_0}{v_{\text{cell}}}, \quad (13)$$

将其代入 (11) 式中可得

$$\mathbf{E}_p(\mathbf{R}_B) \approx -\frac{\mathbf{p}}{\epsilon_0} + \frac{\mathbf{p}}{3\epsilon_0} + \frac{15\mathbf{p}}{4\pi\epsilon_0}, \quad (14)$$

则 B 离子受到的极化电场极化力为

$$\begin{aligned} \mathbf{F}_p(\mathbf{R}_B) &= q_B \cdot \mathbf{E}_p(\mathbf{R}_B) \\ &= q_B \left(-\frac{\mathbf{p}}{\epsilon_0} + \frac{\mathbf{p}}{3\epsilon_0} + \frac{15\mathbf{p}}{4\pi\epsilon_0} \right), \quad (15) \end{aligned}$$

其中 q_B 为 B 离子的有效电荷量.

到此为止, 已经得到了 B 离子所受到全部内部微观力: 局域有效原子力 $\mathbf{F}_{\text{ion}}^B(z_B)$ 和极化力 $\mathbf{F}_p(\mathbf{R}_B)$, 接下来推导外部电场 \mathbf{E} 时对 B 离子所产生的电场外力 \mathbf{F}_{ext} . 由电位移矢量方程 $\mathbf{D} = \epsilon_0 \cdot \mathbf{E} + \mathbf{P}$ 可得到电场 \mathbf{E} 与极化极化强度 \mathbf{P} 的关系, 其中 \mathbf{P} 为电位移矢量, 表示外部电场与内部偶极子相互作用后在材料表面所产生的净电荷. 因此可以得到施加外部电场后对 B 离子所产生的电场力为

$$\mathbf{F}_{\text{ext}} = q_B \frac{\mathbf{D}}{\epsilon_0} = q_B \left(\mathbf{E} + \frac{\mathbf{P}}{\epsilon_0} \right), \quad (16)$$

则由 (8) 式、(15) 式和 (16) 式可以得到 B 离子所受的合力为

$$\begin{aligned} \mathbf{F}_{\text{all}} &= \mathbf{F}_{\text{ion}}^B + \mathbf{F}_p + \mathbf{F}_{\text{ext}} \\ &= -(2a_B z_B + 4b_B z_B^3) \mathbf{z} \\ &\quad + q_B \left(-\frac{\mathbf{P}}{\epsilon_0} + \frac{\mathbf{P}}{3\epsilon_0} + \frac{15\mathbf{P}}{4\pi\epsilon_0} \right) \\ &\quad + q_B \left(\mathbf{E} + \frac{\mathbf{P}}{\epsilon_0} \right) \\ &= -(2a_B z_B + 4b_B z_B^3) \mathbf{z} \\ &\quad + q_B \left(\frac{\mathbf{P}}{3\epsilon_0} + \frac{15\mathbf{P}}{4\pi\epsilon_0} \right) + q_B \mathbf{E}. \quad (17) \end{aligned}$$

之前假设 $\langle \mathbf{p}_B \rangle = \langle \mathbf{p}_{O\perp} \rangle$, 则可通过 $\mathbf{P} = 2q_B z_B \mathbf{z} / v_{\text{cell}}$ 将 B 离子的位移矢量 $z_B \mathbf{z}$ 与极化强度 \mathbf{P} 联系起来. 当处于平衡态时, $\mathbf{F}_{\text{all}} = 0$, 得到如下关系式

$$\begin{aligned} \mathbf{E} &= \left(\frac{a_B v_{\text{cell}}}{q_B^2} - \frac{1}{3\epsilon_0} - \frac{15}{4\pi\epsilon_0} \right) \mathbf{P} \\ &\quad + \left(\frac{b_B v_{\text{cell}}^3}{q_B^4} \right) \mathbf{P}^3, \quad (18) \end{aligned}$$

其关系曲线如图 9(a) 所示, 即 \mathbf{P} - \mathbf{E} 关系的“S”曲线. 但是当改变外加电场, 测量铁电材料的极化强度, 得到图 9(b) 中的电滞回线, 而不是图 9(a) 中的“S”曲线, 这是因为在图 9(b) 中的蓝色虚线区域, \mathbf{P} 具有多值特点, 而且宏观 NC 现象是热力学不稳定的, 所以表现出滞回曲线的特点. 图中红色虚线为铁电体处于初始状态时的扫描曲线, 蓝色曲线为经过一个扫描周期后的扫描曲线.

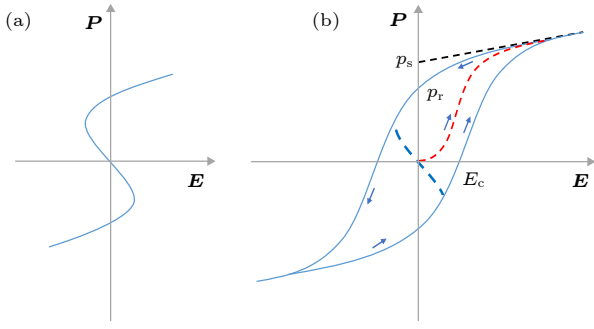


图 9 铁电体极化强度 P 和电场 E 之间的关系 (a) P - E 关系图; (b) 电滞回线图

Fig. 9. The relationship between polarization P and electric field E of ferroelectrics: (a) P vs. E ; (b) hysteresis diagram.

前面提到, 材料表面净电荷 Q_{FE} 即为电位移矢量, 即

$$Q_{FE} = \varepsilon_0 \cdot E + P, \quad (19)$$

而对于铁电材料, 可假设认为 $P \gg \varepsilon_0 \cdot E$ ^[88], 则 $Q_{FE} \approx P$. 根据电场强度定义式 $E = V_{FE}/t_{FE}$ 其中 t_{FE} 为铁电材料的厚度, 可得到表面净电荷 Q_{FE} 与电压 V_{FE} 的关系

$$V_{FE} = t_{FE} \left(\frac{a_B v_{cell}}{q_B^2} - \frac{1}{3\varepsilon_0} - \frac{15}{4\pi\varepsilon_0} \right) Q_{FE} + t_{FE} \left(\frac{b_B v_{cell}^3}{q_B^4} \right) Q_{FE}^3, \quad (20)$$

其关系曲线如图 10(a) 所示, 根据宏观电容定义式 $C_{FE} = \partial Q_{FE} / \partial V_{FE}$, 可以看到图 10(a) 中红色虚线框区域为 NC 区域.

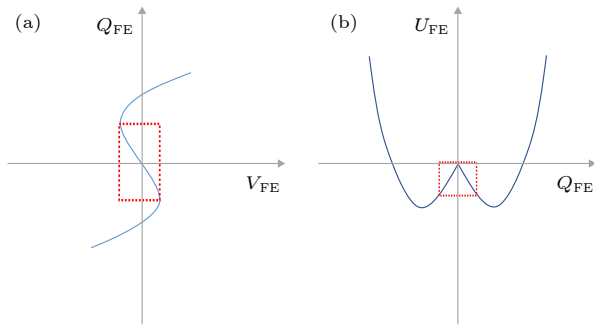


图 10 (a) 铁电体的 Q_{FE} - V_{FE} 关系图; (b) 铁电体的 U_{FE} - Q_{FE} 关系图

Fig. 10. (a) Q_{FE} vs. V_{FE} of ferroelectrics; (b) U_{FE} vs. Q_{FE} of ferroelectrics.

对于铁电材料, 其吉布斯自由能公式为

$$U = \alpha P^2 + \beta P^4 + \lambda P^6 - E \cdot P, \quad (21)$$

其中 α , β 和 λ 为材料的常量参数, 而且铁电材料的

α 为负值^[89]. 可得到能量 U_{FE} 与电荷 Q_{FE} 的关系

$$U_{FE} = \left(\alpha - \frac{a_B v_{cell}}{q_B^2} + \frac{1}{3\varepsilon_0} + \frac{15}{4\pi\varepsilon_0} \right) Q_{FE}^2 + \left(\beta - \frac{b_B v_{cell}^3}{q_B^4} \right) Q_{FE}^4 + \lambda Q_{FE}^6, \quad (22)$$

其关系曲线如图 10(b) 所示, 根据微观电容定义式 $C_{FE} = (\partial^2 U_{FE} / \partial Q_{FE}^2)^{-1}$, 可以看到图 10(b) 中红色虚线框区域为 NC 区域.

通过上述分析, 得到了铁电材料的本征 NC 区域, 但是由于 NC 在宏观上是热力学不稳定的, 因此, 需要串联一个线性的介质层电容 (C_{DE}), 通过介质层中退极化场的作用^[88], 将铁电层的电容 (C_{FE}) 稳定在 NC 区域. 不同电容系统自由能和极化强度的关系曲线如图 11 所示, 可以看到, 在串联了一个合适大小的 C_{DE} 之后, 系统自由能的最低点位于铁电电容的 NC 区域, 因此铁电层的 NC 得到了稳定^[90].

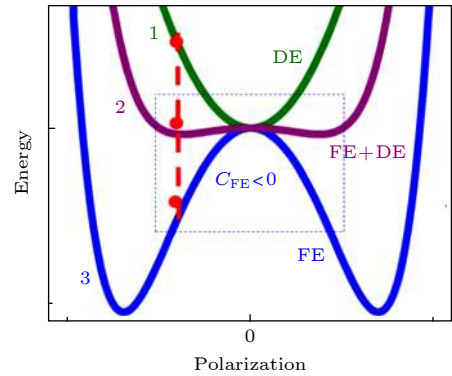


图 11 不同电容系统的自由能曲线形貌^[90]

Fig. 11. Energy landscapes of C_{FE} , C_{DE} and their series combination^[90].

由于热力学不稳定性, 不能直接在电路中观察到 NC 现象, 只能通过对比串联后系统电容的增大来间接证明铁电层中 NC 的存在. 其测量电路如图 12(a) 所示, 测量模式称为小信号测量, 被认为是一种准静态的测量模式, 因为在测量过程中没有发生极化翻转^[91]. Gao 等^[90] 制备了图 12(b) 所示的 $\text{LaAlO}_3/\text{Ba}_{0.8}\text{Sr}_{0.2}\text{TiO}_3$ 超晶格结构, 其中 LaAlO_3 为介质层, $\text{Ba}_{0.8}\text{Sr}_{0.2}\text{TiO}_3$ 为铁电层, 超晶格结构的电容和相同厚度 LaAlO_3 介质层的电容与电压的关系如图 12(c) 所示, 可以看到, 与相同厚度的 LaAlO_3 介质层相比, 超晶格结构的电容增大了, 这说明 $\text{Ba}_{0.8}\text{Sr}_{0.2}\text{TiO}_3$ 铁电层的电容为负值.

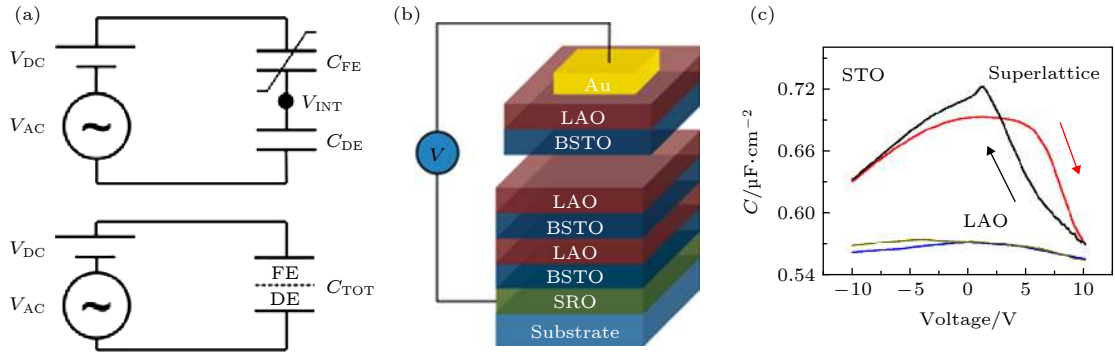


图 12 小信号测量模式测量铁电体 NC (a) 等效电路图^[91]; (b) LAO/BSTO 超晶格结构示意图^[90]; (c) 电容与电压的关系^[90]
 Fig. 12. Ferroelectric NC measured by small-signal measurement mode: (a) Equivalent circuit diagram^[91]; (b) schematic diagram of a LAO/BSTO superlattice stack^[90]; (c) capacitance dependence on voltage^[90].

上述的测量结果是在单电畴近似下得到的, 在多电畴铁电材料 $\text{Hf}_x\text{Zr}_{1-x}\text{O}_2$ (HZO) 电容与介质层电容串联结构中没有发现这种直流增强效应^[92], 因此人们认为目前 HZO 中的 NC 是瞬态 NC^[93], 即接下来要讨论的内容。

3.2.2 瞬态 NC

到目前为止, 得到了铁电材料的自由能曲线中的本征 NC 区域, 并通过串联一个介质层电容, 通过介质层中能够退极化场的作用, 将铁电层的电容稳定在 NC 区域, 称为稳态 NC. 在铁电材料中还存在另外一种 NC, 即瞬态 NC, 是指在 R - C_{FE} 串联电路 (图 13) 中, 当施加一个正 (负) 脉冲电压时, 在短时间内 C_{FE} 上的电压与电荷的变化相反, 即 C_{FE} 上的电荷增加 (减少) 而电压下降 (增加). 关于铁电材料瞬态 NC 的实验现象已有大量的文献报道^[94-97], 其中, Khan 等^[94]首次在 R - C_{FE} 串联电路中观察到了瞬态 NC 现象, 认为当施加的脉冲电压超过铁电材料的矫顽电压时, 铁电体发生极化翻转, 极化状态从一个稳定态转换到另外一个稳定态, 会经过 NC 区域, 从而表现出了短暂的 NC 效应, 因此, 瞬态 NC 效应可以看成是铁电体极化翻转过程中在自由能曲线中存在负曲率区域的一种表征. 之后人们指出导致瞬态 NC 的直接原因是铁电材料极化强度的变化速度比金属极板上自由电荷的变化速度快, 而且这个差值越大, 瞬态 NC 现象越明显^[98].

2018 年, Chang 等^[99]结合基尔霍夫电路定律和朗道自由能理论对瞬态 NC 的物理机制进行了分析. 考虑图 13 所示的电路, 根据基尔霍夫定律, 电极板电荷 Q_{free} 与时间 t 的关系为

$$\frac{\partial Q_{\text{free}}}{\partial t} = \frac{V_{\text{in}} - V_{\text{out}}}{R \cdot A} = \frac{V_{\text{in}} - V_{\text{FE}}}{R \cdot A}, \quad (23)$$

其中 $\partial Q_{\text{free}}/\partial t$ 为电流密度, V_{in} 为输入电压, $V_{\text{out}} = V_{\text{FE}}$ 为铁电材料电容电压, R 为串联电阻电阻值, A 为铁电电容的表面积. 根据电位移矢量方程, 可将自由电荷 Q_{free} 写为

$$Q_{\text{free}} = \varepsilon_0 E_{\text{FE}} + P, \quad (24)$$

其中 E_{FE} 表示穿过铁电层的电场, ε_0 为真空介电常数, P 为铁电层的平均极化强度, 其与时间的微分方程可根据 L-K 方程^[100] 写为

$$\gamma \frac{\partial P}{\partial t} = \left(-2\alpha_1 + \frac{t_{\text{dep}}}{\varepsilon_0 t_{\text{FE}}} \right) P - 4\alpha_{11} P^3 - 6\alpha_{111} P^5 + E_{\text{FE}}, \quad (25)$$

其中 γ 为铁电材料的粘度系数, α_1 、 α_{11} 和 α_{111} 是铁电材料的热膨胀系数, t_{FE} 和 t_{dep} 分别是铁电层的厚度和有效退极化场厚度.

结合 (23) 式—(25) 式中可得

$$R \cdot A \frac{\partial Q_{\text{free}}}{\partial t} = V_{\text{in}} - \frac{t_{\text{FE}} (Q_{\text{free}} - P)}{\varepsilon_0}. \quad (26)$$

对 (24) 式两边取时间的微分可得

$$\frac{\partial V_{\text{FE}}}{\partial t} = \frac{t_{\text{FE}}}{\varepsilon_0} \left(\frac{\partial Q_{\text{free}}}{\partial t} - \frac{\partial P}{\partial t} \right). \quad (27)$$

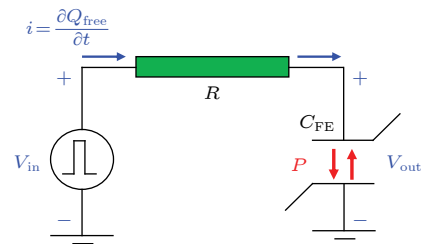


图 13 测量铁电体瞬态 NC 的 R - C_{FE} 等效电路图^[99]
 Fig. 13. The schematic of a R - C_{FE} circuit for studying the transient NC in ferroelectrics^[99].

由 (25) 式与 (26) 式可以看到, 自由电荷和极化强度之间通过 E_{FE} 耦合. 同时, 自由电荷和极化强度对时间的响应速度分别被 R 和 γ 所限制. 通过欧拉方法对 (25) 式和 (26) 式进行模拟, 并且在模拟之前, 先输入一个负电压, 使得铁电层中的初始极化方向为负. 模拟结果如图 14 和图 15 所示. 图 14(a) 展示了 R - C_{FE} 电路对脉冲输入信号的

响应, 可以看到, 有两个区域中铁电电容上自由电荷增加 (减少) 但是电压降低 (升高), 也就是 $\partial Q_{\text{free}}/\partial V < 0$. 从图 14(b) 中可以看到, NC 仅发生于铁电层中极化翻转时, 而且自由电荷和极化强度与随时间的变化基本一样. 但对其取时间微分, 结果如图 14(c) 所示, 自由电荷和极化强度对时间的微分总是存在一个差距, 而且在第一个 NC 发生

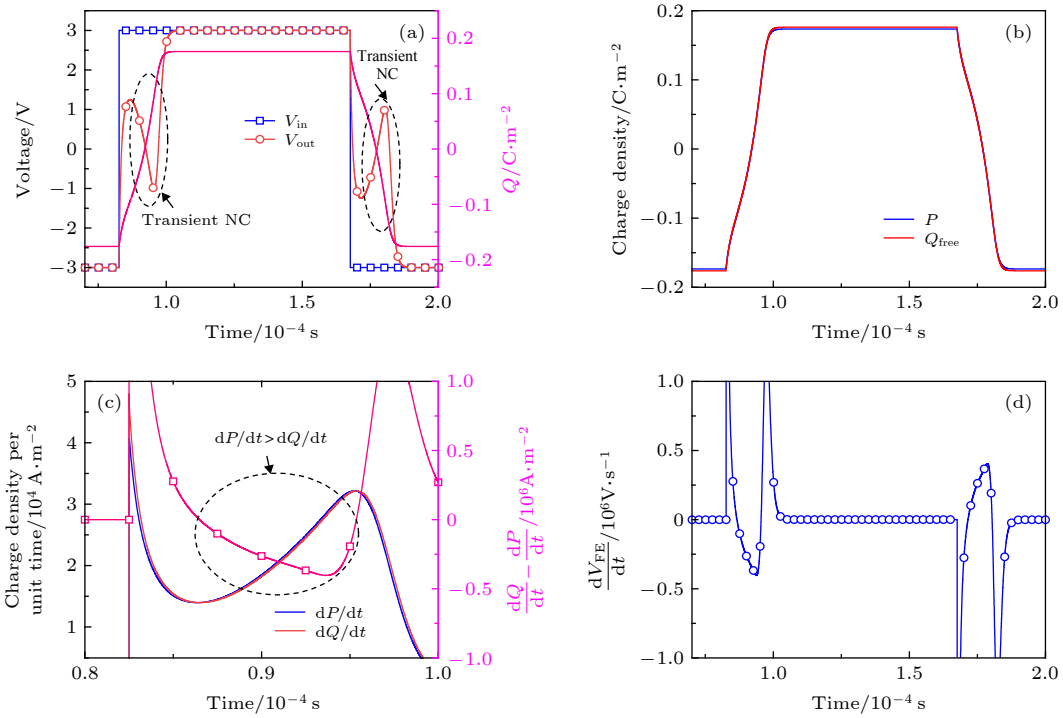


图 14 瞬态 NC 模拟结果^[99] (a) 输入电压, 输出电压和铁电电容上自由电荷与时间的关系图; (b) 极化强度和自由电荷与时间的关系图; (c) 极化强度和自由电荷对时间的微分结果及其差值随时间的变化曲线; (d) 铁电电容电压的变化速度随时间的变化曲线

Fig. 14. The simulation results of transient NC^[99]: (a) Input voltage, output voltage, and free charge on a ferroelectric capacitor as functions of time; (b) polarization and free charge as functions of time; (c) charge density per unit time for free charge and polarization and the difference between them; (d) change in the voltage across a ferroelectric capacitor per unit time as a function of time.

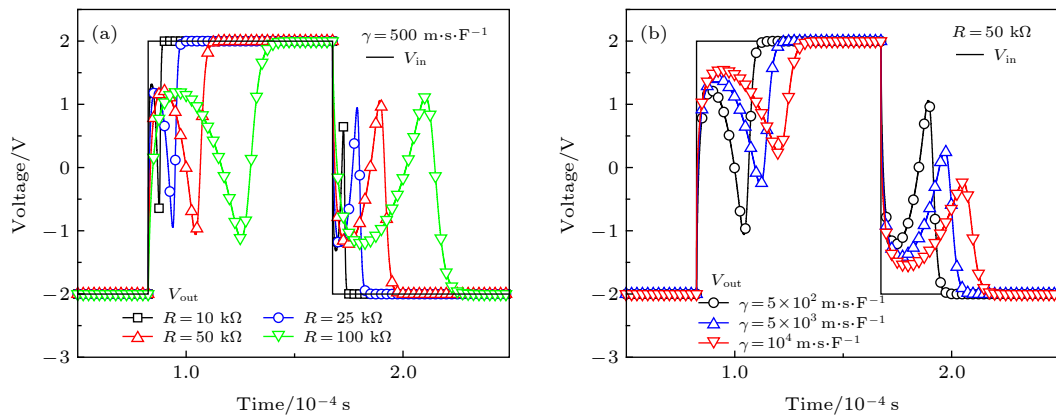


图 15 (a) 外电阻对 R - C_{FE} 电路中瞬态 NC 的影响; (b) 粘度系数对 R - C_{FE} 电路中瞬态 NC 的影响^[99]

Fig. 15. (a) The effect of the external resistance on transient NC in a R - C_{FE} circuit; (b) the effect of the viscosity coefficient on transient NC in a R - C_{FE} circuit^[99].

时有 $\partial P/\partial t > \partial Q_{\text{free}}/\partial t$. 从 (27) 式可以看到, 铁电电容电压随时间的变化速度与自由电荷和极化强度随时间的变化速率之间的差值线性相关. 对比图 14(a) 和 (d) 可看到, 在 NC 刚开始出现时, $\partial V_{\text{FE}}/\partial t$ 变为负值, 而当在施加负向脉冲电压区间内的 NC 发生时, $\partial V_{\text{FE}}/\partial t$ 变为正值, 此时自由电荷和极化强度减小, 但 $|\partial P/\partial t| > |\partial Q_{\text{free}}/\partial t|$. 因此在 NC 发生时, 极化强度的变化速率总是快于自由电荷的变化速率的.

由上述分析可得, R - C_{FE} 中的瞬态 NC 与自由电荷和极化强度随时间的变化速率之间的差值相关, 因此由 (25) 式和 (26) 式可得, 外部电阻和粘度系数对瞬态 NC 会产生影响, 其模拟结果如图 15 所示. 由图 15(a) 可以看到, 随着外部电阻的增大, 极化翻转速度变慢, 瞬态 NC 持续的时间也变长, 这是因为自由电荷需要更多的时间在铁电电容中建立电场. 而且瞬态 NC 现象也随着外部电阻的增大而变得更明显, 这是因为随着 R 的增大, $\partial Q_{\text{free}}/\partial t$ 将变小, (27) 式中的差值将增大, 因此瞬态 NC 现象将变得更明显. 同样地, 随着粘度系数的增大, 极化翻转速度变慢, $\partial P/\partial t$ 将变小, 因此瞬态 NC 持续的时间增长, 而 (27) 式中的差值将减小, 瞬态 NC 现象也变得更不明显. Hoffmann 等^[101] 从铁电畴翻转动力学角度分析得到了 R - C_{FE} 电路中瞬态 NC 的持续时间 ΔT 与外部电阻和粘度系数的关系式

$$\Delta T = |C_{\text{FE}}| (RA + t_{\text{FE}}\gamma) \exp(E_a/E_{\text{FE}}), \quad (28)$$

其中, C_{FE} 为铁电层单位面积电容, t_{FE} 为铁电层厚度, E_a 为铁电畴翻转的激活电场^[102], E_{FE} 为铁电层的内部电场. 可以看到, 瞬态 NC 的持续时间与随外部电阻和粘度系数的增大而增大, 与图 15 中的结果相符合.

瞬态 NC 效应并不能在无滞回 Fe-NCFETs 中导致瞬时电流增强效应, 这是因为瞬态 NC 的发生伴随着铁电体的极化翻转, 而无滞回 Fe-NCFETs 没有发生极化翻转^[103]. 因此由于瞬态 NC 导致也能观察到 SS 的下降的 Fe-NCFETs, 但由于自由电荷迟滞现象的存在, 器件往往伴随着较大的回滞电压^[104], 对于低功耗逻辑晶体管的实现是不利的, 因此仍需要进行更深入的研究.

3.3 NC 器件的工作区域

通过以上分析得到了铁电材料 NC 的物理来

源, 但是由于 NC 区域多值特性导致的热力学不稳定性, 因此单独的铁电材料存在滞回曲线, 并不能稳定在 NC 区域工作, 需要串联一个合适的常规正电容, 才能将铁电材料稳定在 NC 区域工作.

考虑如图 12 所示的电容模型, 采用稳态 NC 理论, 则各电容器上的电荷量分别为

$$Q_{\text{FE}} = V_{\text{FE}}C_{\text{FE}}, \quad (29)$$

$$Q_{\text{S}} = \psi_{\text{S}}C_{\text{S}} = (V_{\text{G}} - V_{\text{FE}})C_{\text{S}}, \quad (30)$$

由串联电容的带电荷量相等可得

$$Q_{\text{FE}} = (V_{\text{G}} - V_{\text{FE}})C_{\text{S}}, \quad (31)$$

则 (20) 式与 (31) 式曲线的交点即为器件的工作点^[26], 如图 16(b) 和 (c) 所示, 图中红色实线为 $V_{\text{G}} = 0$ 时的沟道电容电荷量与铁电层电压的关系曲线, 红色虚线为 $V_{\text{G}} > 0$ 时的沟道电容电荷量与铁电层电压的关系曲线. 可以看到, 当 $C_{\text{S}} < |C_{\text{FE}}|$ 时, 两条曲线只有一个交点, 如图 16(b) 所示, 此时器件的转移特性曲线无回滞现象, 称之为 Fe-FETs^[91](图 16(d)). 而当 $C_{\text{S}} > |C_{\text{FE}}|$ 时, 两条曲线在 NC 区域有多个交点, 如图 16(c) 所示, 此时器件的转移特性曲线有回滞现象, 称之为 Fe-NCFETs(图 16(e)). 而且可以看到, 当 C_{S} 增大时, SS 低, 但同时回滞现象也变严重了, 从 (2) 式中也可看到这个趋势.

所以器件的 SS 与回滞现象之间存在一个本质上的矛盾关系, 即不能同时减小 SS 和回滞现象, Wang 等^[105] 结合 Kolmogorov-Avrami-Ishibashi (KAI) 方程^[106], 从多电畴动态反转的角度解释了器件 SS 与回滞现象之间存在矛盾关系的物理机制.

对于逻辑器件的应用, 回滞现象是要避免的, 可以通过调节 C_{S} 与 C_{FE} 之间的比例, 从而调制器件的 SS 与回滞电压, 即所谓的电容匹配 (capacitance matching) 工程, 研究人员也对此进行了大量的研究^[107-112]. Si 等^[113] 制作了以 $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2/\text{Al}_2\text{O}_3$ 为介质层的二维 MoS_2 沟道器件, 其中 2 nm 厚的 Al_2O_3 作为掩蔽层和电容匹配层, 器件的 SS 降低到 47 mV/dec, 而且消除了回滞现象, 为低功耗逻辑器件的实现提供了选择.

4 Fe-NCFETs 沟道工程研究进展

沟道的形状和材料种类对于器件的性能有着很大的影响. 近十年来, 为了提高器件性能, 延续摩尔定律, 各种新技术和新沟道材料被应用于 Fe-

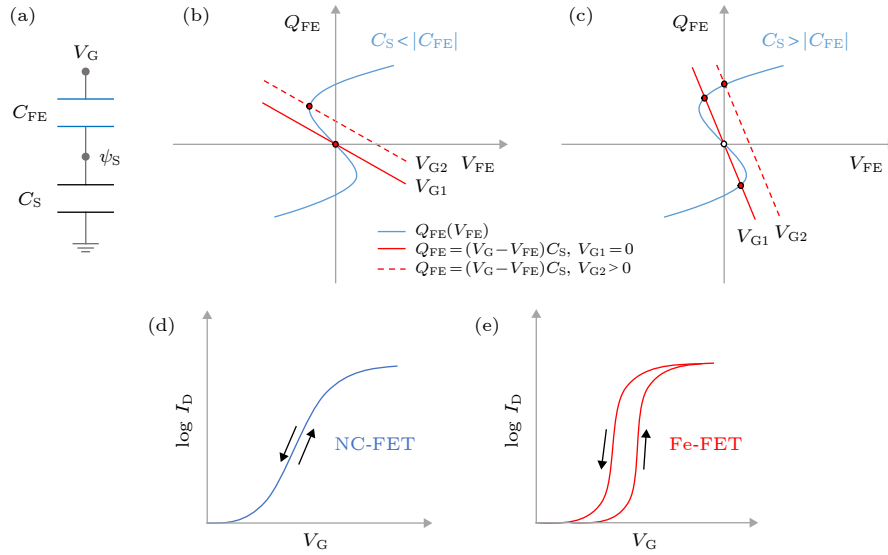


图 16 器件电容电荷量与电压的关系 (a) 电容模型; (b) $C_S < |C_{FE}|$; (c) $C_S > |C_{FE}|$; (d) Fe-NCFETs^[91]; (e) Fe-FET^[91]

Fig. 16. The relationship between capacitive charge and voltage of the device: (a) Capacitance model; (b) $C_S < |C_{FE}|$; (c) $C_S > |C_{FE}|$ (d) Fe-NCFETs^[91]; (e) Fe-FETs^[91].

NCFETs 上, 也就是所谓的沟道工程, 研究人员对这个方向开展了大量的研究工作. 而氧化铪基铁电材料因具有高介电常数和与 CMOS 技术兼容性高等优点被人们广泛应用于 Fe-NCFETs 研究. 以下从沟道的形状和材料种类出发, 分别从三维沟道材料和二维沟道材料的角度总结了近几年来采用氧化铪基铁电体的 Fe-NCFETs 的重要研究成果, 并对器件的 SS、开关电流比、回滞电压和漏电流等性能的改善进行了分析概述, 对于 Fe-NCFETs 的设计与制造具有指导意义.

4.1 三维沟道

采用硅、锗基材料、III-V 族化合物和碳纳米管等三维材料作为沟道的 Fe-NCFETs 有诸多优点, 如与传统 CMOS 工艺的兼容性高、沟道与铁电层之间界面性能好、在三维尺度上的可控性高、电学性能稳定. 因此, 三维沟道 Fe-NCFETs 被认为是下一代 MOS 晶体管的主要选择之一^[114].

4.1.1 硅沟道

氧化铪基铁电材料的出现, 使得利用传统 CMOS 技术集成硅和铁电材料成为了可能, 自 2014 年 Cheng 和 Chin^[115] 首次报道了 SS 小于 60 mV/dec 的采用氧化铪基铁电体 (HfZrO, HZO) 的硅基 Fe-NCFETs 以来, 人们对硅基 Fe-NCFETs 进行了广泛的研究, 器件的结构也从最开始的平面

型 (planar) 发展到现在的 FinFET 型和 GAA 纳米线型.

Fan 等^[116] 制备了铁电层为 10 nm-HfAlO (Al: 6%) 的 planar 型硅基 Fe-NCFETs, 如图 17(a) 所示, 器件的性能优异, 其开关电流比大于 10^8 , 正扫和反扫 SS 均低于 25 mV/dec, 而且回滞电压仅为 20 mV, 成功实现了无回滞且低 SS 的 Fe-NCFETs. 他们采用了 TaN 作为栅电极, 栅电极会对 HfAlO 铁电层施加应力, 这个应力会导致 HfAlO 由顺电性的单斜晶相向具有铁电性的正交晶相转变^[117], 而且由于铁电体具有压电性质, 应力的存在还会增大铁电体的极化强度, 因此随着 TaN 中的 N 含量的增加, TaN 的应力逐渐增大, HfAlO 的剩余极化强度增大, 如图 17(b) 所示. 而且他们还采用了 CF_4 等离子体对器件进行钝化处理以消除界面处的氧离子缺陷, 从而减小了界面陷阱电荷对铁电层极化作用的抑制作用, 增大了铁电层对沟道表面电势的放大作用, 如图 17(c) 所示. 由图 17(d) 可以看到, 在经过栅电极应力和 F 离子钝化作用后, 不仅器件的 SS 大大降低了, 而且回滞现象也得到了抑制. 他们通过测量恒压应力和相对应力诱导漏电流的方法研究了 F 离子钝化作用对铁电层 NC 的影响, 进一步证明界面处的陷阱电荷和氧离子空位在经过 F 离子钝化作用后被消除了^[118].

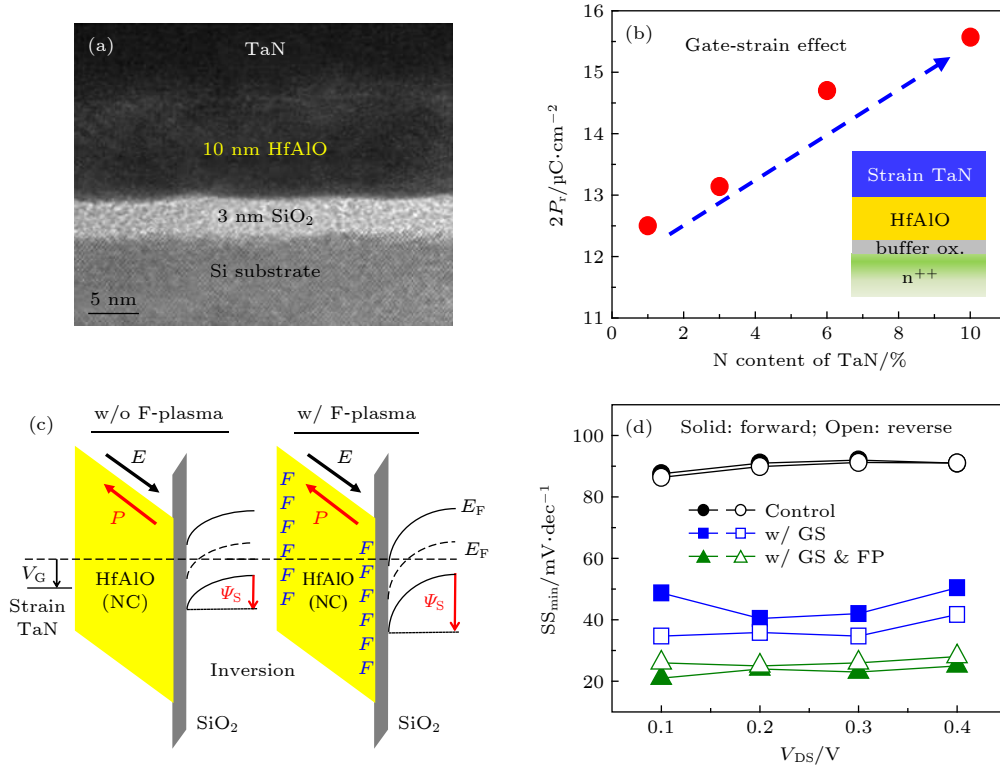


图 17 平面型硅基- HfAlO Fe-NCFETs^[116] (a) 器件截面透射电子显微镜 (transmission electron microscope, TEM) 图; (b) 剩余极化强度与 TaN 中 N 含量的关系曲线; (c) F 离子钝化作用对铁电层能带影响的示意图; (d) 不同处理作用后器件的 SS 与源漏电压的关系

Fig. 17. Planar Silicon based HfAlO Fe-NCFETs^[116]: (a) HR TEM cross-section image; (b) polarization as a function of nitrogen content of TaN; (c) schematic band diagram of HfAlO before and after F-passivation; (d) SS as a function of V_{DS} after different treatments.

Cheng 等^[119] 研究了 $Hf_{1-x}Zr_xO_2$ 中 Zr 含量对 planar 型硅基 Fe-NCFETs 性能的影响, 发现随着 Zr 含量的增大, $Hf_{1-x}Zr_xO_2$ 中正交相的占比增大, 铁电层的极化强度增大, 即铁电性增强, 器件的 SS 减小. 但当 Zr 的含量超过 50% 时, Zr 离子的漂移作用会导致介质层漏电流的增大, 从而降低了铁电层电容与沟道电容的匹配度, 导致 SS 退化, 最后通过实验确定当 Zr 含量为 25% 时, 器件的 SS 和介质层漏电流都较小. 其他研究人员也对 planar 型硅基 Fe-NCFETs 中栅电极种类^[120]、铁电层退火温度与电压扫描范围^[121] 和 ZrO_2 籽晶层^[122] 对器件性能的影响进行了研究. 由于结构本身的限制因素, planar 型硅基 Fe-NCFETs 和传统 MOSFETs 相比, 其亚阈值区性能改善并不理想, 维持 SS 低于 60 mV/dec 的电流区间往往小于三个数量级, 因此人们对其他结构如 FinFET 和 GAA 结构硅基 Fe-NCFETs 进行了研究.

Li 等^[123] 报道了首个硅基铁电 NC FinFET, 他们采用 5 nm $Hf_{0.42}Zr_{0.58}O_2$ 作为铁电体, 其结构

如图 18(a) 所示, 沟道宽度约为 30 nm, 栅介质层为 MFMIS 双 TiN 栅结构. 图 18(b) 是不同栅压下铁电层对栅压的放大系数曲线, 可以看到, 栅压放大系数最大为 1.4 左右. 而由图 18(c) 可以看到, 铁电 NC FinFET 的 SS 为 58 mV/dec, 比传统 FinFET 的 SS(88 mV/dec) 下降了 1.5 倍, 与图 18(b) 中的测量结果相符合. 2018 年 Zhou 等^[25] 采用全耗尽 SOI 为衬底, 制作了铁电层为 4 nm $Hf_{0.5}Zr_{0.5}O_2$ 的硅基铁电 NC FinFET, 不仅将器件 SS 降低到 54.5 mV/dec, 而且还消除了回滞现象, 使其回滞电压仅为 3 mV. 除此之外, 他们还首次在硅基 Fe-NCFETs 中发现了由于铁电层 NC 和漏端电容耦合作用导致的负 DIBL 和 NDR 效应, 对于抑制短沟效应和实现器件尺寸的进一步减小是很有利的.

Zhang 等^[124] 在超薄 SOI 衬底制备了如图 19(a) 所示的硅基铁电 NC p-FinFET, 其栅介质层结构为 $Hf_{0.42}Zr_{0.58}O_2/TiN/TaN/TiN/W$, 这种多层栅电极结构可以在降低铁电层和栅电极之间界面态密度的同时增强对铁电层的栅控能力, 同时在铁电

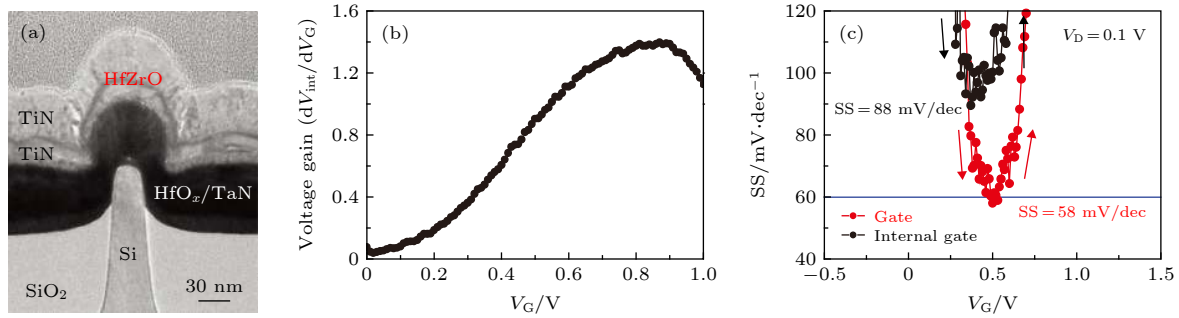


图 18 硅基 NCFinFET^[123] (a) 器件截面 TEM 图; (b) 铁电 NCFinFET 的栅压放大系数与栅压的关系曲线; (c) 常规 FinFET 和铁电 NCFinFET 的 SS 与栅压的关系曲线

Fig. 18. Silicon based NC-FinFET^[123]: (a) TEM cross-sectional image of NC-FinFET with TiN internal gate, HfZrO FE film and TiN gate; (b) the gate amplification coefficient as a function of V_G for NC-FinFET; (c) SS as a function of V_G for conventional FinFET and NC-FinFET.

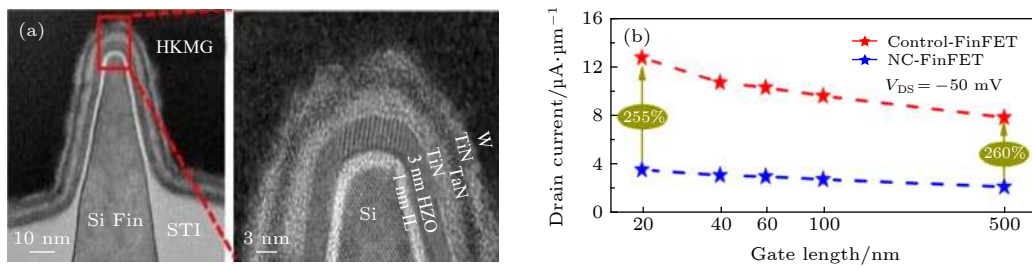


图 19 (a) 硅基铁电 NC-p-FinFET 截面 TEM 图^[124]; (b) 源漏电流与栅长关系曲线^[124]

Fig. 19. (a) TEM cross-sectional image of silicon based NC-p-FinFET^[124]; (b) I_{DS} as a function of gate length^[124].

层与沟道之间沉积了一层 1 nm 厚的 HfO_2 界面层, 改善了铁电层与沟道之间的界面性能. 而且多栅结构会对 Fin 沟道施加应力, 增强了沟道载流子迁移率. 图 19(b) 是传统 FinFET 和 NC-FinFET 在不同栅长下的 I_{DS} 数值, 可以看到, NC-FinFET 的 I_{DS} 比传统 FinFET 的 I_{DS} 提高了 250% 以上, 这得益于 NC-FinFET 较低的界面态密度和较高的载流子迁移率. 在这个器件中, HZO 铁电薄膜的厚度已经达到了 3 nm, 为实现 5 nm 及以下节点高性能和低功耗晶体管性能需求提供了技术支持. Chen 等^[125] 也对具有不同栅长和沟道宽度的硅基 HZO NC FinFET 进行了研究, 发现当栅长是沟道宽度的十倍以上时, 器件的 SS 大都能低于 60 mV/dec, 这是因为栅长变大时, 铁电层对栅压的放大作用增强, 从而增强了栅电极对沟道的控制能力, 改善了 SS. 可以看到, 在结合了铁电材料之后, FinFET 型器件的电流性能提升 (~250%) 比 planar 型器件的电流性能提升 (~50%) 更明显, 这得益于 FinFET 结构器件具有更强的栅控能力.

Lee 等^[126] 首次报道了 GAA 双层堆叠硅纳米线结构 Fe-NCFETs, 器件采用 10 nm HZO 为铁

电层, 表现出了优异的电学性能, 其开关电流比超过 10^8 , 平均 SS 为 43.85 mV/dec, 回滞电压仅为 2.77 mV. 器件结构如图 20(a) 所示, 共栅堆叠纳米线结构可以有效增强栅对沟道的控制能力, 而且在保持器件特征尺寸不变的情况下增加了沟道的有效宽度, 因此增大了器件的跨导和沟道电流, 但是和单层沟道器件相比, 其电流增幅小于两倍, 这是因为双层沟道器件引入了更多的寄生电阻^[127]. 他们还在 HZO 下面淀积了一层 2 nm 厚的 ZrO_2 籽晶 (图 20(b)), 由 HZO 的 X 射线衍射 (X-ray diffraction, XRD) 曲线 (图 20(c)) 可看到, 与没有 ZrO_2 籽晶层 (灰色曲线), 有 ZrO_2 籽晶层 (红色曲线) HZO 正交相的衍射强度增强了, 因为 ZrO_2 籽晶层可在 HZO 沉积的时候诱导正交相 HZO 的生成, 提高了 HZO 的结晶性. 这种采用 ZrO_2 籽晶层诱导正交相 HZO 生成的方法省去了传统 HZO 生长工艺中高温结晶退火步骤, 大大提高了器件的热稳定性.

硅基 Fe-NCFETs 具有与 CMOS 工艺兼容性强和工艺成熟等优势, 器件也表现出了 SS 低、开关电流比大和性能稳定等优点, 但是硅材料的载流

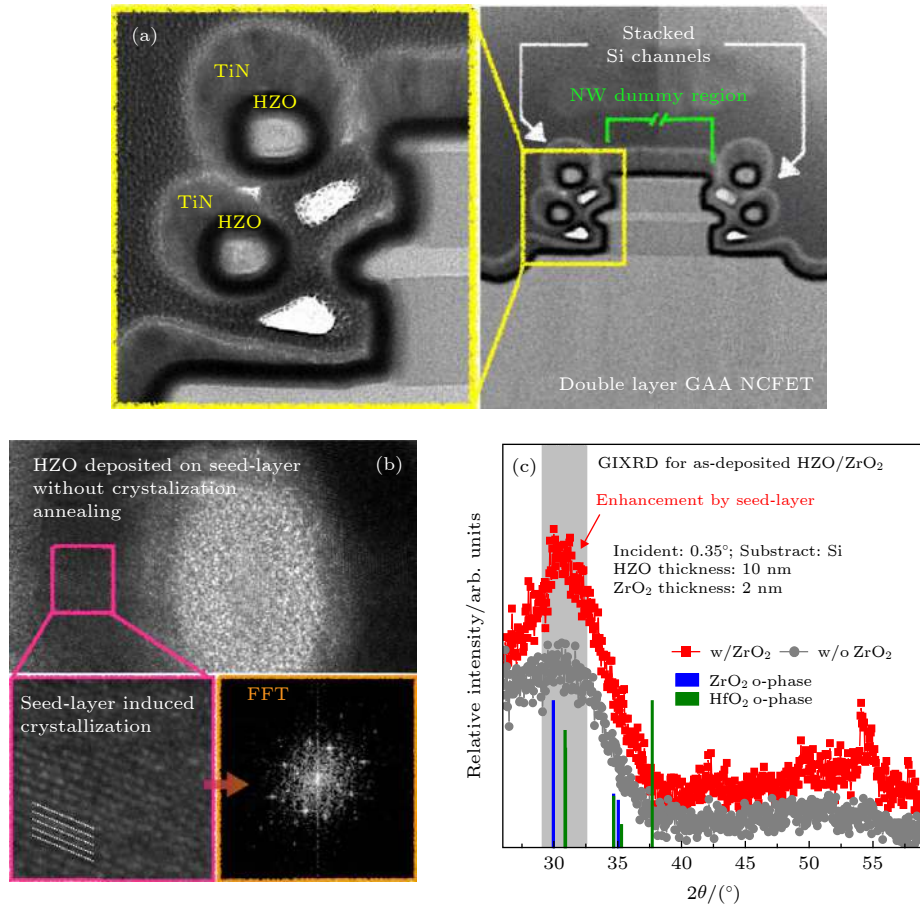


图 20 双层堆叠硅纳米线 GAA 结构 Fe-NCFETs^[126] (a) 器件截面 TEM 图; (b) 沟道部分高分辨率 TEM 图; (c) HZO 层的掠入角 XRD 曲线

Fig. 20. Two-layer stacked silicon nanowire GAA Fe-NCFETs^[126]: (a) TEM cross-sectional image of the device; (b) HRTEM of a portion of the channel; (c) the GIXRD spectrum for the as-deposited HZO layer.

子有效迁移率低,限制了晶体管开态电流的大小,所以人们对采用其他三维沟道材料的 Fe-NCFETs 进行了研究.

4.1.2 锗基材料沟道

锗基材料具有很多优点,如锗 (Ge) 的空穴迁移率为 $1900 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$, 是硅的空穴迁移率 ($430 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$) 的 5 倍左右^[128], 而且还可以通过掺入锡 (Sn) 引入应力从而进一步提高空穴迁移率, 因此人们对 Ge 基 NC-pFET 进行了广泛的研究.

Zhou 等^[129]报道了第一个 SS 小于 60 mV/dec 的 Ge 基 NC-pFET, 他们采用 HZO 作为铁电层分别制备 Ge 沟道 NC-pFET 和 $\text{Ge}_{0.96}\text{Sn}_{0.04}$ 沟道 NC-pFET, 其结构示意图分别为图 21(a) 和 21(b), HZO 层的厚度为 6.5 nm . 但是器件的性能并不理想, 图 21(c) 和 (d) 分别是 Ge 沟道 NC-pFET 和 $\text{Ge}_{0.96}\text{Sn}_{0.04}$ 沟道 NC-pFET 的转移特性曲线图, 可以看到, 器件的回滞电压分别为 2.3 V 和 0.4 V , 平

均 SS 也仅为 60 mV/dec 左右, 器件的开关电流比也仅为 10^3 左右, 导致器件的静态功耗大大增加, 这是由于 Ge 带隙较小 ($E_{g, \text{Ge}} = 0.66 \text{ eV}$), 结间漏电流和带间隧穿漏电流增大, 因此器件的关态漏电流增大. 而且与常规 pFET 相比, 在 V_{DD} 等于 1 V 时的源漏电流仅提高了 20%, NC 效应不明显.

Zhou 等^[130]将 $\text{Ge}_{0.96}\text{Sn}_{0.04}$ 沟道 NC-pFET 中 HZO 的退火结晶温度从 $400 \text{ }^\circ\text{C}$ 增大到 $500 \text{ }^\circ\text{C}$, 改善了铁电相 HZO 的结晶质量, 提高了其 P_r/E_c 比值, 在将 SS 降低到 20 mV/dec 以下的同时也将回滞电压也降低到了 100 mV 以下, 而且与常规 pFET 相比, 沟道电流改善比例提高到了 30%. 随后, 他们研究了 Ge 沟道 NC-pFET 中栅电容 C_G 与跨导 G_m 的关系^[131], 发现 C_G-V_G 和 G_m-V_G 曲线在相同的栅压位置都出现了峰值, 而且 SS- I_{DS} 曲线有一个下降台阶, 对应的 V_{GS} 与 C_G-V_G 峰值栅压是一样的, 而且峰值越大, 下降台阶越明显,

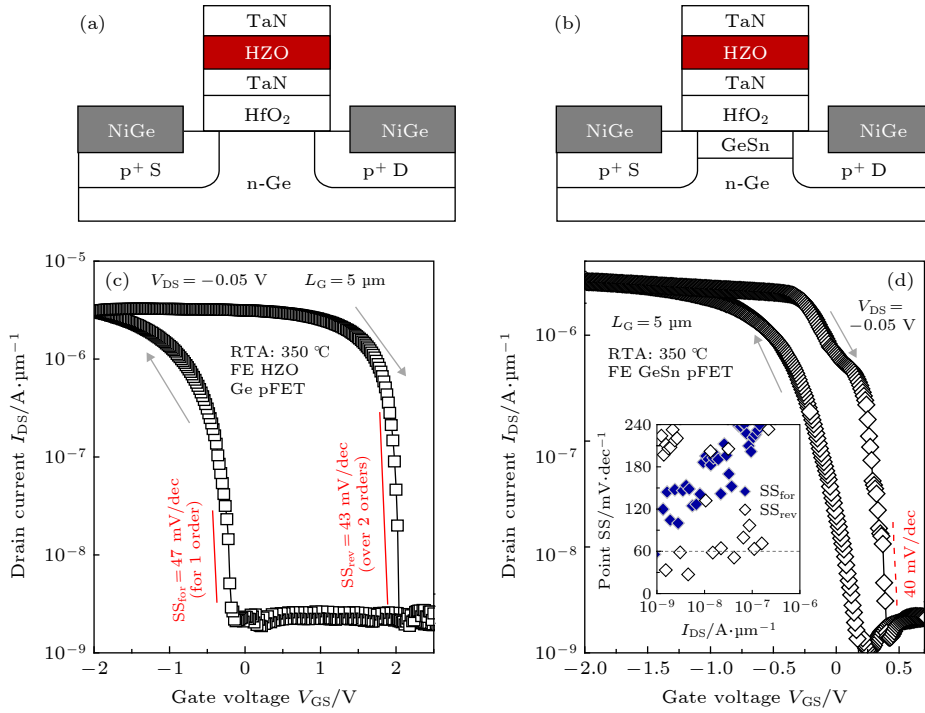


图 21 Ge 基-HZO NCP 型晶体管^[129] (a) Ge 沟道器件结构示意图; (b) Ge-Sn 沟道器件结构示意图; (c) Ge 沟道器件转移特性曲线; (d) Ge-Sn 沟道器件转移特性曲线

Fig. 21. Germanium based HZO NC-pFET^[129]: (a) Schematic diagram of the device with Ge channel; (b) schematic diagram of the device with Ge-Sn channel; (c) transfer characteristic curve of the device with Ge channel; (d) transfer characteristic curve of the device with Ge-Sn channel.

进一步证明 HZO 介质层的 NC 效应可以有效改善器件的性能. 但文献 [131] 中只是对器件的性能改善做了表征, 缺少对铁电材料内在结构的研究, 如果能将铁电材料结构的改变及其相关机理研究清楚, 将可以更好地指导器件的设计.

Zhou 等^[132]对 Ge 基 NC-pFET 中铁电层电容 C_{FE} 和沟道电容 C_{MOS} 之间的匹配进行了研究, 在 Ge 沟道器件中发现了 NDR 效应, NDR 效应来源于栅介质层电容与漏端电容的耦合, 其耦合因子 η_{GD} 的表达式为: $\eta_{GD} = C_{GD}/(|C_{FE}| - C_{MOS})$, 其中 C_{GD} 表示栅与沟道的耦合电容. 当器件没有回滞时, 即 $|C_{FE}| > C_{MOS}$, 此时随着铁电层厚度 t_{FE} 和栅压 V_{GS} 的增大, η_{GD} 增大, NDR 效应变明显; 当器件有回滞时, 即 $|C_{FE}| < C_{MOS}$, 此时仅在小 V_{GS} 下可以观察到 NDR 效应, 这是因为随着 V_{GS} 的增大, η_{GD} 变小, 导致 NDR 效应消失. 他们首次研究了栅压扫描范围对器件性能的影响^[133], 发现当栅压扫描范围减小时, 器件的回滞现象变明显, 这是因为随着栅压扫描范围的减小, P_r/E_c 比值减小, $|C_{FE}|$ 减小, 与 CMOS 的匹配性变差, 从而导致器件回滞电压增大. Peng 等^[134]和 Zhang 等^[124]分别对钝化时间

长短和 $Hf_{1-x}Zr_xO_2$ 中 Zr 含量的变化对器件性能的影响进行了研究, 结果表明当钝化时间为 40 min 和 Zr 含量为 33% 时器件具有较小的 SS 和较高的 I_{DS} .

Alghamdi 等^[135]研究了栅压扫描速度和扫描范围对 Ge 纳米线 NC-pFET 的 SS 和 I_{DS} 的影响. 当栅压扫描范围为 ± 5 V 时, 只有在扫描时间超过 25 μs 的情况下才能在转移特性曲线中观察到回滞现象, 而当扫描时间超过 25 μs 时, 随着扫描时间的延长, 回滞电压反而变小, 如图 22(a) 和 (b) 所示. 这是因为铁电体中极化子的反转速度较慢, 当栅压扫描速度过快时, 极化子在栅压扫描过程中没有完成一个完整的反转过程, 所以观察不到明显回滞现象; 而当扫描时间超过极化子的反转所需的最小时间时, 随着扫描时间的延长, 极化子能充分跟上扫描电压的变化速度, 所以回滞电压减小. 随着栅压扫描范围的减小, I_{DS} 减小, 而且出现回滞现象的最小扫描时间变长 (图 22(c)), 他们认为这可能是因为随着最大栅压减小, 极化子的反转速度变慢, 因此导致极化子反转所需最短时间变长, 但是更明确的物理机制需进一步的理论和实验分析.

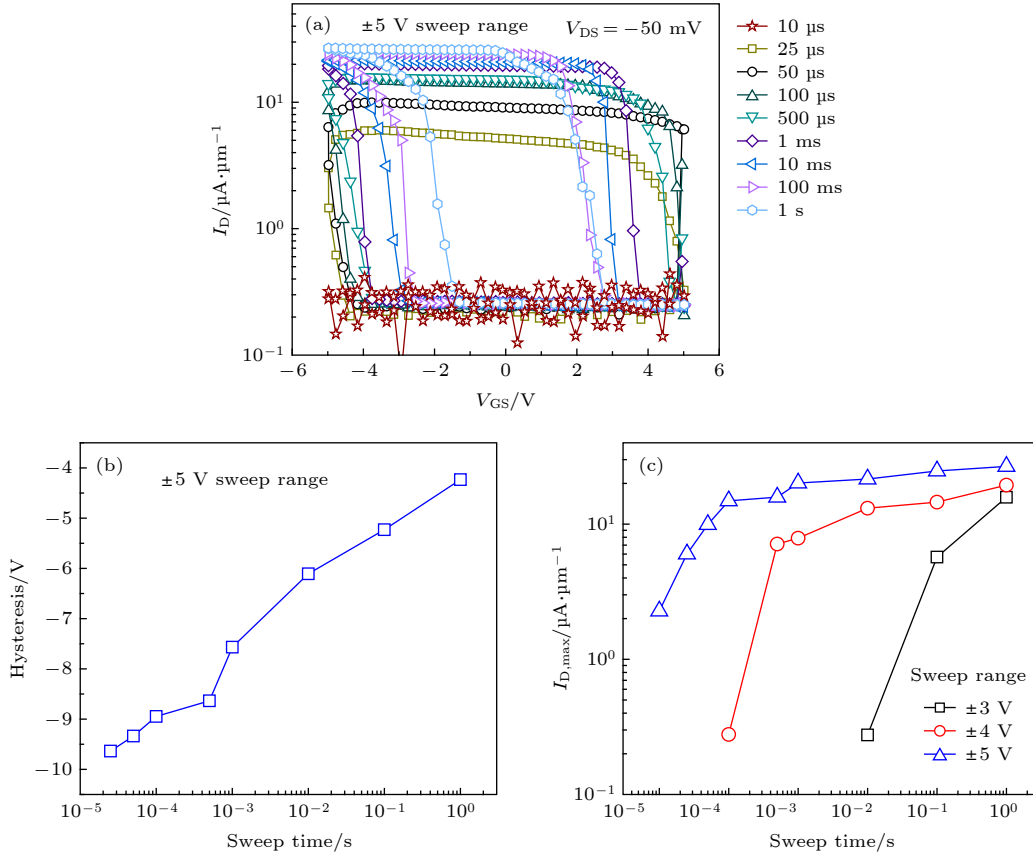


图 22 锗纳米线 Fe-NCFETs^[135] (a) 栅压扫描范围为 ± 5 V 时在不同扫描时间下的转移特性曲线; (b) 栅压扫描范围为 ± 5 V 时的回滞电压与扫描时间关系曲线; (c) 不同栅压扫描范围下的 $I_{D, \text{Max}}$ 与扫描时间关系曲线
 Fig. 22. Germanium nanowire NC-pFET^[135]: (a) The transfer characteristic curve at different sweep times for ± 5 V sweep range; (b) hysteresis versus sweep time for ± 5 V sweep range; (c) maximum drain current versus sweep time for different sweep ranges.

Ge 基材料由于具有较高的空穴迁移率, 因此被广泛应用于 NC-pFET, 但是目前仍然存在一些关键问题, 比如高频下滞回现象明显、由于 Ge 材料带隙较小导致开关电流比小、 Ge_xSn_y 沟道中难以实现 Sn 元素的高浓度掺杂以及与 CMOS 技术的兼容性问题等。

4.1.3 III-V 族化合物沟道

III-V 族化合物材料, 包括 GaAs、InAs、InGaAs 和 InSb 等, 具有较高的电子迁移率 (如: $\mu_n, \text{InAs} = 42000 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$), 是 Si 电子迁移率 ($1600 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$) 的十倍以上, 因此被认为是 nMOS 沟道材料极具潜力的选择^[128]。

Luc 等^[136] 报道了第一个 SS 小于 60 mV/dec 的平面型 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ 沟道 Fe-NCFETs, 其结构示意图如图 23(a) 所示, 采用 8 nm HZO 作为铁电层, 在 HZO 与沟道之间有 1 nm 的 Al_2O_3 介质层, 衬底为 InP. 他们研究了不同退火温度和退火时间下的器件性能, 发现当退火温度为 500 $^\circ\text{C}$ 以及退

火时间为 30 s 时, 器件的性能最好, 此时器件的转移特性曲线如图 23(c) 所示, 可以看到, 当 V_{DS} 为 0.05 V 时, 器件的最小 SS 达到 11 mV/dec, 回滞电压为 0.7 V, 开关电流比为 10^5 左右. 2019 年, Chang 等^[137] 报道了第一个 Fin 结构 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ 沟道 Fe-NCFETs, 其结构示意图如图 23(b) 所示, 器件的物理参数和之前报道的平面型器件类似. 其转移特性曲线如图 23(d) 所示, 当 V_{DS} 为 0.05 V 时, 最小 SS 为 23 mV/dec, 回滞电压为 0.2 V, 传输性能与平面型器件相比有所改善, 但是其开关电流比小于 10^5 , 低于平面型器件, 这可能是由于 FinFET 器件的表面态较多导致漏电流增大, 从而降低了开关电流比, 还需要深入研究以探明其内在机理, 进一步提高 III-V 族沟道 Fe-NCFETs 的性能。

III-V 族化合物由于具有极高的电子迁移率, 有望替代 Si 成为 nMOS 器件的沟道材料, 因此也被用于 n 型 Fe-NCFETs 的研究, 但是 III-V 族化合物与介质层之间的界面性能差和难以实现高浓度掺杂是目前存在的主要问题。

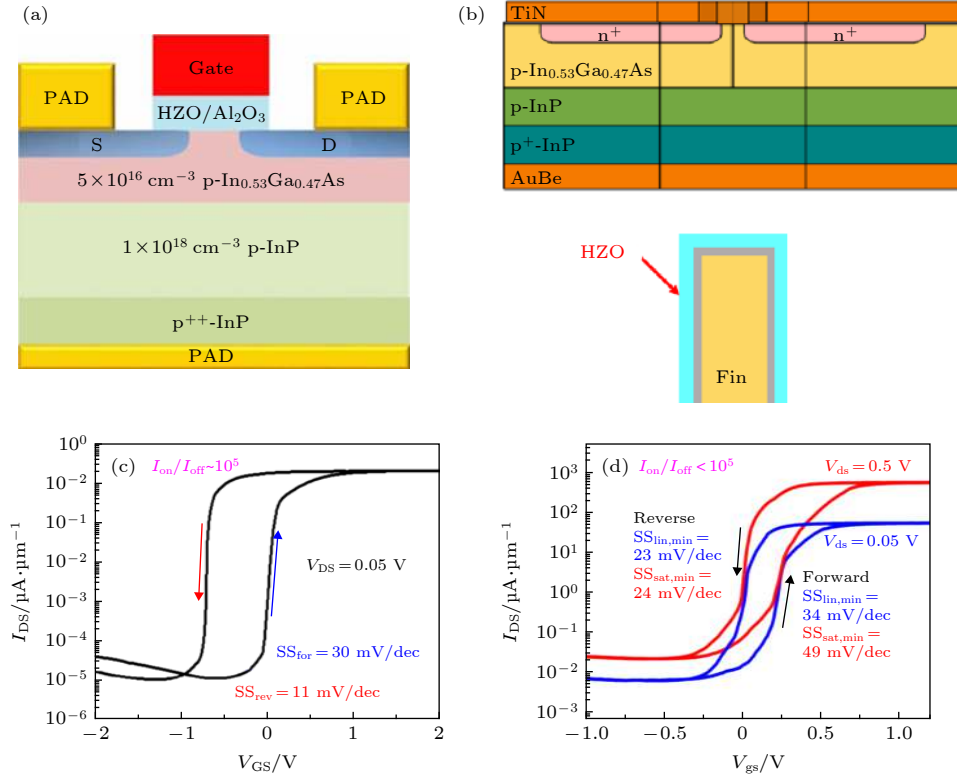


图 23 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ 沟道 Fe-NCFETs (a) 平面型器件的结构示意图^[136]; (b) Fin 结构器件的结构示意图^[137]; (c) 平面型器件的转移特性曲线^[136]; (d) Fin 结构器件的转移特性曲线^[137]

Fig. 23. $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ channel Fe-NCFETs: (a) Schematic diagram^[136] and (c) transfer characteristic curve of planar device^[136]; (b) schematic diagram^[137] and (d) transfer characteristic curve of Fin device^[137].

4.1.4 碳纳米管沟道

首个碳纳米管 Fe-NCFETs 由 Srimani 等^[138] 报道, 器件结构如图 24(a) 所示, 采用 MFMI 结构, 其中铁电层为 10 nm HfAlO . 与碳纳米管 MOSFETs(蓝色曲线) 相比, 碳纳米管 Fe-NCFETs(红色曲线) 的电学性能更优异, 图 24(c) 为器件的转移特性曲线, 可以看到, 加了 HfAlO 铁电层之后, 晶体管的 SS 有所提高, 其中 Fe-NCFETs 的平均 SS 为 55 mV/dec, 而且栅极漏电流也减小了(图 24(d)). 但是由图 24(b) 中的电滞回线可以看到, HfAlO 层的电滞回线不像铁电体的电滞回线, 反而更像由于内部金属栅充放电导致的回滞现象. 由于他们没有对 HfAlO 的晶相结构进行研究, 因此由于 HfAlO 的铁电性而导致器件性能改善的说法需要进行进一步的实验验证. 目前关于碳纳米管 Fe-NCFETs 的实验报道相对较少, 其工作机理也尚未明确, 仍需要进行更多的理论和实验研究.

4.2 二维材料沟道

二维材料如过渡金属硫族化合物、烯类材料和黑磷等具有丰富的界面效应、高的电子迁移率、可调

控的光电性能和低的光散射损失等优点^[139]. 而且二维材料的厚度非常小(原子尺度), 所以对于使用二维沟道材料器件, 其理论特征长度非常小, 可以有效地抑制短沟道效应从而获得非常低的关断电流, 对于低功耗晶体管的实现是很有利的. 因此二维材料被广泛应用于 Fe-NCFETs^[140–143], 器件也表现出低 SS (6.07 mV/dec)^[33] 和大开关电流比 ($> 10^9$)^[144] 等优异的电学性能.

4.2.1 过渡金属硫族化合物材料

Nourbakhsh 等^[108] 于 2017 年首次报道了以 MoS_2 作为沟道的 Fe-NCFETs, 器件采用 Al 掺杂 HfO_2 作为铁电层. 他们对不同 Al 掺杂剂量和铁电层厚度做了研究, 发现当采用 10 nm 厚 7.3% Al: HfO_2 的铁电层时, 器件表现出较好的电学性能, SS 降低到 55 mV/dec, 回滞电压为 17 mV, 与仅用 HfO_2 作为介质层的 FET 相比, 其电压放大了 1.25 倍, SS 下降了 10 mV/dec, I_{DS} 增大了两倍左右. 但是 $\text{SS} < 60$ mV/dec 只能维持 1 个电流数量级, 这可能是热噪声导致的, 而且他们没有排除内部金属栅的充放电效应对于 SS 的影响, 因此提到的稳态 NC 导致 SS 降低是有待讨论的.

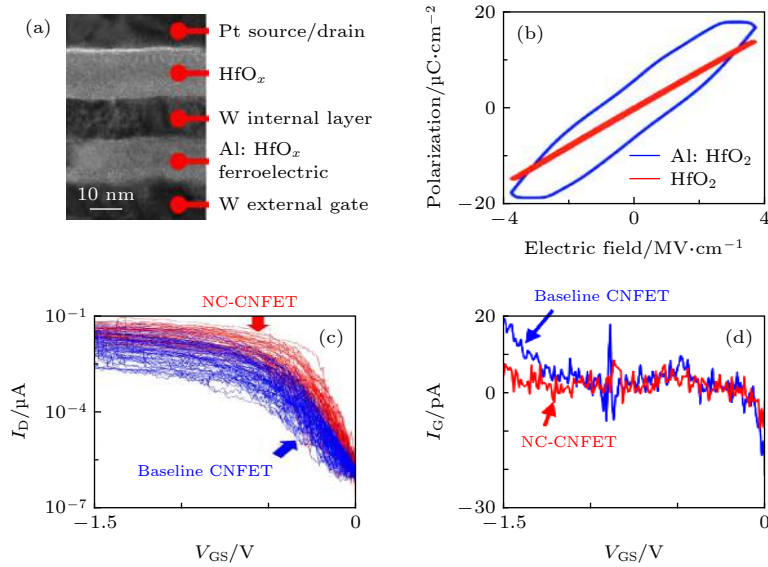


图 24 碳纳米管 Fe-NCFETs^[138] (a) 器件横截面 TEM 图; (b) 电滞回线; (c) 转移特性曲线; (d) 栅电流和栅压的关系曲线
 Fig. 24. Carbon nanotube Fe-NCFETs^[138]: (a) TEM cross-sectional image; (b) P_r vs. E ; (c) the transfer characteristic curve; (d) I_{GS} as a function of V_{GS} .

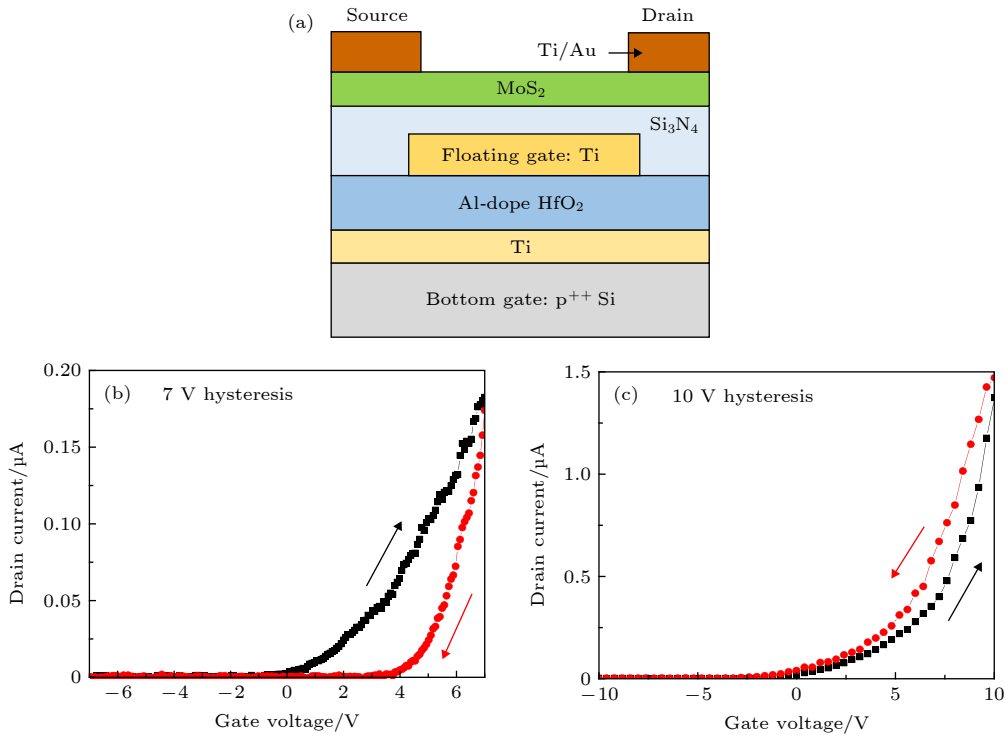


图 25 MoS₂ 铁电 NC 体晶体管^[145] (a) 器件结构图; (b) $V_G = \pm 7$ V 的转移特性曲线; (c) $V_G = \pm 10$ V 时的转移特性曲线
 Fig. 25. MoS₂ Fe-NCFETs^[145]: (a) Structure of the device; (b) transfer characteristic curve of $V_G = \pm 7$ V; (c) transfer characteristic curve of $V_G = \pm 10$ V.

Yap 等^[145]报道了相同结构的 Fe-NCFETs, 如图 25(a) 所示. 他们指出, 当扫描电压为 ± 7 V 时, 转移特性曲线表现出顺时针回滞曲线 (图 25(b)), 这是由于 MoS₂/Si₃N₄ 界面层陷阱电荷充放电导致的; 当扫描电压增大到 10 V 时, 转移特性曲线表现出逆时针回滞曲线 (图 25(c)), 这是由于扫描过

程中极化子的反转导致的. 当对器件施加脉冲电压时也发现了同样的情况, 与瞬态电容理论模型分析得到的结果一致.

McGuire 等^[33]采用 15 nm 厚的 Hf_{0.5}Zr_{0.5}O₂ 作为铁电层, 制备了内部 TiN 金属栅结构的 MoS₂ Fe-NCFETs, SS 最小为 6.07 mV/dec, 比常规 MoS₂

FET 的 SS(161 mV/dec) 下降了 2 个数量级, 而且在 4 个电流数量级内的平均 SS 为 8.03 mV/dec. 当改变介质层厚度、铁电层厚度和源漏电压时, 都可以看到明显的 SS 降低现象. 但是由于内部金属栅的存在, 在所有扫描过程中都存在回滞现象, 而且回滞电压随着测量频率的增大而变大, 表明导致器件 SS 降低的原因为瞬态 NC, 而不是稳态 NC. 人们也研究了背栅电压模式^[30]、栅介质层材料^[144]、栅长^[146]和低频噪声影响^[147]等对 MoS₂ Fe-NCFETs 的影响, 发现器件均能表现出较低的 SS, 说明 MoS₂ 在 Fe-NCFETs 方面有极大的潜力.

除了 MoS₂ 之外, WSe₂ 也被用作 Fe-NCFETs 沟道材料^[140,148,149], 其中 Si 等^[140] 分别制备了以 Hf_{0.5}Zr_{0.5}O₂ 作为铁电层的 MFIS 型和 MFMIS 型 WSe₂ Fe-NCFETs, 如图 26(a) 和 (b) 所示. 图 26(c) 为 MFIS 型 Fe-NCFETs 转移特性曲线, 可以看到, 当源漏电压为 0.1 V 时, 正向扫描亚阈值摆幅 SS_{For} 为 57.5 mV/dec, 反向扫描亚阈值摆幅 SS_{Rev} 为 40.2 mV/dec, 导致 SS_{Rev} 小于 SS_{For} 的原因是由于在反向扫描过程中, 极化子的反转会给栅极带来一个额外的电压降, 从而进一步降低了器件的 SS. 图 26(d) 为 MFMIS 型 Fe-NCFETs 转移特

性曲线, 当源漏电压为 0.1 V 时, SS_{For} 和 SS_{Rev} 分别为 41.2 mV/dec 和 14.4 mV/dec, 由于内部金属栅对铁电层电压放大作用均匀化, 因此 MFMIS 型 Fe-NCFETs 的 SS 要比 MFIS 型 Fe-NCFETs 的 SS 低, 但同时内金属栅的充放电效应也导致其回滞电压的增大.

4.2.2 石墨烯和黑磷

以石墨烯或黑磷作为沟道的 Fe-NCFETs 主要采用如 P(VDF-TrFE)^[141,142]、SrBi₂NbO₉^[150]、PMN-PT^[151,152] 和 PbZrO₃^[153] 等传统铁电材料, 随着材料制备工艺的改进, 采用氧化钪基铁电体的二维石墨烯/黑磷 Fe-NCFETs 近来已有报道.

Lee 等^[154] 通过 pALD 在单层石墨烯上生长了 5 nm 厚的介孔结构 Hf_xAl_yO₂, 并研究了不同 Al 组分下的相关性能参数, 如图 27 所示. 由图 27(b) 可以看到, 当 Al 组分为 9.5% 时, Hf_xAl_yO₂ 材料的相对介电常数达到最高值 ($\epsilon = 25$), 是纯净 HfO₂ 的相对介电常数 ($\epsilon = 17$) 的 1.5 倍, 他们认为这是因为在这个组分下, Hf_xAl_yO₂ 的晶胞结构主要为四方相, 而四方相 Hf_xAl_yO₂ 的介电常数比单斜相和立方相 Hf_xAl_yO₂ 的介电常数高. 所以他

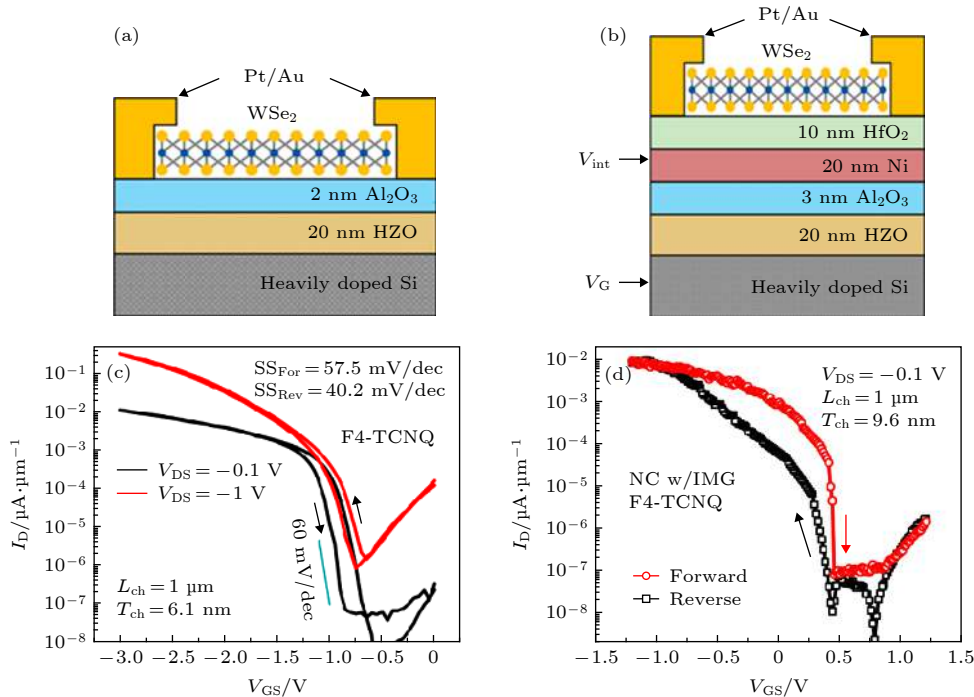


图 26 WSe₂ 铁电 NC 体晶^[140] (a) MFIS 型器件结构图; (b) MFMIS 型器件结构图; (c) MFIS 型器件的转移特性曲线; (d) MFMIS 型器件的转移特性曲线

Fig. 26. WSe₂ Fe-NCFETs^[140]: (a) Structure of MFIS device; (b) structure of MFMIS device; (c) transfer characteristic curve of MFIS device; (d) transfer characteristic curve of MFMIS device.

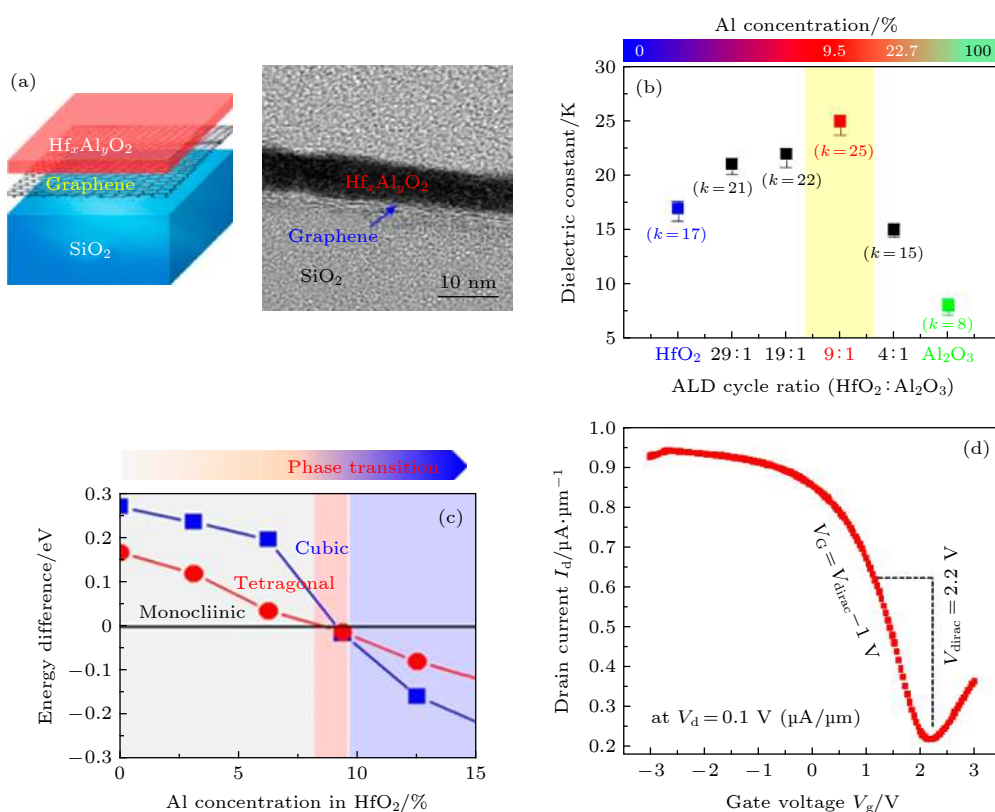


图 27 石墨烯- $\text{Hf}_x\text{Al}_y\text{O}_2$ 晶体管^[154] (a) 在石墨烯/二氧化硅衬底上沉积的 $\text{Hf}_x\text{Al}_y\text{O}_2$ 薄膜; (b) $\text{Hf}_x\text{Al}_y\text{O}_2$ 的相对介电常数; (c) 不同 Al 组分下 $\text{Hf}_x\text{Al}_y\text{O}_2$ 三个相的能量差; (d) 转移特性曲线 (9.5% Al)

Fig. 27. Graphene- $\text{Hf}_x\text{Al}_y\text{O}_2$ transistor^[154]: (a) $\text{Hf}_x\text{Al}_y\text{O}_2$ films deposited on graphene/ SiO_2 substrates; (b) relative dielectric constant of $\text{Hf}_x\text{Al}_y\text{O}_2$; (c) energy difference among three phases in $\text{Hf}_x\text{Al}_y\text{O}_2$ with different Al concentrations; (d) transfer characteristic curve.

们采用密度泛函理论分析了不同组分下 $\text{Hf}_x\text{Al}_y\text{O}_2$ 的三个相之间的能量差值, 如图 27(c) 所示, 当 Al 组分为 7.9%—9.3% 时, 晶体结构为四方相, 与实验结果中的 9.5% 一致. 然后, 他们测试了以 $\text{Hf}_x\text{Al}_y\text{O}_2$ (9.5% Al) 作为铁电层的 FET 的转移特性曲线, 如图 27(d) 所示, 可以看到, 由于石墨烯材料独特的带隙结构, 器件的开关电流比很小, 仅为 2.75, 这对于低功耗晶体管是不利的. 而且氧化铪基材料只有在正交相下才能体现出铁电性能, 他们提到了四方相 $\text{Hf}_x\text{Al}_y\text{O}_2$ 是不具有铁电性的, 因此这里的 $\text{Hf}_x\text{Al}_y\text{O}_2$ 只是作为普通的介质层, 而不具备铁电体的效应, 所以以氧化铪基材料为铁电介质层的石墨烯 Fe-NCFETs 仍需进一步研究.

Tian 等^[155] 于 2019 年首次报道了氧化铪基黑磷 Fe-NCFETs, 其结构如图 28(a) 所示, 采用内部 Al 金属背栅电极以增强栅对沟道的控制能力, 黑磷和 Al 金属栅电极之间为 5 nm 厚的 Al_2O_3 介质层, 然后在 Al 金属栅上串联一个 HfZrO_2 厚度为 20 nm 的电容. 图 28(b) 为器件的转移特性曲

线, 紫色曲线表示串联了 HfZrO_2 电容的 Fe-NCFETs, 红色曲线表示没有 HfZrO_2 电容的传统 FET, 可以看到传统 FET 的曲线表现出回滞现象, 这是由于黑磷和 Al_2O_3 界面层陷阱电荷的充放电导致的. 与传统 FET 相比, Fe-NCFETs 由于 NC 效应的引入, 亚阈值区域更陡峭, 但由于铁电回滞效应的影响, 其回滞现象更明显. 从图 28(c) 可以看到, Fe-NCFETs 的 SS 虽然比传统 FET 小, 但由于黑磷和 Al_2O_3 界面层缺陷电荷较多, 导致其 SS 不能低于 60 mV/dec, 而且随着测试次数的增加, SS 也逐渐退化, 器件性能的保持度较差.

石墨烯和黑磷在理论上预测可作为 Fe-NCFETs 理想的二维沟道材料, 但是实验上的解释仍不清晰, 而且与过渡金属硫族化合物 Fe-NCFETs 相比, 其界面性能较差, SS 不能降低到 60 mV/dec 以下, 电流开关比很小 ($< 10^4$), 关于其实验方面的报道也较少. 因此, 在实现性能优异的石墨烯和黑磷 Fe-NCFETs 之前, 需要克服很多理论上和实验上的困难.

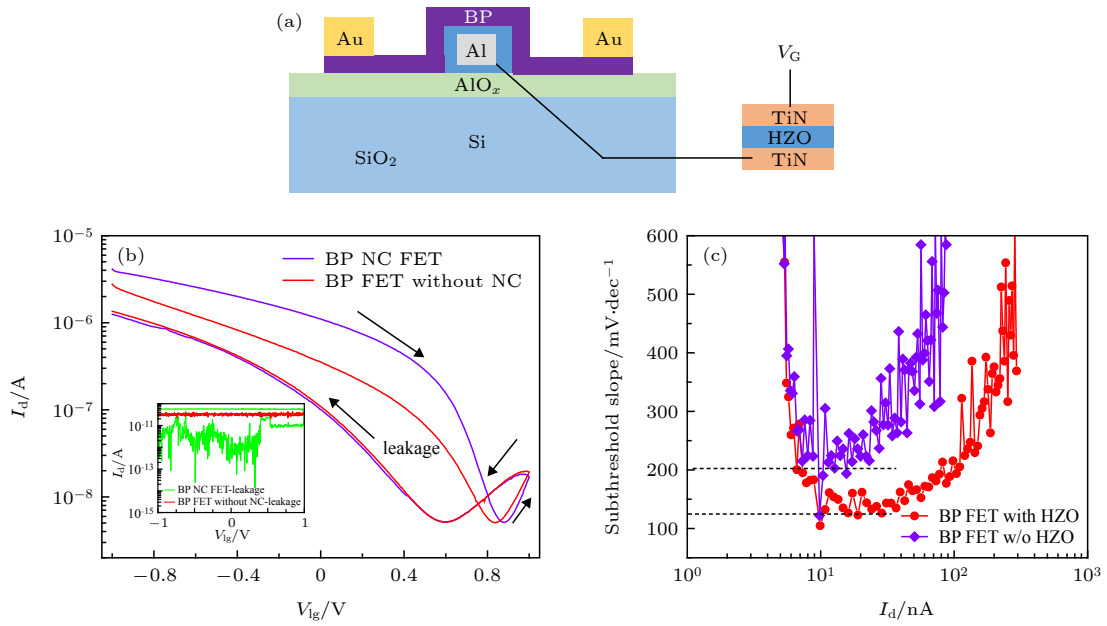


图 28 黑磷铁电 NC 晶体管^[155] (a) 器件结构图; (b) 转移特性曲线; (c) 不同 I_d 下的 SS
 Fig. 28. Black phosphorus Fe-NCFETs^[155]: (a) Structure of the device; (b) transfer characteristic curve; (c) SS in different I_d .

与过渡金属硫族化合物、石墨烯和黑磷等二维材料相结合的 Fe-NCFETs 表现出了优异的电学性能, 二维材料原子级别的厚度也为晶体管特征尺寸进入 3 nm 提供了可能. 但是二维材料与栅介质层的界面性能较差, 沟道表面缺陷态较多, 在升高器件 SS 的同时也加重了回滞现象, 这导致器件的功耗急剧增大, 而且二维材料与传统 CMOS 工艺兼容性较差. 所以为了实现二维材料沟道 Fe-NCFETs 的商业应用仍需进行大量的实验研究, 目前主要有 3 个研究方向: (1) 降低高 k 介质和二维材料的界面密度, 以保持固有的高载流子迁移率; (2) 实现源/漏区的高浓度掺杂以降低接触电阻; (3) 提高器件性能的稳定性.

表 1 是近几年发表的采用氧化钪基铁电体的 Fe-NCFETs 的性能参数表, 按照器件结构和沟道材料分类, 列举了器件的 SS_{\min} 、Hysteresis、Orders of I_{DS} 、 V_D 和 I_{on}/I_{off} 等参数, 其中 Hysteresis 表示回滞电压, Orders of I_{DS} 表示 SS 小于 60 mV/dec 的源漏电流数量级跨度, I_{on}/I_{off} 表示开关电流比. 不同器件 SS_{\min} 和 Hysteresis 之间的关系如图 29 所示, 为了实现器件在低功耗逻辑电路中的应用, 须保持 SS 小于 60 mV/dec 以及 Hysteresis 小于 0.01 V, 可以看到, 只有一部分硅基 Fe-NCFETs 可以满足此条件, 所以硅基 Fe-NCFETs 是目前最有可能替代传统 MOSFETs 成为下一代低功耗晶

体管的选择.

作为未来 CMOS 理想的沟道材料需要满足一些条件, 比如具有合适的带隙、低的缺陷态密度、高的载流子迁移率、与介质层的界面性能好、与 CMOS 技术兼容性高和成本低等, 目前没有任何一种材料满足以上所有条件. 因此, 传统 CMOS 技术正在进入一个新的阶段, 需要寻找新型材料和新的设计方案, 在这些条件之间寻找一个平衡, 来满足未来器件对沟道材料的要求.

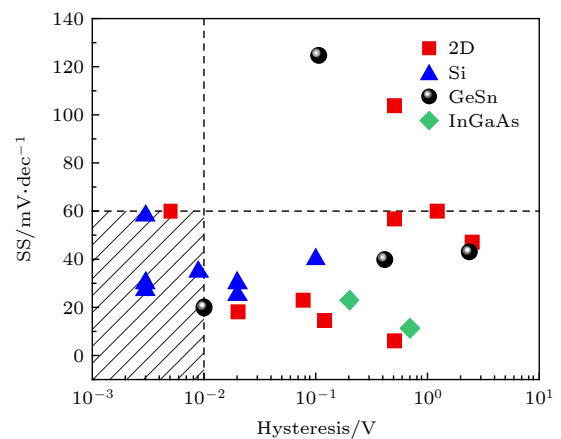


图 29 实验报道的 Fe-NCFETs 的 SS 与 Hysteresis 关系图 (2D^[30,33,108,140,144,146-148,155], Si^[25,116,118,119,121,123-126], GeSn^[129,130,134,156], InGaAs^[136,137])
 Fig. 29. SS versus Hysteresis of the reported Fe-NCFETs (2D^[30,33,108,140,144,146-148,155], Si^[25,116,118,119,121,123-126], GeSn^[129,130,134,156], InGaAs^[136,137]).

表 1 实验报道的 Fe-NCFETs 的性能参数对比
Table 1. Performance comparison of the reported Fe-NCFETs.

MOS structure	Channel materials	Gate structure	Ferroelectric materials	t_{FE}/nm	$SS_{min}/(mV \cdot dec^{-1})$	Hysteresis/V	Orders of I_{DS}	V_D/V	I_{ON}/I_{OFF}	Year	Ref.
Planar	p-Si	MFIS	Hf _{0.65} Zr _{0.35} O ₂	30	5	—	—	-0.5	10 ⁴	2014	[115]
Planar	n-Si	MFIS	HfAlO (Al: 6%)	10	Sub-25	0.02	4	0.2	10 ⁸	2017	[116]
Planar	n-Si	MFIS	Hf _{0.75} Zr _{0.25} O ₂	10	40	Free	1	0.2	10 ⁷	2018	[119]
Planar	n-Si	MFIS	Hf _{0.53} Zr _{0.47} O ₂	5	~40	-0.1	2	0.2	10 ⁷	2019	[121]
Planar	n-Si	MFIS	HfAlO (Al: 4%)	10	Sub-30	0.02	4	0.2	10 ⁸	2019	[118]
FinFET	n-Si	MFIS	Hf _{0.5} Zr _{0.5} O ₂	4	Sub-30	0.003	2	0.05	10 ⁷	2018	[25]
FinFET	n-Si	MFMS	Hf _{0.42} Zr _{0.58} O ₂	5	58	0.003	1	0.1	10 ⁵	2015	[123]
FinFET	n-Si	MFIS	Hf _{0.5} Zr _{0.5} O ₂	5	Sub-60	Free	—	0.1	10 ⁷	2019	[125]
FinFET	p-Si	MFMS	Hf _{0.42} Zr _{0.58} O ₂	3	34.5	0.009	2	-0.05	10 ⁴	2019	[124]
FinFET	n-Si	MFIS	Hf _{0.5} Zr _{0.5} O ₂	5	Sub-60	Free	—	0.1	10 ⁷	2019	[125]
GAA	poly n-Si	MFIS	Hf _{0.5} Zr _{0.5} O ₂	10	26.84	0.003	4	0.1	10 ⁸	2019	[126]
Planar	p-Ge	MFMS	Hf _{0.5} Zr _{0.5} O ₂	6.5	43	2.34	1	-0.05	10 ³	2016	[129]
Planar	p-GeSn	MFMS	Hf _{0.5} Zr _{0.5} O ₂	6.5	40	0.41	2	-0.05	10 ³	2016	[129]
Planar	p-GeSn	MFMS	Hf _{0.5} Zr _{0.5} O ₂	6	Sub-20	<0.01	2	-0.05	10 ⁴	2017	[130]
Planar	p-Ge	MFMS	Hf _{0.5} Zr _{0.5} O ₂	4.5	~87.5	Free	—	-0.05	10 ³	2019	[156]
Planar	p-Ge	MFIS	Hf _{0.67} Zr _{0.33} O ₂	7	~125	~0.105	—	-0.5	10 ⁴	2019	[134]
Planar	n-InGaAs	MFIS	Hf _{0.5} Zr _{0.5} O ₂	8	23	~0.2	3	0.05	10 ⁵	2018	[136]
FinFET	n-InGaAs	MFIS	Hf _{0.5} Zr _{0.5} O ₂	5	23	0.2	1	0.05	10 ³	2019	[137]
GAA	nanotube	MFMS	HfAlO(Al: 7%)	10	~45	—	—	0.05	10 ⁴	2018	[138]
2D-FET	MoS ₂	MFMS	Hf _{1-x} Zr _x O ₂	15	Sub-60	1.2	3	0.5	10 ⁵	2017	[146]
2D-FET	MoS ₂	MFMS	Hf _{0.5} Zr _{0.5} O ₂	15	6.07	0.5	4	0.5	10 ⁵	2017	[33]
2D-FET	MoS ₂	MFMS	HfAlO(Al:7.3%)	10	57	0.5	4	0.5	10 ⁵	2017	[108]
2D-FET	MoS ₂	MFMS	HfZrO _x	15	47	2.5	1	0.1	10 ⁶	2018	[30]
2D-FET	MoS ₂	MFIS	Hf _{0.5} Zr _{0.5} O ₂	20	Sub-60	<0.005	4	0.5	10 ⁶	2018	[147]
2D-FET	MoS ₂	MFIS	Hf _{0.5} Zr _{0.5} O ₂	20	23	0.077	6	0.1	10 ⁹	2017	[144]
2D-FET	WSe ₂	MFMS	Hf _{0.5} Zr _{0.5} O ₂	20	14.4	0.12	2	-0.1	10 ⁵	2018	[140]
2D-FET	WSe ₂	MFIS	Hf _{0.5} Zr _{0.5} O ₂	10	18.2	0.02	4	-0.1	10 ⁴	2018	[148]
2D-FET	Graphene	MFS	HfAlO(Al:9.5%)	5	—	—	—	0.1	2.75	2016	[154]
2D-FET	BP	MFMS	Hf _{0.5} Zr _{0.5} O ₂	20	104	0.5	—	0.1	10 ²	2019	[155]

5 总结与展望

随着晶体管特征尺寸进入 10 nm, 功耗增加变得不可忽视, 与传统 MOSFETs 相比, Fe-NCFETs 具有 SS 低、负 DIBL 等优点, 提高了晶体管的开关电流比, 极大程度地降低了器件的功耗, 为实现晶体管尺寸的进一步缩小和摩尔定律的延续提供了选择. 其中, 掺杂氧化铪基铁电材料的发现改善了传统铁电材料与 CMOS 工艺兼容问题, 使得 Fe-NCFETs 的性能大大提高, 因此近几年来采用掺杂氧化铪基铁电材料的 Fe-NCFETs 被广泛研

究, 器件的性能也大大提升. 目前 Fe-NCFETs 的应用主要集中于存储器方面 [145,157,158], 其原理是基于铁电材料处于两个极化状态时晶体管具有不同的电流数值, 而铁电层极化反转导致晶体管表层处于不同状态的特性, 在新一代显示屏——有源矩阵有机发光二极管中也具有应用潜力 [139,159].

但是在 Fe-NCFETs 大规模投入商业应用之前, 仍需要解决以下几个关键问题.

第一, Fe-NCFETs 中的滞回现象. 滞回现象的存在阻碍了逻辑晶体管的应用, 而铁电材料本身存在滞回的特性, 因而在设计 Fe-NCFETs 时可以考虑从减小铁电材料厚度、增大沟道的掺杂浓度以

减小沟道电容、减小 V_{DD} 和 V_G 扫描上限和调节铁电材料的参数等方面入手。但是要注意的是, 由于在滞回电压和 SS 之间存在权衡关系, 因此在降低滞回电压的时候将会增大 SS.

第二, 内部金属电极引入的问题. 采用内部金属电极结构可以均匀铁电层在沟道方向上的电势放大效果, 但极大地增加了器件的制造难度, 对于器件尺寸的进一步减小是不利的, 而且会导致栅极漏电流的增加, 降低了器件的稳定性能. 可以从栅电极结构的设计、栅电极材料的选择以及制作工艺等几个方面改进这个问题.

第三, 纳米尺度下面临的一些问题. 随着晶体管特征尺寸进入 10 nm, 铁电层的厚度也减小到了 3 nm 以下, Lee 等^[160]指出将 1 nm 厚的 HZO 铁电薄膜集成在 Fe-NCFETs 上以获得陡峭的 SS 是可行的. 但是如何在纳米尺度下有效地控制铁电层的界面态密度是需要认真考虑的, 小尺度下氧化铪基铁电体的电畴结构也需要进一步研究. 而且, 随着器件尺寸的减小, 量子效应变得不可忽略, 如沟道电流的量子输运现象^[161–163], 需要探明其微观机制并结合利用, 以指导材料和器件的设计, 进一步发掘 Fe-NCFETs 的应用潜力.

Fe-NCFETs 作为一种新型低功耗器件, 虽然目前在材料和工艺上仍然存在很多技术问题, 但是随着研究的深入, 将成为下一代 CMOS 最具潜力的器件之一.

参考文献

- [1] Moore G E 1965 *Electronics* **38** 114
- [2] Mori K, Duong A, Richardson W F J 2002 *IEEE T. Electron Dev.* **49** 61
- [3] Fitzgerald E 2006 *US Patent* 11 412 262
- [4] Chaudhry A, Kumar M J 2004 *IEEE T. Device Ma. Re.* **4** 99
- [5] Tsutsui G, Saitoh M, Hiramoto T 2005 *IEEE Electr. Device L.* **26** 836
- [6] Auth C, Allen C, Blattner A, Bergstrom D, Brazier M, Bost M, Buehler M, Chikarmane V, Ghani T, Glassman T 2012 *Symposium on VLSI Technology* Honolulu, HI, USA, June 12–14, 2012 p131
- [7] Bae G, Bae D-I, Kang M, Hwang S, Kim S, Seo B, Kwon T, Lee T, Moon C, Choi Y 2019 *IEEE International Electron Devices Meeting* San Francisco, CA, USA, December 1–5, 2018 p28.7.1
- [8] International Roadmap for Devices and Systems 2017 Edition Reports. <https://irds.ieee.org/roadmap-2017> [2020-1-11].
- [9] Zhirmov V V, Cavin R K 2008 *Nat. Nanotechnol.* **3** 77
- [10] Woo Young C, Byung-Gook P, Jong Duk L, Tsu-Jae King L 2007 *IEEE Electr. Device L.* **28** 743
- [11] Seabaugh A C, Zhang Q 2010 *Proc. IEEE* **98** 2095
- [12] Ionescu A M, Riel H 2011 *Nature* **479** 329
- [13] Mori T, Morita Y, Miyata N, Migita S, Fukuda K, Mizubayashi W, Masahara M, Yasuda T, Ota H 2015 *Appl. Phys. Lett.* **106** 083501
- [14] Gopalakrishnan K, Griffin P B, Plummer J D 2003 *Digest. International Electron Devices Meeting* San Francisco, CA, USA, December 8–11, 2002 p289
- [15] Kam H, Lee D T, Howe R T, King T J 2006 *IEEE International Electron Devices Meeting, 2005. IEDM Technical Digest.* Washington, DC, USA, December 5–5, 2005 p463
- [16] Lefter M, Enachescu M, Voicu G R, Cotofana S D 2014 *Proceedings of the 2014 IEEE/ACM International Symposium on Nanoscale Architectures* Paris, France, July 15–17, 2014 p151
- [17] Enachescu M, Lefter M, Voicu G R, Cotofana S D 2018 *IEEE Trans. Emerg. Top. Comput.* **6** 184
- [18] Luong G V, Narimani K, Tiedemann A T, Bernardy P, Trelenkamp S, Zhao Q T, Mantl S 2016 *IEEE Electr. Device L.* **37** 950
- [19] Kumar M J, Maheedhar M, Varma P P 2015 *IEEE T. Electron Dev.* **62** 4345
- [20] Enachescu M, Voicu G R, Cotofana S D 2012 *IEEE International Symposium on Circuits and Systems* Seoul, South Korea, May 23–25, 2012 p2561
- [21] Wei S, Zhang G, Liu J, Huang H, Geng L, Shao Z, Yang C F 2017 *International Conference on Applied System Innovation (ICASI)* Sapporo, Japan, May 13–17, 2017 p1293
- [22] Colinge J P, Lee C W, Afzalani A, Akhavan N D, Yan R, Ferain I, Razavi P, O'Neill B, Blake A, White M, Kelleher A M, McCarthy B, Murphy R 2010 *Nat. Nanotechnol.* **5** 225
- [23] Wang H, Han W, Li X, Zhang Y, Yang F 2014 *J. Appl. Phys.* **116** 124505
- [24] Salahuddin S, Datta S J 2008 *Nano Lett.* **8** 405
- [25] Zhou H, Kwon D, Sachid A B, Liao Y, Chatterjee K, Tan A J, Yadav A K, Hu C, Salahuddin S 2018 *IEEE Symposium on VLSI Technology* Honolulu, HI, USA, June 18–22, 2018 p53
- [26] Kobayashi M 2018 *Appl. Phys. Express* **11** 110101
- [27] Tan A J, Zhu Z, Choe H S, Hu C, Salahuddin S, Yoon A 2019 *International Symposium on VLSI Technology, Systems and Application* Hsinchu, Taiwan, China, April 22–25, 2019 p1
- [28] Das S, Appenzeller J 2011 *Nano Lett.* **11** 4003
- [29] Wang X, Yu P, Lei Z, Zhu C, Cao X, Liu F, You L, Zeng Q, Deng Y, Zhu C, Zhou J, Fu Q, Wang J, Huang Y, Liu Z 2019 *Nat. Commun.* **10** 3037
- [30] Xu J, Jiang S Y, Zhang M, Zhu H, Chen L, Sun Q Q, Zhang D W 2018 *Appl. Phys. Lett.* **112** 103104
- [31] Rusu A, Salvatore G A, Jiménez D, Ionescu A M 2010 *International Electron Devices Meeting* San Francisco, CA, USA, December 6–8, 2010 p16.3.1
- [32] Hu C, Salahuddin S, Lin C I, Khan A 2015 *73rd Annual Device Research Conference* Columbus, OH, USA, June 21–24, 2015 p39
- [33] McGuire F A, Lin Y C, Price K, Rayner G B, Khandelwal S, Salahuddin S, Franklin A D 2017 *Nano Lett.* **17** 4801
- [34] Pahwa G, Agarwal A, Chauhan Y S 2018 *IEEE T. Electron Dev.* **65** 5130
- [35] Mehta H, Kaur H 2019 *4th International Conference on Devices, Circuits and Systems* Coimbatore, India, March

- 16–17, 2018 p164
- [36] Mehta H, Kaur H 2018 *IEEE T. Electron Dev.* **65** 2699
- [37] Shao Q, Wang X, Jiang W, Chen Y, Zhang X, Tu L, Lin T, Shen H, Meng X, Liu A, Wang J 2019 *Appl. Phys. Lett.* **115** 162902
- [38] Fan C C, Tu C Y, Lin M H, Chang C Y, Cheng C H, Chen Y L, Liou G L, Liu C, Chou W C, Hsu H H 2018 *IEEE International Reliability Physics Symposium* Burlingame, CA, USA, March 11–15, 2018 pP-TX.8-1
- [39] Zhong W L 1996 *Ferroelectric Physics* (Beijing: Science Press) p1 (in Chinese) [钟维烈 1996 铁电体物理学 (北京: 科学出版社) 第1页]
- [40] Kholkin A L, Pertsev N A, Goltsev A V 2008 *Piezoelectricity and Crystal Symmetry* (Boston: Springer US) pp28–29
- [41] Koh J H 2002 *Ph. D. Dissertation* (Stockholm: Royal Institute of Technology)
- [42] Wersing W, Bruchhaus R 2000 *Pyroelectric Devices and Applications* (Cambridge: Academic Press) p143
- [43] Sawaguchi E, Akishige Y, Kobayashi M 1985 *J. Phys. Soc. Jpn.* **54** 480
- [44] Lu S W, Lee B I, Wang Z L, Samuels W D 2000 *J. Cryst. Growth* **219** 269
- [45] Smith M B, Page K, Siegrist T, Redmond P L, Walter E C, Seshadri R, Brus L E, Steigerwald M L 2008 *J. Am. Chem. Soc.* **130** 6955
- [46] Valasek J 1921 *Phys. Rev.* **17** 475
- [47] Ploss B, Ploss B, Shin F G, Chan H L, Choy C L 2000 *IEEE Trns. Dielectr. Electr. Insul.* **7** 517
- [48] Nguyen C A, Mhaisalkar S G, Ma J, Lee P S 2008 *Org. Electron.* **9** 1087
- [49] Kang S J, Park Y J, Bae I, Kim K J, Kim H C, Bauer S, Thomas E L, Park C 2009 *Adv. Funct. Mater.* **19** 2812
- [50] Jo J, Choi W Y, Park J D, Shim J W, Yu H Y, Shin C 2015 *Nano Lett.* **15** 4553
- [51] Zhang W, Xiong R G 2012 *Chem. Rev.* **112** 1163
- [52] Liu Y L, Ge J Z, Wang Z X, Xiong R G 2019 *Inorg. Chem. Front.* **7** 128
- [53] Ikeda T, Sasaki T, Ichimura K 1993 *Nature* **361** 428
- [54] Zhang H, Chen Y, Ding S, Wang J, Bao W, Zhang D W, Zhou P 2018 *Nanotechnology* **29** 244004
- [55] Beresnev L A, Chigrinov V G, Dergachev D I, Poshidaev E P, Fünfschilling J, Schadt M 1989 *Liq. Cryst.* **5** 1171
- [56] Ye H Y, Tang Y Y, Li P F, Liao W Q, Gao J X, Hua X N, Cai H, Shi P P, You Y M, Xiong R G J S 2018 *Science* **361** 151
- [57] Li P F, Liao W Q, Tang Y Y, Qiao W, Zhao D, Ai Y, Yao Y F, Xiong R G 2019 *Proc. Natl. Acad. Sci. U.S.A.* **116** 5878
- [58] Li L, Wu M 2017 *ACS Nano* **11** 6382
- [59] Ding W, Zhu J, Wang Z, Gao Y, Xiao D, Gu Y, Zhang Z, Zhu W 2017 *Nat. Commun.* **8** 14956
- [60] Li Y, Gong M, Zeng H 2019 *J. Semicond.* **40** 061002s
- [61] Liu F, You L, Seyler K L, Li X, Yu P, Lin J, Wang X, Zhou J, Wang H, He H, Pantelides S T, Zhou W, Sharma P, Xu X, Ajayan P M, Wang J, Liu Z 2016 *Nat. Commun.* **7** 12357
- [62] Wu M, Jena P 2018 *Wiley Interdiscip. Rev.-Comput. Mol. Sci.* **8** 1365
- [63] Bösecke T S, Müller J, Bräuhaus D, Schröder U, Böttger U 2011 *Appl. Phys. Lett.* **99** 102903
- [64] Mueller S, Mueller J, Singh A, Riedel S, Sundqvist J, Schroeder U, Mikolajick T 2012 *Adv. Funct. Mater.* **22** 2412
- [65] Müller J, Schröder U, Bösecke T S, Müller I, Böttger U, Wilde L, Sundqvist J, Lemberger M, Kücher P, Mikolajick T, Frey L 2011 *J. Appl. Phys.* **110** 114113
- [66] Starschich S, Boettger U 2017 *J. Mater. Chem. C* **5** 333
- [67] Schroeder U, Mueller S, Mueller J, Yurchuk E, Martin D, Adelmann C, Schloesser T, van Bentum R, Mikolajick T 2013 *ECS J. Solid State Sci. Technol.* **2** N69
- [68] Schroeder U, Yurchuk E, Müller J, Martin D, Schenk T, Polakowski P, Adelmann C, Popovici M I, Kalinin S V, Mikolajick T 2014 *Jpn. J. Appl. Phys.* **53** 08LE02
- [69] Müller J, Bösecke T S, Bräuhaus D, Schröder U, Böttger U, Sundqvist J, Kücher P, Mikolajick T, Frey L 2011 *Appl. Phys. Lett.* **99** 112901
- [70] Müller J, Boscke T S, Schroeder U, Mueller S, Brauhaus D, Böttger U, Frey L, Mikolajick T 2012 *Nano Lett.* **12** 4318
- [71] Terki R, Bertrand G, Aourag H, Coddet C 2008 *Mater. Lett.* **62** 1484
- [72] Íñiguez J, Zubko P, Luk'yanchuk I, Cano A 2019 *Nat. Rev. Mater.* **4** 243
- [73] Sayeef S, Supriyo D 2008 *Nano Letter* **8** 405
- [74] Lu P S, Lin C C, Su P 2019 *International Symposium on VLSI Technology, Systems and Application* Hsinchu, Taiwan, China, April 22–25, 2019 p1
- [75] Muller J, Boscke T S, Schroeder U, Hoffmann R, Mikolajick T, Frey L 2012 *IEEE Electr. Device L.* **33** 185
- [76] Pahwa G, Dutta T, Agarwal A, Chauhan Y S 2017 *IEEE T. Electron Dev.* **64** 1366
- [77] Park B E, Lee G G 2010 *J. Korean Phys. Soc.* **56** 1484
- [78] Sun J, Zheng X 2011 *IEEE T. Electron Dev.* **58** 3559
- [79] Sun J, Zheng X J, Li W 2012 *Curr. Appl. Phys.* **12** 760
- [80] Jang K, Kobayashi M, Hiramoto T 2018 *Jpn. J. Appl. Phys.* **57** 114202
- [81] Li Y, Lian Y, Samudra G S 2015 *Semicond. Sci. Technol.* **30** 045011
- [82] Sun J, Li Y, Cao L 2019 *J. Comput. Electron.* **18** 527
- [83] Hoffmann M, Pesic M, Slesazeck S, Schroeder U, Mikolajick T 2018 *Nanoscale* **10** 10891
- [84] Cheng C H, Fan C C, Tu C Y, Hsu H H, Chang C Y 2019 *IEEE T. Electron Dev.* **66** 825
- [85] Wong J C, Salahuddin S 2019 *Proc. IEEE* **107** 49
- [86] Luttinger J M, Tisza L 1946 *Phys. Rev.* **70** 954
- [87] Slater J C 1950 *Phys. Rev.* **78** 748
- [88] Islam Khan A, Bhowmik D, Yu P, Joo Kim S, Pan X, Ramesh R, Salahuddin S 2011 *Appl. Phys. Lett.* **99** 113501
- [89] Rabe K M, Dawber M, Lichtensteiger C, Ahn C H, Triscone J-M 2007 *Physics of Ferroelectrics: A Modern Perspective* (Berlin, Heidelberg: Springer Berlin Heidelberg) pp1–30
- [90] Gao W, Khan A, Marti X, Nelson C, Serrao C, Ravichandran J, Ramesh R, Salahuddin S 2014 *Nano Lett.* **14** 5814
- [91] Alam M A, Si M, Ye P D 2019 *Appl. Phys. Lett.* **114** 090401
- [92] Liu Z, Bhuiyan M, Ma T 2019 *IEEE International Electron Devices Meeting* San Francisco, CA, USA, December 1–5, 2018 p31.2.1
- [93] Hoffmann M, Slesazeck S, Mikolajick T, Hwang C S 2019 *Ferroelectricity in Doped Hafnium Oxide: Materials, Properties and Devices* (Cambridge: Woodhead Publishing) p473
- [94] Khan A I, Chatterjee K, Wang B, Drapcho S, You L, Serrao C, Bakaul S R, Ramesh R, Salahuddin S 2015 *Nat. Mater.* **14** 182
- [95] Jang K, Ueyama N, Kobayashi M, Hiramoto T 2018 *IEEE J. Electron Devices Soc.* **6** 346
- [96] Kim K D, Kim Y J, Park M H, Park H W, Kwon Y J, Lee Y B, Kim H J, Moon T, Lee Y H, Hyun S D, Kim B S,

- Hwang C S 2019 *Adv. Funct. Mater.* **29** 1808228
- [97] Han Q, Aleksa P, Tromm T C U, Schubert J, Mantl S, Zhao Q T 2019 *Solid-State Electron.* **159** 71
- [98] Catalan G, Jiménez D, Gruverman A 2015 *Nat. Mater.* **14** 137
- [99] Chang S C, Avci U E, Nikonov D E, Manipatrumi S, Young I A 2018 *Phys. Rev. Appl.* **9** 014010
- [100] Landau L, Khalatnikov I 1954 *Dokl. Akad. Nauk SSSR.* **96** 469
- [101] Hoffmann M, Khan A I, Serrao C, Lu Z, Salahuddin S, Pešić M, Slesazek S, Schroeder U, Mikolajick T 2018 *J. Appl. Phys.* **123** 184101
- [102] Merz W J 1954 *Phys. Rev.* **95** 690
- [103] Chang S-C, Avci U E, Nikonov D E, Young I A 2017 *IEEE J. Explor. Solid-State Comput. Devices Circuits* **3** 56
- [104] Jin C, Saraya T, Hiramoto T, Kobayashi M 2019 *IEEE J. Electron Devices Soc.* **7** 368
- [105] Wang H, Yang M, Huang Q, Zhu K, Zhao Y, Liang Z, Chen C, Wang Z, Zhong Y, Zhang X 2019 *IEEE International Electron Devices Meeting* San Francisco, CA, USA, December 1–5, 2018 p31.1.1
- [106] Orihara H, Hashimoto S, Ishibashi Y 1994 *J. Phys. Soc. Jpn.* **63** 1031
- [107] Jo J, Shin C 2016 *IEEE Electr. Device L.* **37** 245
- [108] Nourbakhsh A, Zubair A, Joglekar S, Dresselhaus M, Palacios T 2017 *Nanoscale* **9** 6122
- [109] Saeidi A, Jazaeri F, Bellando F, Stolichnov I, Enz C C, Ionescu A M 2017 *47th European Solid-State Device Research Conference* Leuven, Belgium, September 11–14, 2017 p78
- [110] Galatage R, Bentley S, Suvarna P H, Krivokapic Z 2018 *US Patent* 10 141 414 B1
- [111] Khan A I, Yeung C W, Hu C, Salahuddin S 2012 *International Electron Devices Meeting* Washington, DC, USA, December 5–7, 2011 p11.3.1
- [112] Agarwal H, Kushwaha P, Lin Y K, Kao M Y, Liao Y H, Dasgupta A, Salahuddin S, Hu C 2019 *IEEE Electr. Device L.* **40** 463
- [113] Si M, Su C J, Jiang C, Conrad N J, Zhou H, Maize K D, Qiu G, Wu C T, Shakouri A, Alam M A, Ye P D 2018 *Nat. Nanotechnol.* **13** 24
- [114] Bohr M T, Young I A 2017 *IEEE Micro* **37** 20
- [115] Cheng C H, Chin A 2014 *IEEE Electr. Device L.* **35** 274
- [116] Fan CC, Cheng CH, Chen YR, Liu C, Chang CY 2018 *IEEE International Electron Devices Meeting* San Francisco, CA, USA, December 2–6, 2017 p23.2.1
- [117] Chiu YC, Cheng CH, Chang C-, Tang YT, Chen MC 2016 *IEEE Symposium on VLSI Technology* Honolulu, HI, USA, June 14–16, 2016 p1
- [118] Cheng CH, Fan CC, Hsu HH, Wang SA, Chang CY 2019 *Phys. Status Solidi-Rapid Res. Lett.* **13** 1800493
- [119] Cheng C H, Lin M H, Chen H Y, Fan C C, Liu C, Hsu H H, Chang C Y 2018 *Phys. Status Solidi-Rapid Res. Lett.* **13** 1800573
- [120] Zeng B, Xiao W, Liao J, Liu H, Liao M, Peng Q, Zheng S, Zhou Y 2018 *IEEE Electr. Device L.* **39** 1508
- [121] Chen K T, Liao C Y, Chen H Y, Lo C, Siang G Y, Lin Y Y, Tseng Y J, Chang C, Chueh C Y, Yang Y J, Liao M H, Li K S, Chang S T, Lee M H 2019 *Microelectron. Eng.* **215** 110991
- [122] Xiao W, Liu C, Peng Y, Zheng S, Feng Q, Zhang C, Zhang J, Hao Y, Liao M, Zhou Y 2019 *IEEE Electr. Device L.* **40** 714
- [123] Li K S, Chen P G, Lai T Y, Lin C H, Cheng C C, Chen C C, Wei Y J, Hou Y F, Liao M H, Lee M H 2016 *IEEE International Electron Devices Meeting* Washington, DC, USA, December 7–9, 2015 p22.6.1
- [124] Zhang Z, Xu G, Zhang Q, Hou Z, Li J, Kong Z, Zhang Y, Xiang J, Xu Q, Wu Z, Zhu H, Yin H, Wang W, Ye T 2019 *IEEE Electr. Device L.* **40** 367
- [125] Chen P J, Tsai M J, Hou F J, Wu Y C 2019 *Silicon Nanoelectronics Workshop* Kyoto, Japan, June 9–10, 2019 p1
- [126] Lee S Y, Chen H W, Shen C H, Kuo P Y, Chung C C, Huang Y E, Chen H Y, Chao T S 2019 *IEEE Electr. Device L.* **40** 1708
- [127] Bansal A K, Kumar M, Gupta C, Hook T B, Dixit A 2018 *IEEE T. Electron Dev.* **65** 3548
- [128] Song Y, Zhou H, Xu Q, Luo J, Yin H, Yan J, Zhong H 2011 *J. Electron. Mater.* **40** 1584
- [129] Zhou J, Han G, Li Q, Peng Y, Lu X, Zhang C, Zhang J, Sun Q Q, Zhang D W, Hao Y 2017 *IEEE International Electron Devices Meeting* San Francisco, CA, USA, December 3–7, 2016 p12.2.1
- [130] Zhou J, Han G, Peng Y, Liu Y, Zhang J, Sun Q Q, Zhang D W, Hao Y 2017 *IEEE Electr. Device L.* **38** 1157
- [131] Li J, Zhou J, Han G, Liu Y, Peng Y, Zhang J, Sun Q Q, Zhang D W, Hao Y 2017 *IEEE Electr. Device L.* **38** 1500
- [132] Zhou J, Han G, Li J, Liu Y, Peng Y, Zhang J, Sun Q Q, Zhang D W, Hao Y 2018 *IEEE Electr. Device L.* **39** 622
- [133] Zhou J, Han G, Li J, Liu Y, Peng Y, Zhang J, Sun Q Q, Zhang D W, Hao Y 2018 *IEEE Electr. Device L.* **39** 618
- [134] Peng Y, Liu Y, Han G, Zhang J, Hao Y 2019 *Nanoscale Res. Lett.* **14** 125
- [135] Alghamdi S, Chung W, Si M, Peide D Y 2018 *76th Device Research Conference* Santa Barbara, CA, USA, June 24–27, 2018 p1
- [136] Luc Q, Fan-Chiang C, Huynh S, Huang P, Do H, Ha M, Jin Y, Nguyen T, Zhang K, Wang H 2018 *IEEE Symposium on VLSI Technology* Honolulu, HI, USA, June 18–22, 2018 p47
- [137] Chang E Y, Luc Q H, Tran N A, Lin Y C 2019 *ECS Trans.* **92** 3
- [138] Srimani T, Hills G, Bishop M D, Radhakrishna U, Zubair A, Park R S, Stein Y, Palacios T, Antoniadis D, Shulaker M M 2018 *IEEE Electr. Device L.* **39** 304
- [139] Tu L, Wang X, Wang J, Meng X, Chu J 2018 *Adv. Electron. Mater.* **4** 1800231
- [140] Si M, Jiang C, Chung W, Du Y, Alam M A, Ye P D 2018 *Nano Lett.* **18** 3682
- [141] Lee Y T, Kwon H, Kim J S, Kim H H, Lee Y J, Lim J A, Song YW, Yi Y, Choi WK, Hwang D K 2015 *ACS Nano* **9** 10394
- [142] Heidler J, Yang S, Feng X, Müllen K, Asadi K 2018 *Solid-State Electron.* **144** 90
- [143] Choi H, Shin C 2019 *Phys. Status Solidi A* **216** 1900177
- [144] Yu Z, Wang H, Li W, Xu S, Song X, Wang S, Wang P, Zhou P, Shi Y, Chai Y 2018 *IEEE International Electron Devices Meeting* San Francisco, CA, USA, December 2–6, 2017 p23.6.1
- [145] Yap W C, Jiang H, Liu J, Xia Q, Zhu W 2017 *Appl. Phys. Lett.* **111** 013103
- [146] McGuire F A, Lin Y C, Rayner B, Franklin A D 2017 *75th Annual Device Research Conference* South Bend, IN, USA, June 25–28, 2017 p1
- [147] Alghamdi S, Si M, Yang L, Peide D Y 2018 *IEEE International Reliability Physics Symposium* Burlingame,

- CA, USA, March 11–15, 2018 pP-TX.1-1
- [148] Wang J, Guo X, Yu Z, Ma Z, Liu Y, Chan M, Zhu Y, Wang X, Chai Y 2019 *IEEE International Electron Devices Meeting* San Francisco, CA, USA, December 1–5, 2018 p22.3.1
- [149] Si M, Peide D Y 2018 *International Symposium on VLSI Technology, Systems and Application* Hsinchu, Taiwan, April 16–19, 2018 p1
- [150] Liu F, Zhou Y, Wang Y, Liu X, Wang J, Guo H 2016 *NPJ Quantum Mater.* **1** 16004
- [151] Park N, Kang H, Park J, Lee Y, Yun Y, Lee J H, Lee S G, Lee Y H, Suh D 2015 *ACS Nano* **9** 10729
- [152] Jie W, Hao J 2017 *Nanoscale* **10** 328
- [153] Lipatov A, Fursina A, Vo T H, Sharma P, Gruverman A, Sinitskii A 2017 *Adv. Electron. Mater.* **3** 1700020
- [154] Lee Y, Jeon W, Cho Y, Lee M H, Jeong S J, Park J, Park S 2016 *ACS Nano* **10** 6659
- [155] Tian H, Li Y-x, Li L, Wang X, Liang R, Yang Y, Ren T L 2019 *IEEE T. Electron Dev.* **66** 1579
- [156] Li J, Liu Y, Han G, Zhou J, Hao Y 2019 *Nanoscale Res. Lett.* **14** 171
- [157] Peng Y, Han G, Xiao W, Wu J, Liu Y, Zhang J, Hao Y 2019 *Nanoscale Res. Lett.* **14** 115
- [158] Tokumitsu E 2020 *Jpn. J. Appl. Phys.* **59** SCCB06
- [159] Park J H, Jang G S, Kim H Y, Seok K H, Chae H J, Lee S K, Joo S K 2016 *Sci. Rep.* **6** 24734
- [160] Lee M H, Fan S T, Tang C H, Chen P G, Chou Y C, Chen H H, Kuo J Y, Xie M J, Liu S N, Liao M H 2017 *IEEE International Electron Devices Meeting* San Francisco, CA, USA, December 3–7, 2016 p12.1.1
- [161] Zhang X D, Han W H, Liu W, Zhao X S, Guo Y Y, Yang C, Chen J D, Yang F H 2019 *Chin. Phys. B* **28** 127302
- [162] Guo Y Y, Han W H, Zhao X S, Dou Y M, Zhang X D, Wu X Y, Yang F H 2019 *Chin. Phys. B* **28** 107303
- [163] Zhao X S, Han W H, Guo Y Y, Dou Y M, Yang F H 2018 *Chin. Phys. B* **27** 097310

REVIEW

Recent research progress of ferroelectric negative capacitance field effect transistors*

Chen Jun-Dong¹⁾²⁾ Han Wei-Hua^{1)2)†} Yang Chong¹⁾²⁾ Zhao Xiao-Song¹⁾²⁾
 Guo Yang-Yan¹⁾²⁾ Zhang Xiao-Di¹⁾²⁾ Yang Fu-Hua^{1)2)‡}

1) (*Engineering Research Center of Semiconductor Integrated Technology, Beijing Engineering Research Center of Semiconductor Micro-Nano Integrated Technology, Institute of Semiconductors, Chinese Academy of Sciences, Beijing 100083, China*)

2) (*Center of Materials Science and Optoelectronics Engineering, University of Chinese Academy of Sciences, Beijing 100049, China*)

(Received 10 March 2020; revised manuscript received 10 April 2020)

Abstract

Ferroelectric negative capacitance field effect transistors(Fe-NCFETs) can break through the so-called “ Boltzmann Tyranny” of traditional metal oxide semiconductor field effect transistors and reduce the subthreshold swing below 60 mV/dec, which could greatly improve the on/off current ratio and short-channel effect. Consequently, the power dissipation of the device is effectively lowered. The Fe-NCFET provides a choice for the downscaling of the transistor and the continuation of Moore’s Law. In this review, the representative research progress of Fe-NCFETs in recent years is comprehensively reviewed to conduce to further study. In the first chapter, the background and significance of Fe-NCFETs are introduced. In the second chapter, the basic properties of ferroelectric materials are introduced, and then the types of ferroelectric materials are summarized. Among them, the invention of hafnium oxide-based ferroelectric materials solves the problem of compatibility between traditional ferroelectric materials and CMOS processes, making the performance of NCFETs further improved. In the third chapter, the advantages and disadvantages of Fe-

* Project supported by the National Key R&D Program of China (Grant No. 2016YFA0200503).

† Corresponding author. E-mail: weihua@semi.ac.cn

‡ Corresponding author. E-mail: fhyang@semi.ac.cn

NCFETs with MFS, MFIS and MFMS structures are first summarized, then from the perspective of atomic microscopic forces the “S” relationship curve of ferroelectric materials is derived and combined with Gibbs free energy formula and L-K equation, and the intrinsic negative capacitance region in the free energy curve of the ferroelectric material is obtained. Next, the steady-state negative capacitance and transient negative capacitance in the ferroelectric capacitor are discussed from the aspects of concept and circuit characteristics; after that the working area of negative capacitance Fe-NCFET is discussed. In the fourth chapter, the significant research results of Fe-NCFETs combined with hafnium-based ferroelectrics in recent years are summarized from the perspective of two-dimensional channel materials and three-dimensional channel materials respectively. Among them, the Fe-NCFETs based on three-dimensional channel materials such as silicon, germanium-based materials, III-V compounds, and carbon nanotubes are more compatible with traditional CMOS processes. The interface between the channel and the ferroelectric layer is better, and the electrical performance is more stable. However, there remain some problems to be solved in three-dimensional channel materials such as the limited on-state current resulting from the low effective carrier mobility of the silicon, the small on/off current ratio due to the leakage caused by the small bandgap of the germanium-based material, the poor interfacial properties between the III-V compound materials and the dielectric layer, and the ambiguous working mechanism of Fe-NCFETs based on carbon nanotube. Compared with Fe-NCFETs based on three-dimensional channel materials, the Fe-NCFETs based on two-dimensional channel materials such as transition metal chalcogenide, graphene, and black phosphorus provide the possibility for the characteristic size of the transistor to be reduced to 3 nm. However, the interface performance between the two-dimensional channel material and the gate dielectric layer is poor, since there are numerous defect states at the interface. Furthermore, the two-dimensional channel materials have poor compatibility with traditional CMOS process. Hence, it is imperative to search for new approaches to finding a balance between device characteristics. Finally, the presently existing problems and future development directions of Fe-NCFETs are summarized and prospected.

Keywords: ferroelectric negative capacitance field effect transistors, hafnia-based ferroelectrics, three-dimensional channel materials, two-dimensional channel materials

PACS: 77.80.Dj, 85.50.-n, 77.84.-s, 85.30.Tv

DOI: [10.7498/aps.69.20200354](https://doi.org/10.7498/aps.69.20200354)