

## 衬底浮空的新型绝缘体上硅基横向功率器件分析

唐春萍 段宝兴 宋坤 王彦东 杨银堂

### Analysis of novel silicon based lateral power devices with floating substrate on insulator

Tang Chun-Ping Duan Bao-Xing Song Kun Wang Yan-Dong Yang Yin-Tang

引用信息 Citation: *Acta Physica Sinica*, 70, 148501 (2021) DOI: 10.7498/aps.70.20202065

在线阅读 View online: <https://doi.org/10.7498/aps.70.20202065>

当期内容 View table of contents: <http://wulixb.iphy.ac.cn>

---

## 您可能感兴趣的其他文章

### Articles you may be interested in

具有纵向辅助耗尽衬底层的新型横向双扩散金属氧化物半导体场效应晶体管

Novel lateral double-diffused MOSFET with vertical assisted deplete-substrate layer

物理学报. 2017, 66(7): 077302 <https://doi.org/10.7498/aps.66.077302>

新型绝缘体上硅静态随机存储器单元总剂量效应

Total ionizing dose effects on innovative silicon-on-insulator static random access memory cell

物理学报. 2019, 68(16): 168501 <https://doi.org/10.7498/aps.68.20190405>

具有部分本征Ga<sub>N</sub>帽层新型AlGa<sub>N</sub>/Ga<sub>N</sub>高电子迁移率晶体管特性分析

Characteristic analysis of new AlGa<sub>N</sub>/Ga<sub>N</sub> high electron mobility transistor with a partial Ga<sub>N</sub> cap layer

物理学报. 2017, 66(16): 167301 <https://doi.org/10.7498/aps.66.167301>

绝缘体上硅金属氧化物半导体场效应晶体管中辐射导致的寄生效应研究

Radiation induced parasitic effect in silicon-on-insulator metal-oxide-semiconductor field-effect transistor

物理学报. 2018, 67(21): 216102 <https://doi.org/10.7498/aps.67.20181372>

绝缘体上铌酸锂薄膜片上光子学器件的研究进展

Research progress of photonics devices on lithium-niobate-on-insulator thin films

物理学报. 2020, 69(15): 157801 <https://doi.org/10.7498/aps.69.20200302>

电触发二氧化钒纳米线发生金属-绝缘体转变的机理

Mechanism of electrically driven metal-insulator phase transition in vanadium dioxide nanowires

物理学报. 2018, 67(17): 177201 <https://doi.org/10.7498/aps.67.20180835>

## 衬底浮空的新型绝缘体上硅基横向功率器件分析\*

唐春萍<sup>1)</sup> 段宝兴<sup>1)†</sup> 宋坤<sup>2)</sup> 王彦东<sup>1)</sup> 杨银堂<sup>1)</sup>

1) (西安电子科技大学微电子学院, 宽禁带半导体材料与器件教育部重点实验室, 西安 710071)

2) (西安微电子技术研究所, 西安 710071)

(2020 年 12 月 6 日收到; 2021 年 3 月 3 日收到修改稿)

针对有机半导体领域的发展要求, 报道了一种能够应用于有机半导体领域衬底浮空的新型 SOI LDMOS (silicon on insulator lateral double-diffused metal oxide semiconductor) 功率器件, 不同于传统无机半导体中 SOI LDMOS 功率器件, 该新型器件可以与绝缘的柔性衬底结合应用于有机半导体领域, 这给有机半导体领域的研究方向提供了新的可能. 本文通过仿真和流片实验共同验证了当常规 SOI LDMOS 缺失衬底电极后, 比导通电阻和阈值电压均无明显变化, 但击穿电压会因为缺失衬底电极和纵向电场而下降 15% 左右. 针对该现象提出了一个具有表面衬底电极和漂移区氧化槽的新型 SOI LDMOS 功率器件, 该新型器件能够重新给衬底提供电极、优化横纵向电场、不明显改变比导通电阻与阈值电压, 同时将常规 SOI LDMOS 的击穿电压提高 57.54%, 缓解了应用于有机半导体领域带来的不良影响. 为传统功率半导体应用于有机半导体领域的研究提供了可能, 对于有机半导体研究领域的拓展具有创新意义.

**关键词:** 绝缘体上硅基, 衬底电极, 击穿电压, 氧化槽**PACS:** 85.30.De, 85.30.Tv, 84.30.Jc**DOI:** 10.7498/aps.70.20202065

## 1 引言

传统无机半导体中功率器件能够实现电能的变换与控制, 目前已经广泛地应用于国民经济的各个领域. 其中 LDMOS (lateral double-diffused MOS-FET, LDMOS) 因能够作为功率放大器、开关电源等设备应用于家电、汽车电子、计算机和通讯等领域而在科学研究和工业领域都发展迅猛. 20 世纪 60 年代 SOI (silicon on insulator) 技术被发现并应用于 LDMOS 领域. SOI LDMOS 因具有低功耗、低漏电流、低寄生电容和高可靠性等独特优点而被广泛应用于功率集成电路和高压集成电路. 目前国内关于能够提高 LDMOS 和 SOI LDMOS 性能的手段有很多, 其中包括降低表面电场 (reduced surface field, RESURF) 技术<sup>[1-3]</sup>、场板技术<sup>[4-7]</sup>、

横向变掺杂<sup>[8-10]</sup>和横向变厚度<sup>[11]</sup>等表面终端技术, 也包括降低体内电场 (reduced bulk field, REBULF) 技术<sup>[12-14]</sup>、多浮空埋层技术<sup>[15]</sup>和图形化埋氧层技术<sup>[16,17]</sup>等体内终端技术, 还包括横向和纵向超结技术<sup>[18-21]</sup>等.

目前 LDMOS 的研究大多在无机半导体领域, 但随着半导体行业的发展, 有机半导体的导电性能逐步被人们认识, 同时发现有机半导体有许多性能优于无机半导体, 因此有机半导体领域在半导体行业掀起了一个新的研究热潮<sup>[22-24]</sup>. 有机材料及其器件可以实现硅等无机半导体的信息显示、传感、存储、光电转换等功能. 并且就目前工业发展来看, 有机电子材料及其器件的主要发展方向是在简单电路中取代无机晶体管, 从而在有机半导体领域中实现潜在的应用价值. 虽然有机半导体领域发展很快, 但目前仍然存在有机材料电学性能有限、有机

\* 陕西省杰出青年学者科学基金 (批准号: 2018JC-017) 和 111 项目 (批准号: B12026) 资助的课题.

† 通信作者. E-mail: bxduan@163.com

集成电路发展缓慢等局限性问题. 无机材料能够弥补有机半导体材料电子性能较差的缺陷, 因此可将无机材料与有机材料结合. 同时, 由于目前有机半导体领域关于功率器件、集成电路等领域的研究还处于空白, 因此开始考虑能否将 LDMOS 作为开关电源、功率放大器等设备应用于有机半导体领域. 有机半导体功率器件使得有机集成电路的构成更完善、未来应用前景更加广阔, 同时还能实现传统无机半导体功率器件与有机半导体领域新的突破与创新.

由于有机半导体领域大多具有绝缘基底, 这使得其器件均位于柔性绝缘衬底上, 意味着常规 LDMOS 的衬底将浮空并且缺失衬底电极, 从而缺失 RESURF 技术, 因此性能将会变差. 本文通过仿真发现, LDMOS 和 SOI LDMOS 在衬底浮空后, 击穿电压 (breakdown voltage, BV) 会分别下降 23.3% 和 17.4%. 同时考虑有机半导体领域大多需要器件具有较薄的衬底厚度, 而 SOI LDMOS 中的埋氧层能够实现在较薄衬底厚度时承受较大耐压, 因此本文重点研究了衬底浮空的 SOI LDMOS 的性能变化, 并针对衬底浮空的现象, 提出了如图 1(b) 所示的具有 P<sup>+</sup>多晶硅作表面衬底电极和漂移区氧化槽的新型 SOI LDMOS 结构.

## 2 器件结构

RESURF 技术是器件发展的一个重要表面终端技术, 即将外延层厚度减薄使其完全被耗尽, 外延层能承受的反向偏压会提升. 外延层耗尽区中的电场与衬底耗尽区中的电场相互作用, 使得外延层中电场分布不再是单峰值的三角电场, 而是具有两个峰值的电场分布, 从而使得表面电场峰值降低. 而衬底、外延层界面处的纵向 PN 结的电场峰值会先达到硅材料的临界电场强度, 使得击穿发生在体内, 从而实现表面电场的优化.

图 1(a) 为常规且具有 RESURF 技术的 SOI LDMOS 结构. 因为具有衬底电极和纵向电场, 所以能在减薄外延层厚度的同时实现 RESURF 技术, 但是当 SOI LDMOS 应用于有机半导体领域后衬底会浮空, 继而缺失衬底电极和纵向电场, 因此 SOI LDMOS 将无法实现 RESURF 技术, 其埋氧层也不再优化电场的优势. 针对上述问题, 本文提出了如图 1(b) 所示的具有 P<sup>+</sup>多晶硅作表面衬底电极和漂移区氧化槽的新型 SOI LDMOS 结构. 其中增加表面衬底电极会因为重新给衬底提供电极而改善衬底浮空的现象, 而在漂移区增加一个氧化槽, 使得实际漂移区长度增加, 能够在比导通电阻变化不大的情况下提升 SOI LDMOS 的击穿电压 [25,26].

## 3 衬底浮空的 SOI LDMOS 仿真与实验结果

设计 SOI LDMOS 的性能指标为: 器件耐压 60 V, 工作漏电流 50 mA, 器件仿真结构参数如表 1 所列. SOI LDMOS 用途主要是驱动 10 个 LED 灯, 设计的漂移区长度为 4  $\mu\text{m}$ , 栅宽为 400  $\mu\text{m}$ . 主要工艺流程如下: 选取晶向为 (100) 的 P 型 SOI 基衬底; 由于深 N 阱防止漏电, 从而进行深 N 阱注入, 并通过退火使得杂质扩散完成推阱; 因为高压 P 阱具有防止器件闩锁的作用, 所以通过注入获得高压 P 型辅助层和 N 型漂移区; 通过氧化刻蚀获得有源区和栅氧化层; 通过注入退火生成低压 P 阱和 N 阱, 其中低压 P 阱即为器件基区, 低压 N 阱作为缓冲区域, 缓解漏电极高峰电场来提高器件稳定性; 通过淀积获得多晶硅并进行多晶硅重掺杂形成栅电极; 通过 N<sup>+</sup>和 P<sup>+</sup>注入获得源极、

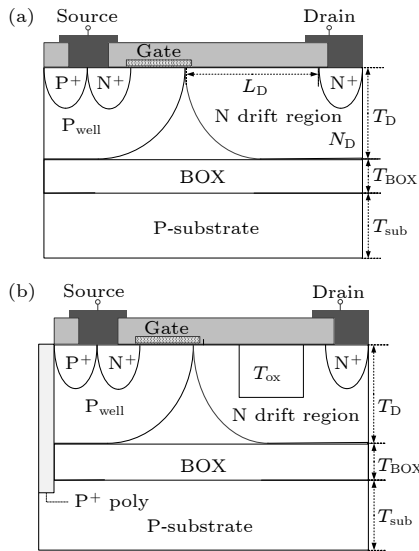


图 1 两种器件结构示意图 (a) 常规 SOI LDMOS 结构; (b) 带有表面衬底电极和漂移区氧化槽的新型 SOI LDMOS 结构

Fig. 1. The schematic diagrams of the two devices are as follows: (a) Conventional SOI LDMOS structure; (b) a novel SOI LDMOS structure with a surface electrode and a drift oxidation groove.

漏极和基区接触;通过光刻淀积获得器件的接触孔和金属布线;通过金属淀积获得顶层技术;最后进行金属电极表面钝化.图2所示为实验后的8 in 晶圆图片和其在电子显微镜下的截面图与俯视图.

表1 常规SOI LDMOS与衬底浮空SOI LDMOS 器件仿真最优参数

Table 1. Simulation optimal parameters of conventional SOI LDMOS/ substrate floating SOI LDMOS devices.

器件最优参数(仿真)	常规SOI LDMOS/衬底浮空SOI LDMOS
漂移区厚度 $T_d/\mu\text{m}$	2
埋氧层厚度 $T_{\text{OX}}/\mu\text{m}$	2
衬底厚度 $T_{\text{sub}}/\mu\text{m}$	15
漂移区N型掺杂浓度, $N_d/\text{cm}^{-3}$	$1.5 \times 10^{16}$
衬底P型掺杂浓度 $P_{\text{sub}}/\text{cm}^{-3}$	$2 \times 10^{14}$
阱区P型掺杂浓度 $P_{\text{well}}/\text{cm}^{-3}$	$1.5 \times 10^{16}$

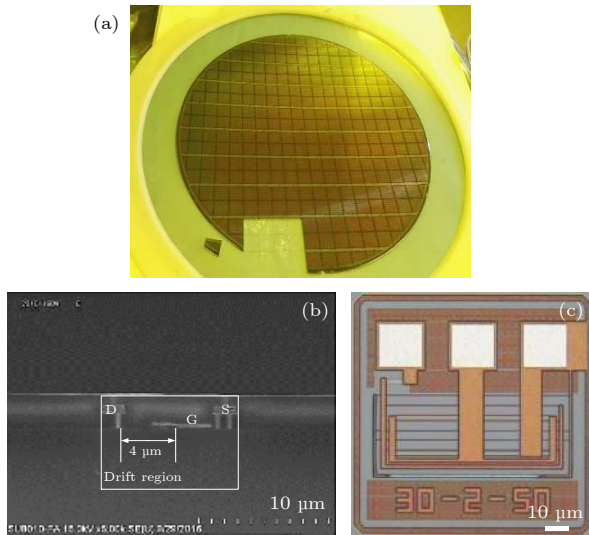


图2 实验结果 (a) 8 in 晶片;电子扫描显微镜下的SOI LDMOS结构截面图(b)和俯视图(c)

Fig. 2. Experimental results: (a) 8-inch wafer; (b) sectional view and (c) vertical view of SOI LDMOS under an electron scanning microscope.

借助中国航空工业集团公司的下属公司江苏七维测试技术有限公司的测试平台完成了8 in 晶圆测试.测试设备为测试仪T862和探针台JC8001;测试温度为20—24 °C;测试湿度为(45% +/−10%) RH;测试间洁净度为10000级.下面通过仿真和流片实验及其测试来对比分析具有RESURF技术常规SOI LDMOS在衬底浮空前后的性能变化.

图3所示为常规且带有RESURF技术的SOI LDMOS在结构参数和掺杂浓度相同时,衬底浮空

前后的表面电场和纵向电场仿真结果对比图.如图3(a)所示,在衬底浮空前,器件耐压主要取决于栅边缘的P阱和漂移区构成的PN结与漏端N<sup>+</sup>N结,在表面电场图中表现为表面有两个峰值,一个位于栅电极附近,另一个位于漏极附近.在衬底浮空后,由于衬底对表面电场的调制作用变差,表面耐压主要取决于P阱和漂移区构成的PN结,因此表面电场分布逐渐不均匀,趋于三角电场,此时器件更容易击穿.如图3(b)所示,衬底浮空前SOI LDMOS因为埋氧层的调制,能够在较薄衬底时实现较好耐压.在衬底浮空后,器件的纵向电场分布明显变差,埋氧层的调制作用变差,电场峰值会下降25%左右.

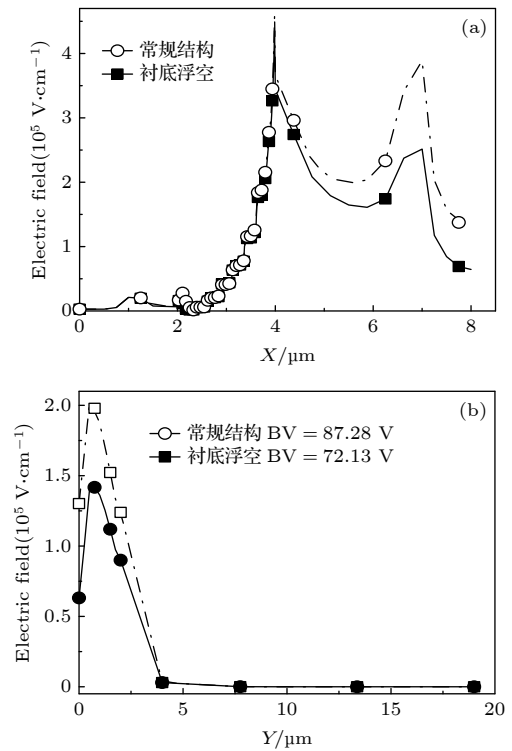


图3 衬底厚度  $T_{\text{sub}} = 15 \mu\text{m}$ , 漂移区长度  $L_D = 4 \mu\text{m}$  的SOI LDMOS电场分布图 (a) 表面电场分布图; (b) 纵向电场分布图

Fig. 3. Electric field distribution graph for SOI LDMOS with substrate thickness of  $15 \mu\text{m}$  ( $T_{\text{sub}} = 15 \mu\text{m}$ ) and drift zone length of  $4 \mu\text{m}$  ( $L_D = 4 \mu\text{m}$ ): (a) Surface electric field distribution graph; (b) longitudinal electric field distribution graph.

图4所示为常规且带有RESURF技术的SOI LDMOS在衬底浮空前后的输出和转移特性仿真与实验结果对比图.仿真和实验均基于衬底厚度为15 μm和漂移区长度为4 μm的SOI LDMOS.



由于使用 ISE-TCAD 进行器件仿真时, 虽然考虑了诸如载流子运输模型、载流子产生-复合模型、迁移率模型等影响因素, 还考虑了载流子散射、能带变窄等非理想因素, 但相较于实验所得器件而言, 还是处于较理想状态. 工艺过程中, 由于仪器的精密程度、外延层生长环境和退火条件等因素的影响, 使得实验所得器件性能略差于仿真所得器件, 因此实验所得器件的电流会低于仿真所得结果. 从图 4 还可以看出, 不论是仿真结果还是实验结果, 衬底浮空对 SOI LDMOS 转移和输出特性的仿真与实验结果均无明显影响. 其中如图 4(b) 所示, 因为在衬底浮空后, 衬底对漂移区电场调制效果减弱, 表面电场变弱, 漂移区中载流子速度变慢, 器件准饱和漏电流变小. 因为器件栅极结构和基区掺杂没有变化, 所以在仿真和实验结果中器件的阈值电压均不变.

图 5 所示为常规且带有 RESURF 技术的 SOI LDMOS 在衬底浮空前后的击穿特性仿真与实验

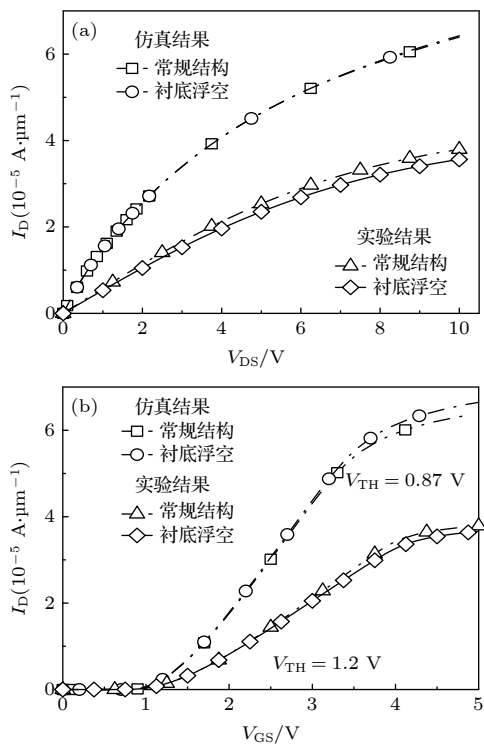


图 4 衬底厚度  $T_{\text{sub}} = 15 \mu\text{m}$ , 漂移区长度  $L_D = 4 \mu\text{m}$  的 SOI LDMOS 仿真和实验结果对比 (a)  $V_{GS} = 5 \text{ V}$  时的输出特性曲线; (b)  $V_{DS} = 10 \text{ V}$  时的转移特性曲线

Fig. 4. Comparison of simulation and experimental results for SOI LDMOS with substrate thickness of  $15 \mu\text{m}$  ( $T_{\text{sub}} = 15 \mu\text{m}$ ) and drift zone length of  $4 \mu\text{m}$  ( $L_D = 4 \mu\text{m}$ ): (a) Output characteristic curve when  $V_{GS} = 5 \text{ V}$ ; (b) transfer characteristic curve when  $V_{DS} = 10 \text{ V}$ .

结果对比图. 从图 5 中的仿真结果可以看出, 在相同结构参数和掺杂浓度时, 衬底浮空后, 击穿电压从  $87.28 \text{ V}$  降低到  $72.13 \text{ V}$ , 下降了  $17.4\%$ . 导致常规 SOI LDMOS 衬底浮空后击穿电压降低的主要原因如图 6 所示, 图 6 为上述两种结构在掺杂浓度相同时仿真击穿电压与漂移区掺杂浓度的关系曲线. 由于衬底浮空后, 缺失衬底电极使得原器件失去 RESURF 技术, 电场分布也会变化, 从而使得器件最优击穿电压对应的漂移区浓度发生变化, 因此常规 SOI LDMOS 在衬底浮空后击穿电压会降低. 两种结构的比导通电阻 (specific on-resistance,  $R_{\text{ON,sp}}$ ) 均为  $2.21 \text{ m}\Omega \cdot \text{cm}^2$ , 没有明显变化. 并且由于埋氧层的优势, 零栅压下器件的漏电流均为  $5 \times 10^{-14} \text{ A}/\mu\text{m}$  左右. 从图 5 中实验结果可以看到, 在衬底浮空后, 器件的击穿电压从  $80 \text{ V}$  下降到  $60 \text{ V}$ . 虽然性能有所下降, 但是仍然可以驱动 10 个 LED 灯.

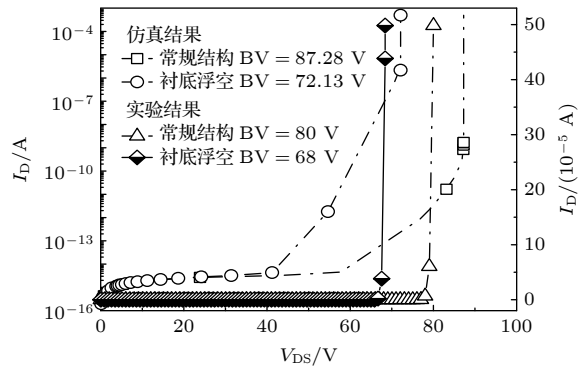


图 5 SOI LDMOS 击穿特性的仿真和实验结果对比图

Fig. 5. SOI LDMOS comparison of simulation and experimental results of breakdown characteristics.

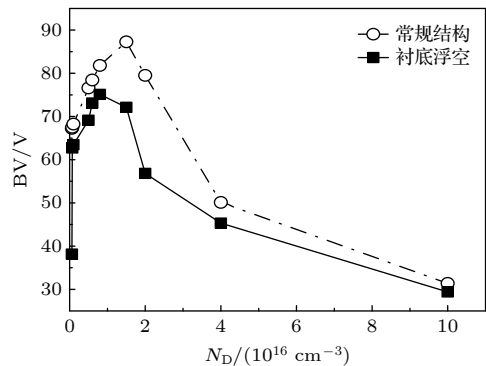


图 6 漂移区掺杂浓度对 SOI LDMOS 两种结构对应的击穿电压的影响

Fig. 6. Effect of doping concentration in drift region on breakdown voltage of two SOI LDMOS structures.

#### 4 新型 SOI LDMOS 的仿真与优化

常规且带有 RESURF 技术的 SOI LDMOS 在应用于有机半导体领域时会使其衬底浮空, 进而缺失衬底电极和 RESURF 技术, 性能就会有所降低. 因此提出具有 P<sup>+</sup>多晶硅作表面衬底电极和漂移区氧化槽的新型 SOI LDMOS 结构. 该新型结构的工艺相较于第 3 节不同的部分如下: 1) 在 N 阱和 P 阱工艺完成后, 在器件左端刻蚀一个窗口, 淀积多晶硅并进行 P 型重掺杂, 从而获得表面衬底电极; 2) 器件表面生长钝化层, 在 N 阱表面刻蚀出一个窗口, 通过干氧工艺生长氧化槽. 该新型结构可以通过转印工艺与柔性衬底结合, 作为开关电源、功率放大器等设备应用于有机集成电路, 从而实现其在研究领域、应用前景等方面的拓展. 下面将针对常规 SOI LDMOS、衬底浮空的 SOI LDMOS、增加表面衬底电极和衬底浮空的 SOI LDMOS 以及同时具有 P<sup>+</sup>多晶硅作表面衬底电极和漂移区氧化槽的 SOI LDMOS 这几种器件的性能进行分析比较.

图 7 所示为四种器件的表面电场和纵向电场的对比图. 如图 7(a) 所示, 在衬底浮空后, 漂移区不能完全耗尽, 表面电场分布趋于三角电场. 加上表面衬底电极后, 曲线和有衬底浮空前重合, 器件性能得到优化. 再在漂移区加上氧化槽以后, 漂移区有效长度增加, 器件的表面拓展到槽表面, 能够达到对表面电场的优化效果. 器件的表面电场增加一个新的电场峰, 达到优化表面电场的目的. 如图 7(b) 所示, 常规 SOI LDMOS 因为埋氧层的调制, 能够在较薄衬底时实现较好耐压. 当衬底浮空后, 器件的纵向电场分布明显变差, 经过表面衬底电极和漂移区氧化槽的横纵向电场的同时优化, 器件的纵向电场耐压提升.

图 8 和图 9 所示为几种器件的击穿、转移、输出特性曲线. 由图 8 可知, 在衬底浮空后, SOI LDMOS 的击穿电压从 87.28 V 降低到 72.13 V, 下降了 17.4%, 加上表面衬底电极后, 击穿电压恢复到常规 SOI LDMOS 的击穿电压. 比导通电阻都为  $2.21 \text{ m}\Omega\cdot\text{cm}^2$ , 没有明显变化. 在漂移区加上氧化槽以后, 横纵向电场得到同时优化, 击穿电压提高到 137.5 V, 相比于常规 SOI LDMOS 增加了

57.54%. 由图 9 可知, 增加漂移区氧化槽之前的几种器件阈值电压为 0.87 V, 衬底浮空对阈值电压没有明显影响. 在加了漂移区氧化槽后, 阈值电压 (threshold voltage,  $V_{\text{TH}}$ ) 增加到 1.63 V. 与此同时, 衬底浮空对器件的电流、比导通电阻均没有明显影响. 通过上述分析可知, 该新型 SOI LDMOS 能够较好地缓解衬底浮空后的不良影响, 并且还能在比导通电阻变化不大的情况下提高其击穿电压.

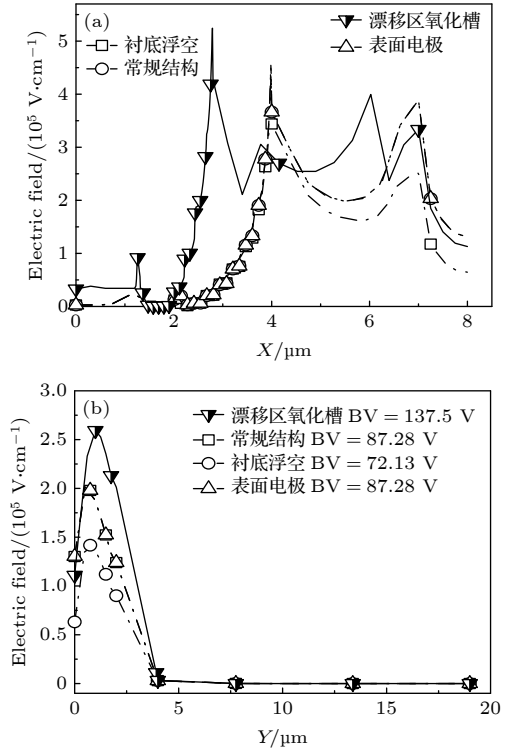


图 7 几种 SOI LDMOS 的电场分布图 (a) 表面电场分布图; (b) 纵向电场分布图

Fig. 7. Electric field distribution of several SOI LDMOS: (a) Surface electric field distribution; (b) longitudinal electric field distribution diagram.

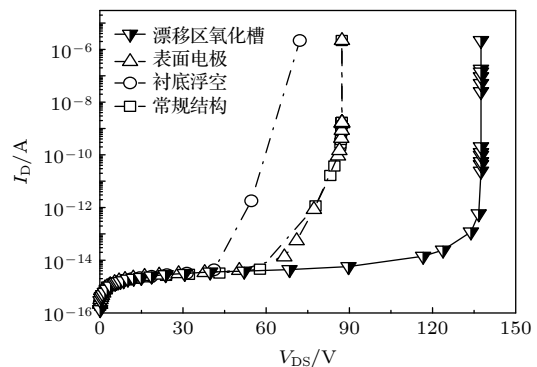


图 8 几种 SOI LDMOS 的击穿特性图

Fig. 8. Breakdown characteristics of several SOI LDMOS.

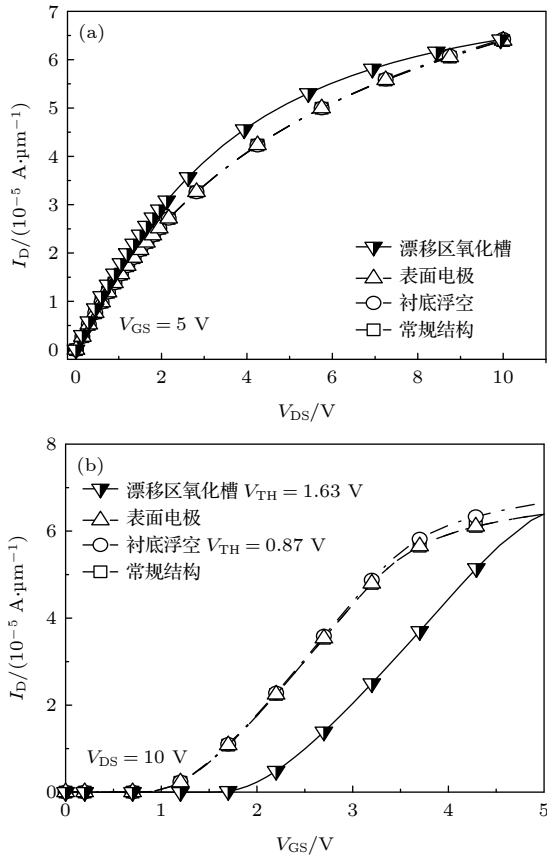


图9 几种SOI LDMOS的仿真结果 (a) 输出特性曲线; (b) 转移特性曲线  
Fig. 9. Simulation results of several SOI LDMOS: (a) Output characteristic curve; (b) transfer characteristic curve.

图10所示为该新型SOI LDMOS结构中漂移区浓度 $N_D$ 、氧化槽宽度 $D_{OX}$ 和厚度 $T_{OX}$ 等参数对击穿电压BV和比导通电阻 $R_{ON,sp}$ 的影响曲线。如图10(a)所示, BV随 $N_D$ 的增加呈现出先上升后下降的变化趋势, 而 $R_{ON,sp}$ 则呈现出下降的趋势, 因此综合考虑漂移区浓度最终选取 $5 \times 10^{16} \sim 6 \times 10^{16} \text{ cm}^{-3}$ 。如图10(b)所示, BV随 $D_{OX}$ 的增加先迅速上升后变化不大, 而 $R_{ON,sp}$ 变化趋势则与BV相反, 因此选取 $D_{OX}$ 为 $3 \sim 4 \mu\text{m}$ 。如图10(c)所示, BV随 $T_{OX}$ 的增加先上升后下降, 而 $R_{ON,sp}$ 则随之增加呈现持续上升的趋势, 因此最终选取 $T_{OX}$ 为 $0.5 \sim 0.6 \mu\text{m}$ , 表2所列为该新型器件优化后对应的结构参数。最终该新型SOI LDMOS的击穿电压为 $137.5 \text{ V}$ , 比导通电阻为 $1.96 \text{ m}\Omega \cdot \text{cm}^2$ , 能够实现在 $R_{ON,sp}$ 基本不变的情况下将常规SOI LDMOS的BV增加 $57.54\%$ , 从而实现常规SOI LDMOS在应用于有机半导体领域后衬底浮空时的性能优化, 也实现了将功率开关器件与有机半导体领域的新的突破与创新。

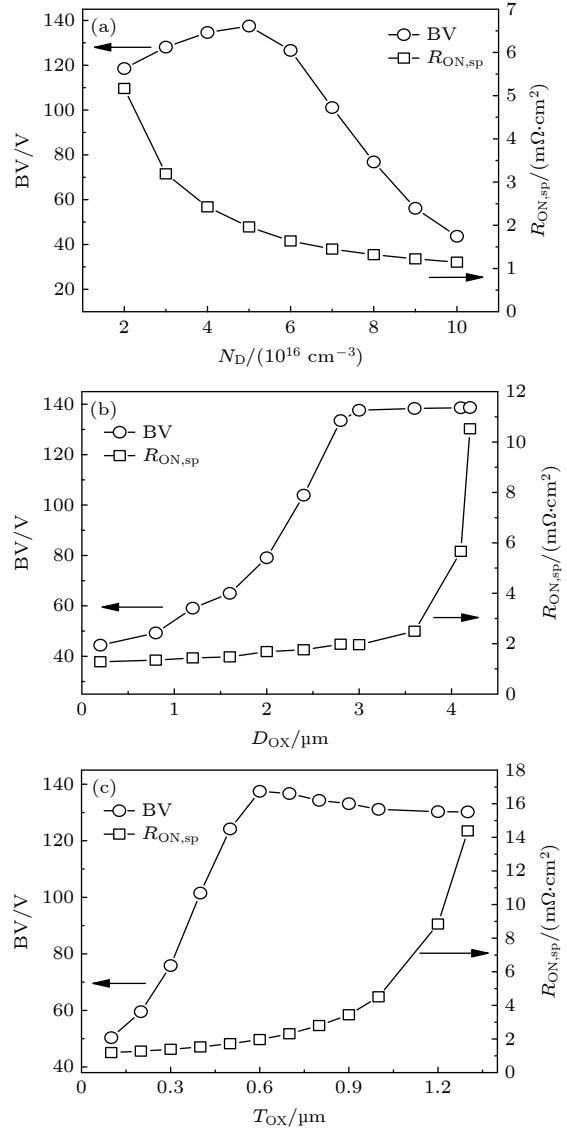


图10 新型SOI LDMOS的几种参数对BV和 $R_{ON,sp}$ 的影响 (a)  $N_D$ 的影响曲线; (b)  $D_{OX}$ 的影响曲线; (c)  $T_{OX}$ 的影响曲线

Fig. 10. Influence of several parameters of new SOI LDMOS on BV,  $R_{ON,sp}$ : (a) Influence curve of  $N_D$ ; (b) influence curve of  $D_{OX}$ ; (c) influence curve of  $T_{OX}$ .

表2 新型SOI LDMOS器件仿真最优参数  
Table 2. Simulation optimal parameters for novel SOI LDMOS devices.

器件最优参数(仿真)	新型SOI LDMOS
漂移区厚度 $T_D/\mu\text{m}$	2
埋氧层厚度 $T_{OX}/\mu\text{m}$	2
衬底厚度 $T_{sub}/\mu\text{m}$	15
氧化槽宽度 $W_T/\mu\text{m}$	3
氧化槽深度 $D_T/\mu\text{m}$	0.6
漂移区N型掺杂浓度 $N_D/(10^{14} \text{ cm}^{-3})$	5
衬底P型掺杂浓度 $P_{sub}/(10^{14} \text{ cm}^{-3})$	4
阱区P型掺杂浓度 $P_{well}/(10^{16} \text{ cm}^{-3})$	6

## 5 结 论

本文通过仿真和流片实验两种方式共同验证当常规且带有 RESURF 技术的 SOI LDMOS 在应用于有机半导体领域后, 衬底会浮空使得常规 SOI LDMOS 缺失衬底电极和 RESURF 技术, 同时使得 SOI LDMOS 中埋氧层优化电场的作用也消失, 进而使得常规 SOI LDMOS 的击穿电压从 87.28 V 下降到 72.13 V. 针对该现象, 提出的具有 P<sup>+</sup>多晶硅作表面衬底电极和漂移区氧化槽的新型 SOI LDMOS 结构能在比导通电阻没有明显变化的情况下, 将衬底浮空的 SOI LDMOS 击穿电压从 72.13 V 上升 137.5 V, 相比常规 SOI LDMOS 增加了 57.54%. 在实现 SOI LDMOS 与柔性衬底结合且不降低器件原本性能的同时, 实现了传统无机半导体功率器件与有机半导体领域新的突破与创新. 不仅能弥补有机半导体材料电子性能较差的缺陷, 同时还能拓展有机半导体的研究领域. 未来可以通过工艺的创新和改进, 给有机半导体领域功率半导体方向提供更多的创新和可能性.

## 参考文献

- [1] Li Q, Li Z J, Zhang B 2007 *Acta Phys. Sin.* **56** 6660 (in Chinese) [李琦, 李肇基, 张波 2007 物理学报 **56** 6660]
- [2] Lei J M, Hu S D, Wang S, Lin Z 2017 *International Conference on Electron Devices and Solid-State Circuits (EDSSC)* Hsinchu, China, October 18–20, 2017 p1
- [3] Okawa T, Eguchi H, Taki M, Hamada K 2016 *28th International Symposium on Power Semiconductor Devices and ICs (ISPSD)* Prague, Czech Republic, June 12–16, 2016 p435
- [4] Cheng J J, Wu S Y, Chen W Z, Huang H M, Yi B 2019 *IEEE J. Electron Devices Soc.* **7** 682
- [5] Xia C, Cheng X H, Wang Z J, Xu D W, Cao D, Zheng L, Shen L Y, Yu Y H, Shen D S 2014 *IEEE Trans. Electron Devices* **61** 3477
- [6] Fang Z Q, Xu Z Z, Qian W S 2019 *China Semiconductor Technology International Conference (CSTIC)* Shanghai, China, March 18–19, 2019 p1
- [7] Tang P P, Wang Y, Bao M T, Luo X, Cao F, Yu C H 2019 *Micro & Nano Letters* **14** 420
- [8] Dong Z M, Duan B X, Fu C, Guo H J, Cao Z, Yang Y T 2018 *IEEE Electron Device Lett.* **39** 1358
- [9] Wang Y D, Duan B X, Song H T, Yang Y T 2020 *IEEE Electron Device Lett.* **41** 1681
- [10] Duan B X, Cao Z, Yuan X N, Yuan S, Yang Y T 2015 *IEEE Electron Device Lett.* **36** 47
- [11] Xu Q, Guo Y F, Zhang Y, Liu L L, Yao J F, Sheu G 2012 *Procedia Eng.* **29** 668
- [12] Duan B X, Cao Z, Yuan X N, Yang Y T 2014 *Acta Phys. Sin.* **63** 227302 (in Chinese) [段宝兴, 曹震, 袁小宁, 杨银堂 2014 物理学报 **63** 227302]
- [13] Zhang B, Cheng J B, Qiao M, Li Z J 2008 *9th International Conference on Solid-State and Integrated-Circuit Technology* Beijing, China, October 20–23, 2008 p164
- [14] Cao Z, Duan B X, Shi T T, Dong Z M, Guo H J, Yang Y T 2018 *IEEE Trans. Electron Devices* **65** 2565
- [15] Cao Z, Duan B X, Yuan S, Guo H J, Lv J M, Shi T T, Yang Y T 2017 *29th International Symposium on Power Semiconductor Devices and IC's (ISPSD)* Sapporo, Japan, May 28–June 1, 2017 p283
- [16] Cao Z, Duan B X, Shi T T, Yuan S, Yang Y T 2018 *IETE Tech. Rev.* **35** 402
- [17] Duan B X, Li C L, Ma J C, Yuan S, Yang Y T 2015 *Acta Phys. Sin.* **64** 067304 (in Chinese) [段宝兴, 李春来, 马剑冲, 袁嵩, 杨银堂 2015 物理学报 **64** 067304]
- [18] Wu L J, Zhang W T, Shi Q, Cai P F, He H C 2014 *Electron. Lett.* **50** 1982
- [19] Duan B X, Li M Z, Dong Z M, Wang Y D, Yang Y T 2019 *IEEE Trans. Electron Devices* **66** 4836
- [20] Wu L J, Wu Y Q, Lei B, Zhang Y Y, Huang Y, Zhu L 2019 *Micro & Nano Letters* **14** 600
- [21] Cao Z, Duan B X, Song H T, Xie F Y, Yang Y T 2019 *IEEE Trans. Electron Devices* **66** 2327
- [22] Tsai C C 2011 *16th Opto-Electronics and Communications Conference* Kaohsiung, China, July 4–8, 2011 p370
- [23] Zhang J 2018 *International Flexible Electronics Technology Conference (IFETC)* Ottawa, Canada, August 7–9, 2018 p1
- [24] Kadija I 2019 *22nd European Microelectronics and Packaging Conference & Exhibition (EMPC)* Pisa, Italy, September 16–19 2019 p1
- [25] Guo S N, Cheng J J, Chen X B 2019 *IEEE 13th International Conference on Power Electronics and Drive Systems (PEDS)* Toulouse, France, July 9–12, 2019 p1
- [26] Cao Z, Jiao L C 2020 *IEEE J. Electron Devices Soci.* **8** 890



# Analysis of novel silicon based lateral power devices with floating substrate on insulator\*

Tang Chun-Ping<sup>1)</sup> Duan Bao-Xing<sup>1)†</sup> Song Kun<sup>2)</sup>

Wang Yan-Dong<sup>1)</sup> Yang Yin-Tang<sup>1)</sup>

1) (*Key Laboratory of Wide Band-Gap Semiconductor Materials and Devices, Ministry of Education,*

*School of Microelectronics, Xidian University, Xi'an 710071, China)*

2) (*Xi'an Microelectronics Technology Institute, Xi'an 710071, China)*

( Received 6 December 2020; revised manuscript received 3 March 2021 )

## Abstract

With the rapid development of the traditional inorganic semiconductor industry, the improvement of its electrical performance is gradually approaching to the limit. It is difficult to continue to improve the performance, lessen the size, and reduce the cost. Therefore, organic semiconductor materials and devices with simple process and low cost have been found and gradually become a new research hotspot. Although organic semiconductor materials and devices are developing rapidly, their electrical properties, such as carrier mobility, are considerably inferior to those of inorganic semiconductors, and their research direction and application prospect are relatively fixed and single. They are developed only in display, sensing, photoelectric conversion and other fields, but the researches on switching power devices, integrated circuits and other fields are still relatively blank. At the same time, power devices are used only in the field of inorganic semiconductors. Therefore, in order to expand the research direction of organic semiconductors and power devices at the same time, a novel silicon on insulator lateral double-diffused metal oxide semiconductor (SOI LDMOS) power device is reported in this paper. Unlike the SOI LDMOS power devices in traditional inorganic semiconductors, this novel device can be used in the field of organic semiconductors by combining with insulated flexible substrates, which provides a new possibility for the research direction of organic semiconductors. In this paper, both simulation and experiment verify that specific on-resistance ( $R_{\text{ON,sp}}$ ) and threshold voltage ( $V_{\text{TH}}$ ) do not change significantly when the conventional SOI LDMOS lacks the substrate electrode, but the breakdown voltage decreases by about 15% due to the absence of the substrate electrode or the longitudinal electric field. In response to this phenomenon, in this paper proposed is a novel SOI LDMOS power device that possesses surface substrate electrodes and drift zone oxide trenches. This novel device can provide electrodes for the substrate again, optimize the horizontal and vertical electric field, and significantly change neither of the  $R_{\text{ON,sp}}$  and the  $V_{\text{TH}}$ . At the same time, the breakdown voltage (BV) of conventional SOI LDMOS is increased by 57.54%, which alleviates the adverse effects caused by the application in the field of organic semiconductors. This novel SOI LDMOS power device provides the possibility of applying traditional power semiconductors to the research of organic semiconductors, and has innovative significance for expanding the organic semiconductor research.

**Keywords:** silicon on insulator, substrate electrodes, breakdown voltage, oxidation groove

**PACS:** 85.30.De, 85.30.Tv, 84.30.Jc

**DOI:** 10.7498/aps.70.20202065

\* Project supported by the Science Foundation for Distinguished Young Scholars of Shaanxi Province, China (Grant No. 2018JC-017) and the 111 Project, China (Grant No. B12026).

† Corresponding author. E-mail: [bxduan@163.com](mailto:bxduan@163.com)