

## 一个圆柱形双栅场效应晶体管的物理模型

刘佳文 姚若河 刘玉荣 耿魁伟

### A physical model of cylindrical surrounding double-gate metal-oxide-semiconductor field-effect transistor

Liu Jia-Wen Yao Ruo-He Liu Yu-Rong Geng Kui-Wei

引用信息 Citation: *Acta Physica Sinica*, 70, 157302 (2021) DOI: 10.7498/aps.70.20202156

在线阅读 View online: <https://doi.org/10.7498/aps.70.20202156>

当期内容 View table of contents: <http://wulixb.iphy.ac.cn>

---

## 您可能感兴趣的其他文章

### Articles you may be interested in

射线总剂量辐照对单轴应变Si纳米n型金属氧化物半导体场效应晶体管栅隧穿电流的影响

Influence of  $\gamma$ -ray total dose radiation effect on the tunneling gate current of the uniaxial strained Si nanometer n-channel metal-oxide-semiconductor field-effect transistor

物理学报. 2017, 66(7): 076101 <https://doi.org/10.7498/aps.66.076101>

短沟道金属-氧化物半导体场效应晶体管的散粒噪声模型

Shot noise model of the short channel metal-oxide-semiconductor field-effect transistor

物理学报. 2020, 69(17): 177102 <https://doi.org/10.7498/aps.69.20200497>

纳米尺度金属-氧化物半导体场效应晶体管沟道热噪声模型

A channel thermal noise model of nanoscaled metal-oxide-semiconductor field-effect transistor

物理学报. 2020, 69(5): 057101 <https://doi.org/10.7498/aps.69.20191512>

绝缘体上硅金属氧化物半导体场效应晶体管中辐射导致的寄生效应研究

Radiation induced parasitic effect in silicon-on-insulator metal-oxide-semiconductor field-effect transistor

物理学报. 2018, 67(21): 216102 <https://doi.org/10.7498/aps.67.20181372>

U型槽刻蚀工艺对GaN垂直沟槽型金属-氧化物-半导体场效应晶体管电学特性的影响

Effect of U-shape trench etching process on electrical properties of GaN vertical trench metal-oxide-semiconductor field-effect transistor

物理学报. 2020, 69(9): 098501 <https://doi.org/10.7498/aps.69.20191850>

离子凝胶薄膜栅介石墨烯场效应管

Graphene-based field effect transistor with ion-gel film gate

物理学报. 2019, 68(9): 097301 <https://doi.org/10.7498/aps.68.20190058>

## 一个圆柱形双栅场效应晶体管的物理模型\*

刘佳文 姚若河<sup>†</sup> 刘玉荣 耿魁伟

(华南理工大学电子与信息学院, 广州 510641)

(2020 年 12 月 18 日收到; 2021 年 3 月 25 日收到修改稿)

圆柱形双栅场效应晶体管 (CSDG MOSFET) 是在围栅 MOSFET 器件增加内部控制栅而形成, 与双栅、三栅及围栅 MOSFET 器件相比, 圆柱形双栅 MOSFET 提供了更好的栅控性能和输出特性. 本文通过求解圆柱坐标系下的二维泊松方程, 得到了圆柱形双栅 MOSFET 的电势模型; 进一步对反型电荷沿沟道积分, 建立其漏源电流模型. 分析讨论了圆柱形双栅 MOSFET 器件的电学特性, 结果表明: 圆柱形双栅 MOSFET 外栅沿沟道的最小表面势和器件的阈值电压随栅介质层介电常数的增大而减小, 其漏源电流和跨导随栅介质层介电常数的增大而增大; 随着器件参数的等比例缩小, 沟道反型电荷密度减小, 其漏源电流和跨导也减小.

**关键词:** 圆柱形双栅场效应晶体管, 模型, 栅介质, 电学特性

**PACS:** 73.43.Cd, 41.20.Cv, 77.22.Ch

**DOI:** 10.7498/aps.70.20202156

## 1 引言

目前, 金属氧化物半导体场效应晶体管 (metal-oxide-semiconductor field-effect transistor, MOSFET) 的尺寸从微米级进入纳米级, 为了提高沟道的可控性, 通过在围栅 MOSFET 器件引入内部控制栅形成的圆柱形双栅 (cylindrical surrounding double-gate, CSDG) MOSFET 结构, 得到了广泛的关注. 与双栅<sup>[1]</sup>、三栅<sup>[2]</sup>及围栅 MOSFET<sup>[3]</sup>器件相比, CSDG MOSFET 提供了更好的栅控性能和输出特性<sup>[4–9]</sup>.

Fahad 和 Hussain<sup>[10]</sup>表明 CSDG MOSFET 能够在产生更大的驱动电流同时拥有高的面积效率, 并实现硅纳米线场效应晶体管所需的低泄漏电流 (18.5 nA) 特性. Verma 等<sup>[11]</sup>仿真对比了 CSDG 和圆柱形单栅 (cylindrical surrounding gate, CSG) MOSFET 的器件特性, 结果表明 CSDG MOSFET 比 CSG MOSFET 有更好的漏源电流、跨导等特

性. Bairagya 等<sup>[12]</sup>利用 Pao-Sah 二重积分方法建立了 CSDG MOSFET 器件的电流解析模型, 得出 CSDG MOSFET 比传统的单栅 MOSFET 器件的反型层电荷浓度更高, 具有更好的栅控性能和更大的输出电流. Maduagwu 等<sup>[13]</sup>研究了器件的硅体厚度、栅氧化层厚度和沟道长度等对 CSDG MOSFET 的阈值电压和亚阈值摆幅的影响, 表明阈值电压随沟道长度的减小而减小, 亚阈值摆幅随硅体厚度、栅氧化层厚度的减小而减小, 随沟道长度的减小而增大.

本文通过求解圆柱坐标系下的二维泊松方程, 建立 CSDG MOSFET 的电势模型, 并由 Pao-Sah 积分, 建立 CSDG MOSFET 的漏源电流模型, 进一步分析讨论 CSDG MOSFET 器件的表面势、表面电场、漏源电流、跨导和阈值电压等特性.

## 2 物理模型

图 1 为 CSDG MOSFET 沿沟道方向的剖面示意图, 图 2 为 CSDG MOSFET 圆形横截面示意

\* 广东省重点领域研发计划 (批准号: 2019B010143003) 和国家自然科学基金 (批准号: 61871195) 资助的课题.

<sup>†</sup> 通信作者. E-mail: phrhyao@scut.edu.cn

图. 当不考虑 CSDG MOSFET 的内栅时, 它实际上就是一个围栅场效应晶体管. 给外栅加上偏置电压时, 沿着环绕栅的界面生成二维载流子剖面. 从俯视图来看, 外栅可以近似为 4 个有效栅, 产生 4 个不同的载流子剖面. 这些载流子剖面相互作用, 导致它们偏离 Si/SiO<sub>2</sub> 界面, 向硅体中心移动, 这种相互作用转化为向 MOSFET 中心的可用载流子态密度的激增. 因此, 给围栅场效应晶体管增加内栅形成 CSDG MOSFET 后, 可以增加载流子剖面相互作用的影响, 使得态密度 (以及载流子浓度) 的峰值像抛物线一样位于内外栅的中心, 这种现象称为体积反型 (volume inversion)<sup>[14,15]</sup>. 体积反型使低能带相互作用, 从而提高它们的能级, 处于低能态的少数载流子能够与表面电荷一起参与电流传导. 随着晶体管厚度的减小, 由于与氧化物/界面陷阱电荷和表面粗糙度相关的散射减少, 载流子的迁移率增大, 使 CSDG MOSFET 的输出驱动电流增强, 泄漏电流减小, 短沟道效应减弱.

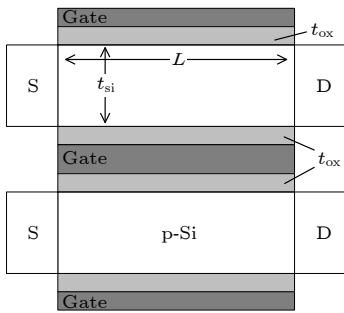


图 1 CSDG MOSFET 沿沟道方向的剖面示意图

Fig. 1. Schematic view of CSDG MOSFET along the channel direction.

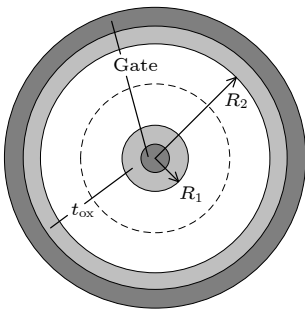


图 2 CSDG MOSFET 圆形横截面示意图

Fig. 2. Circular cross-sectional view of CSDG MOSFET.

CSDG MOSFET 有两种不同的工作模式, 即分离反型和体积反型. 在分离反型中, 形成了两个导电沟道, 一个位于外栅氧化硅衬底的界面, 另一

个位于内栅氧化硅衬底的界面. 在体积反型中, 内外沟道融合到整个硅区. 因此, 在这种工作模式下, 载流子数量和迁移率都得到了提高, 器件性能也得到了显著提升.

## 2.1 电势模型

如图 3 所示, CSDG MOSFET 在圆柱坐标系下的二维泊松方程<sup>[16]</sup>为

$$\frac{\partial^2 \psi(r, z)}{\partial r^2} + \frac{1}{r} \frac{\partial \psi(r, z)}{\partial r} + \frac{\partial^2 \psi(r, z)}{\partial z^2} = \frac{qN_a}{\epsilon_{\text{si}}}, \quad (1)$$

其中,  $q$  为电子电量,  $N_a$  表示沟道掺杂浓度,  $\epsilon_{\text{si}}$  表示硅的介电常数,  $\psi(r, z)$  为硅薄膜中的电势分布.

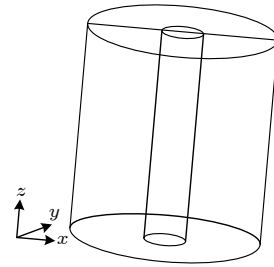


图 3 圆柱坐标系下的 CSDG MOSFET

Fig. 3. CSDG MOSFET in cylindrical coordinates.

由叠加原理, 将电势  $\psi(r, z)$  分解为 1 个一维泊松方程的解  $V_{1D}(r)$  和 1 个二维拉普拉斯方程的解  $U(r, z)$  之和<sup>[17]</sup>:

$$\psi(r, z) = V_{1D}(r) + U(r, z). \quad (2)$$

$V_{1D}(r)$  满足一维泊松方程<sup>[18]</sup>:

$$\frac{\partial^2 V_{1D}(r)}{\partial r^2} + \frac{1}{r} \frac{\partial V_{1D}(r)}{\partial r} = \frac{qN_a}{\epsilon_{\text{si}}}. \quad (3)$$

$U(r, z)$  满足二维拉普拉斯方程<sup>[19]</sup>:

$$\frac{\partial^2 U(r, z)}{\partial r^2} + \frac{1}{r} \frac{\partial U(r, z)}{\partial r} + \frac{\partial^2 U(r, z)}{\partial z^2} = 0. \quad (4)$$

满足一维泊松方程和二维拉普拉斯方程的解的边界条件如下:

$$\psi(R_1, z) = \psi_{s1}(z), \quad (5)$$

$$\psi(R_2, z) = \psi_{s2}(z), \quad (6)$$

$$\epsilon_{\text{si}} \frac{\partial \psi(r, z)}{\partial r} \Big|_{r=R_1} = C_{\text{ox1}} [V_{\text{gs}} - V_{\text{fb}} - \psi_{s1}(z)], \quad (7)$$

$$\epsilon_{\text{si}} \frac{\partial \psi(r, z)}{\partial r} \Big|_{r=R_2} = C_{\text{ox2}} [V_{\text{gs}} - V_{\text{fb}} - \psi_{s2}(z)], \quad (8)$$

$$\psi(r, 0) = V_{bi}, \quad (9)$$

$$\psi(r, L) = V_{bi} + V_{ds}, \quad (10)$$

式中,  $R_1$  表示内栅介质层与硅体接触处半径;  $R_2$  表示外栅介质层与硅体接触处半径;  $\psi_{s1}(z)$  表示内栅表面势;  $\psi_{s2}(z)$  表示外栅表面势;  $V_{gs}$  表示栅源电压;  $V_{fb}$  表示平带电压;  $V_{bi}$  表示内建电压;  $V_{ds}$  表示漏源电压;  $L$  为沟道长度;  $C_{ox1}$  和  $C_{ox2}$  为 CSDG MOSFET 内栅和外栅电容,

$$C_{ox1} = \frac{\varepsilon_{ox}}{R_1 \ln(1 + t_{ox}/R_1)}, \quad (11)$$

$$C_{ox2} = \frac{\varepsilon_{ox}}{R_2 \ln(1 + t_{ox}/R_2)}, \quad (12)$$

其中,  $\varepsilon_{ox}$  表示栅介质层介电常数,  $t_{ox}$  表示栅介质层厚度.

根据边界条件, 求解一维泊松方程和二维拉普拉斯方程, 可以得到  $\psi(r, z)$  的表达式为<sup>[13]</sup>

$$\begin{aligned} \psi(r, z) = & V_{gs} - V_{fb} - \psi_{1D}(0) \\ & + \frac{qN_a r^2}{4\varepsilon_{si}} - \frac{qN_a t_{si}^2}{16\varepsilon_{si}} - \frac{qN_a t_{si}^2 C_{si}}{4\varepsilon_{si} C_{ox}} \\ & + \sum_{n=0}^{\infty} [(A_n e^{\lambda_n \cdot z} + B_n e^{-\lambda_n \cdot z}) J_n(\lambda_n \cdot r)], \end{aligned} \quad (13)$$

式中,  $C_{si} = \varepsilon_{si}/t_{si}$ ;  $C_{ox}$  是栅电容;  $A_n$  和  $B_n$  是贝塞尔-傅里叶级数系数;  $\lambda_n$  是特征值, 满足特征值方程:

$$\lambda_n = \frac{C_{ox} J_0(\lambda_n \cdot t_{si}/2)}{\varepsilon_{si} J_1(\lambda_n \cdot t_{si}/2)}, \quad (14)$$

其中,  $t_{si}$  为沟道厚度,  $J_0$  表示零阶贝塞尔函数,  $J_1$  表示一阶贝塞尔函数.

由于 (13) 式无穷级数求和中的高阶项快速衰减, 因此 CSDG MOSFET 内栅和外栅表面势的近似表达式 (取  $n = 0$ ) 为<sup>[20]</sup>

$$\psi_{s1}(z) = V_{gs} - V_{fb} - \psi_{1D}(0)$$

$$\begin{aligned} & + \frac{qN_a R_1^2}{4\varepsilon_{si}} - \frac{qN_a t_{si}^2}{16\varepsilon_{si}} - \frac{qN_a t_{si}^2 C_{si}}{4\varepsilon_{si} C_{ox1}} \\ & + (A_0 e^{\lambda_0 \cdot z} + B_0 e^{-\lambda_0 \cdot z}) J_0(\lambda_0 \cdot R_1), \end{aligned} \quad (15)$$

$$\psi_{s2}(z) = V_{gs} - V_{fb} - \psi_{1D}(0)$$

$$\begin{aligned} & + \frac{qN_a R_2^2}{4\varepsilon_{si}} - \frac{qN_a t_{si}^2}{16\varepsilon_{si}} - \frac{qN_a t_{si}^2 C_{si}}{4\varepsilon_{si} C_{ox2}} \\ & + (A_0 e^{\lambda_0 \cdot z} + B_0 e^{-\lambda_0 \cdot z}) J_0(\lambda_0 \cdot R_2), \end{aligned} \quad (16)$$

特征值  $\lambda_0$  和系数  $A_0, B_0$  分别为

$$\lambda_0 = \frac{C_{ox1} J_0\left(\lambda_0 \cdot \frac{t_{si}}{2}\right)}{\varepsilon_{si} J_1\left(\lambda_0 \cdot \frac{t_{si}}{2}\right)}, \quad (17)$$

$$A_0 = \frac{[V_{bi} + V_{ds} - \psi_{1D}(R_1)] - [V_{bi} - \psi_{1D}(R_1)] e^{-\lambda_0 L}}{J_0(R_1 \lambda_0) (e^{\lambda_0 L} - e^{-\lambda_0 L})}, \quad (18)$$

$$B_0 = \frac{[V_{bi} - \psi_{1D}(R_1)] e^{\lambda_0 L} - [V_{bi} + V_{ds} - \psi_{1D}(R_1)]}{J_0(R_1 \lambda_0) (e^{\lambda_0 L} - e^{-\lambda_0 L})}. \quad (19)$$

CSDG MOSFET 沿沟道以及沿半径的电场表达式可以分别表示为

$$E(z) = -\frac{d\psi(r, z)}{dz}, \quad (20)$$

$$E(r) = -\frac{d\psi(r, z)}{dr}. \quad (21)$$

## 2.2 漏源电流模型

CSDG MOSFET 源漏端的表面电势分别为  $\psi_s(0)$ ,  $\psi_s(L)$ , 硅体区域的反型电荷可以表示为

$$Q_i = -C_{oxi} [V_{gs} - V_{fb} - \psi_{si}(z)], \quad (22)$$

其中,  $i = 1, 2$  分别表示内栅和外栅.

根据 Pao-Sah 二重积分, 漏源电流可以表示为<sup>[21,22]</sup>

$$\begin{aligned} I_{DS} = & \mu \frac{2\pi(R_1 + R_2)}{L} \int_0^{V_{ds}} (-Q_i) dV = \mu \frac{2\pi(R_1 + R_2)}{L} \left[ \int_{\psi_s(0)}^{\psi_s(L)} (-Q_i) \frac{dV}{d\psi_s} d\psi_s \right] \\ = & \mu \frac{2\pi(R_1 + R_2)}{L} \left( C_{ox1} \left\{ (V_{gs} - V_{fb}) \Delta\psi_1 - \frac{\psi_{s1}(L) - \psi_{s1}(0)}{2} \Delta\psi_1 \right. \right. \\ & + \frac{kT}{q} \left[ 2\Delta\psi_1 + C_{R1} \ln \left( \frac{V_{gs} - V_{fb} - \psi_{s1}(L) + C_{R1}}{V_{gs} - V_{fb} - \psi_{s1}(0) + C_{R1}} \right) \right] \Big\} + C_{ox2} \left\{ (V_{gs} - V_{fb}) \Delta\psi_2 - \frac{\psi_{s2}(L) - \psi_{s2}(0)}{2} \Delta\psi_2 \right. \\ & \left. \left. + \frac{kT}{q} \left[ 2\Delta\psi_2 + C_{R2} \ln \left( \frac{V_{gs} - V_{fb} - \psi_{s2}(L) + C_{R2}}{V_{gs} - V_{fb} - \psi_{s2}(0) + C_{R2}} \right) \right] \right\} \right), \end{aligned} \quad (23)$$

$$\Delta\psi_1 = \psi_{s1}(L) - \psi_{s1}(0), \quad (24)$$

$$\Delta\psi_2 = \psi_{s2}(L) - \psi_{s2}(0), \quad (25)$$

$$C_{R_1} = \frac{4\varepsilon_{si}kT}{qR_1C_{ox1}}, \quad (26)$$

$$C_{R_2} = \frac{4\varepsilon_{si}kT}{qR_2C_{ox2}}, \quad (27)$$

其中,  $\mu$  表示沟道载流子迁移率,  $k$  表示玻尔兹曼常数,  $T$  表示热力学温度.

### 3 模型仿真与分析

基于上面给出的器件模型, 对 CSDG MOSFET 特性进行了数值仿真分析, 具体采用的器件参数见表 1. 其中  $\varepsilon_0$  为真空栅介质,  $3.9\varepsilon_0$  为  $\text{SiO}_2$  介质,  $7\varepsilon_0$  为  $\text{Si}_3\text{N}_4$  介质,  $12\varepsilon_0$  为  $\text{ZnO}$  介质,  $20\varepsilon_0$  为  $\text{HfO}_2$  介质.

表 1 CSDG MOSFET 器件参数值  
Table 1. Model parameters of CSDG MOSFET.

参数	定义	数值
$R_1/\text{nm}$	内栅介质层与硅体接触处半径	4
$R_2/\text{nm}$	外栅介质层与硅体接触处半径	14
$L/\text{nm}$	栅长度	30
$t_{ox}/\text{nm}$	介质层厚度	2
$N_a/\text{cm}^{-3}$	沟道掺杂浓度	$10^{17}$
$\varepsilon_0/(\text{F}\cdot\text{cm}^{-1})$	真空介电常数	$8.854 \times 10^{-14}$
$\varepsilon_{ox}$	栅介质介电常数	$\varepsilon_0, 3.9\varepsilon_0, 7\varepsilon_0, 12\varepsilon_0, 20\varepsilon_0$
$\varepsilon_{si}$	硅介电常数	$11.8\varepsilon_0$

基于 (15) 式和 (16) 式的电势模型, CSDG MOSFET 在不同栅介质下的外栅表面势沿沟道变化情况如图 4 所示. 由图 4 可见, 表面势沿沟道先减小后逐渐增大, 最小表面势随栅介质层介电常数的增加而降低, 这是因为栅电容增大后, 垂直电场增大, 栅极对沟道的控制增强, 使沟道表面势下降.

图 5 所示为 CSDG MOSFET 在不同  $\text{SiO}_2$  栅介质厚度下外栅表面势沿沟道变化曲线, 可以看出, 随着  $\text{SiO}_2$  氧化层变薄, 栅极对沟道的控制增强, 垂直电场增大, 使最小表面势下降. CSDG MOSFET 在不同沟道长度下的表面势沿沟道变化情况如图 6 所示, 其中沟道长度为 30 和 50 nm 时的电势分布情况与文献 [23] 的结果基本一致. 随着沟道长度的减小, 最小表面势上升, 这是因为沟道长度减小后电荷控制的线性区域减小, 使电势向源区偏移, 从而影响了沟道中心的最小表面势 [24].

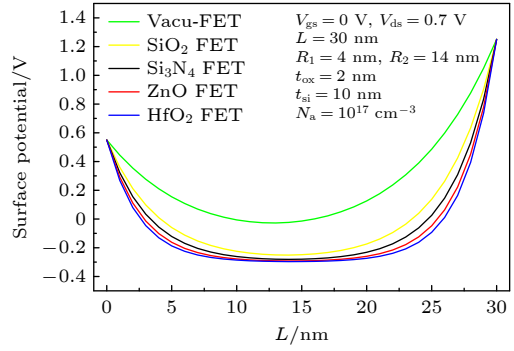


图 4 表面势沿沟道的分布

Fig. 4. Surface potential distribution along the channel.

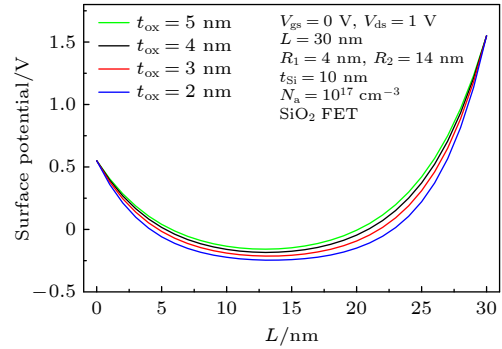


图 5 不同氧化层厚度下表面势分布

Fig. 5. Surface potential distribution with different oxide thickness.

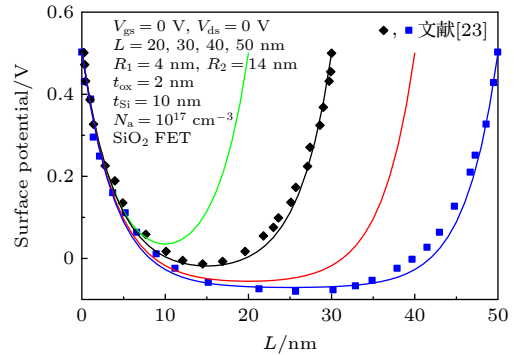


图 6 不同沟道长度下表面势的分布

Fig. 6. Surface potential distribution with different channel length.

CSDG MOSFET 在不同栅介质下的电场沿沟道的变化情况如图 7 所示. 随着栅介质层介电常数增大, CSDG MOSFET 在源漏端的电场逐渐增大, 这是因为栅介电常数的提高使栅电容增大后, 栅极对沟道的控制增强, 源漏端的电场逐渐增大.

在漏源电压固定时,  $\text{SiO}_2$  介质下 CSDG MOSFET 在不同栅源电压下的电势和电场沿半径变化情况如图 8 和图 9 所示, 随着栅源电压增大, 电势逐渐增大且变得更平缓, 电场减小.



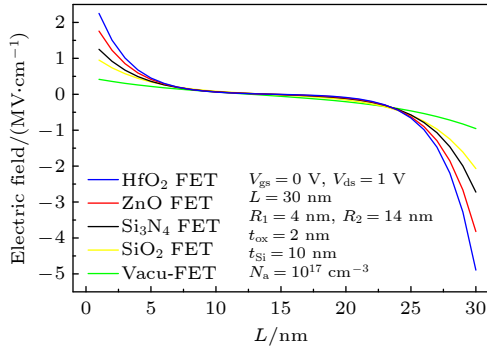


图 7 不同栅介质下外栅表面电场沿沟道的分布

Fig. 7. Electric field distribution along the channel at the outer surface of CSDG MOSFET with different gate dielectric.

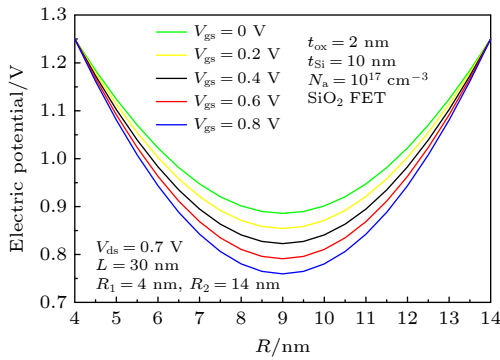


图 8 不同栅电压下电势沿半径的分布

Fig. 8. Electric potential distribution along the radius with different gate voltage.

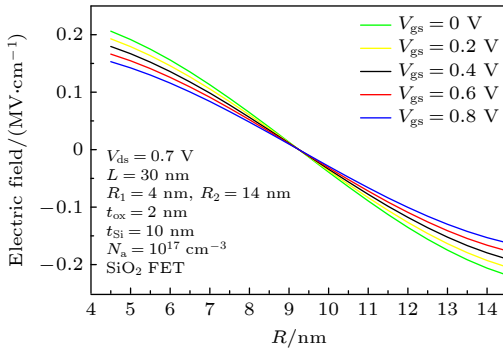


图 9 不同栅电压下电场沿半径的分布

Fig. 9. Electric field distribution along the radius with different gate voltage.

CSDG MOSFET 在不同栅介质下的电场沿半径变化情况如图 10 所示, 真空栅介质时 CSDG MOSFET 的电场较低, 随着栅介质层介电常数的增大, 栅极对沟道的控制增强, 沿半径的电场也逐渐增大。

图 11 是 CSDG MOSFET 在不同栅介质下的漏源电流随栅源电压变化曲线, 插图为不同栅介质

下的阈值电压对比. 由图中  $I_{ds}-V_{gs}$  变化关系可知, 当  $V_{gs}$  达到一定值后, 电流开始迅速增加, 说明 CSDG MOSFET 的栅控性能得到了较大程度的提高. 若以漏源电流  $2.0 \times 10^{-7}$  A 时的栅源电压作为阈值电压<sup>[25]</sup>, 由图 11 可见, 随着栅介质常数的增大, 栅控性能变好, 沟道反型电荷密度增大, 漏源电流增加, 阈值电压逐渐减小。

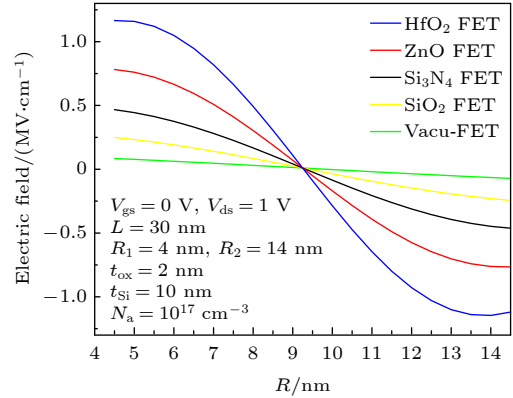


图 10 不同栅介质下电场沿半径的分布

Fig. 10. Electric field distribution along the radius with different gate dielectric.

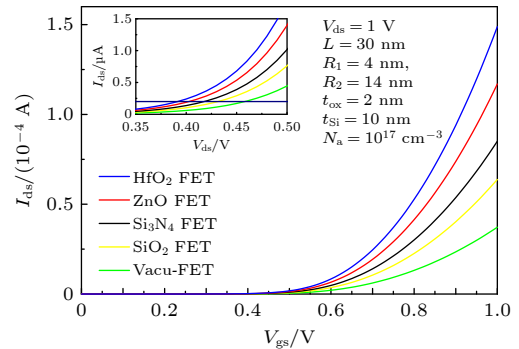
图 11 不同栅介质下  $I_{ds}-V_{gs}$  曲线

Fig. 11. Curves of  $I_{ds}$  versus  $V_{ds}$  with different gate dielectric.

图 12 是 CSDG MOSFET 在不同  $\text{SiO}_2$  栅介质厚度下的跨导随栅源电压变化曲线. 跨导随栅介质厚度的增大而减小, 这是因为栅介质厚度增大后栅电容减小, 垂直电场减小, 栅极对沟道的控制减弱, 使 CSDG MOSFET 的漏源电流减小, 跨导减小。

为了对基于 (23) 式的漏源电流模型的仿真结果与 TCAD 的仿真结果进行比较, 用文献 [26] 中给出的器件尺寸和材料参数进行仿真, 结果见图 13, 模型仿真得到的  $I_{ds}-V_{ds}$  特性与 TCAD 的结果<sup>[26]</sup> 基本一致。

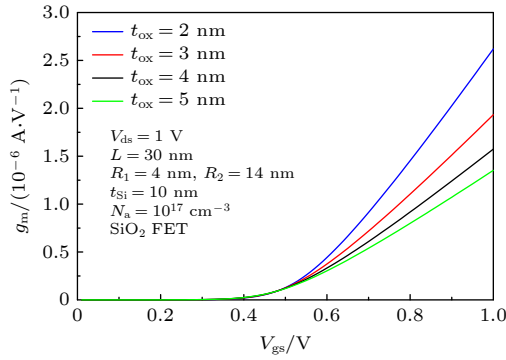
图 12 不同 SiO<sub>2</sub> 栅介质厚度下的跨导

Fig. 12. Transconductance with different SiO<sub>2</sub> dielectric thickness.

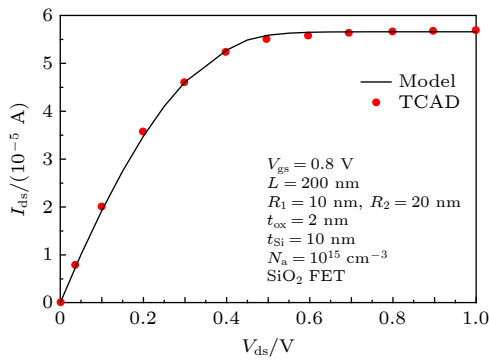


图 13 本文模型仿真得到的  $I_{ds}$ - $V_{ds}$  曲线与 TCAD 结果比较

Fig. 13. Curve of  $I_{ds}$  versus  $V_{ds}$  between the model in this paper and the TCAD result.

为了探讨 10 nm 下 CSDG MOSFET 的特性, 进一步根据上述的仿真结果, 按比例缩小 CSDG MOSFET, 具体参数见表 2. 图 14 和 15 分别是根据表 2 参数仿真得到的 CSDG MOSFET 输出特性和跨导特性. 在栅长为 3, 5, 7, 10 nm 下, CSDG MOSFET 的漏源电流和跨导随栅长的减小而减小, 这是由于随着栅长、半径的等比例减小, 沟道最小表面势上升, 反型电荷密度减小, CSDG MOSFET 的漏源电流减小; 栅极对沟道的控制减弱, 导致跨导减小.

表 2 不同栅长的 CSDG MOSFET 器件参数值  
Table 2. Model parameters of CSDG MOSFET with different gate length.

$L/\text{nm}$	$R_1/\text{nm}$	$R_2/\text{nm}$	$t_{ox}/\text{nm}$	$t_{si}/\text{nm}$
3	0.714	1.43	0.285	0.714
5	1.25	2.5	0.5	1.25
7	1.67	3.33	0.667	1.67
10	2.5	5	1	2.5

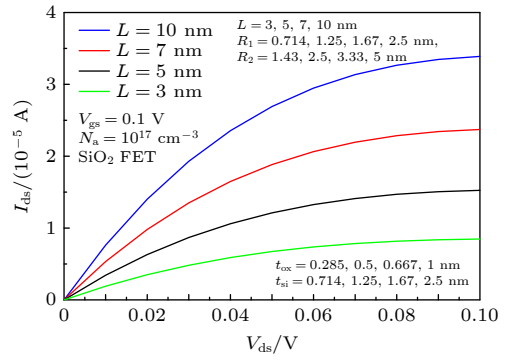


图 14 不同栅长下的输出特性

Fig. 14. Curves of  $I_{ds}$  versus  $V_{ds}$  with different gate length.

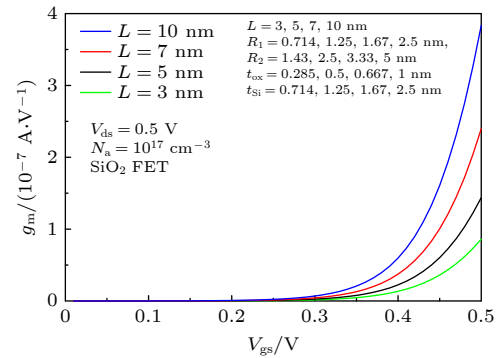


图 15 不同栅长下的跨导

Fig. 15. Transconductance with different gate length.

## 4 结 论

本文通过求解圆柱坐标系下的二维泊松方程, 得到了 CSDG MOSFET 的电势模型, 通过对反型电荷沿沟道积分, 得到漏源电流模型, 分析讨论 CSDG MOSFET 器件的特性. 结果表明: 相同  $V_{ds}$  下 CSDG MOSFET 的最小表面势随栅介质常数增大而减小, 随沟道长度减小而增大, 随栅介质厚度减小而减小; CSDG MOSFET 沿沟道与沿半径方向的电场、漏源电流随栅介质常数的增大而增大; CSDG MOSFET 沿半径方向的电势随栅源电压的增大而增大; CSDG MOSFET 的阈值电压随栅介质常数的增大而减小; CSDG MOSFET 的跨导随栅介质厚度的增大而减小. 随着器件参数的等比例缩小, 沟道反型电荷密度减小, 其漏源电流和跨导也减小.

## 参考文献

- [1] Kumar S, Goel E, Singh K, Singh B, Kumar M, Jit S 2016 *IEEE Trans. Electron Dev.* **63** 3291

- [2] Trevisoli R D, Doria R T, Souza M D, Das S, Ferain I, Pavanello M A 2012 *IEEE Trans. Electron Dev.* **59** 3510
- [3] Xiao Y, Zhang B, Lou H, Zhang L, Lin X 2016 *IEEE Trans. Electron Dev.* **63** 2176
- [4] Fahad H M, Smith C E, Rojas J P, Hussain M M 2011 *Nano Lett.* **11** 4393
- [5] Tekleab D 2014 *IEEE Electr. Device Lett.* **35** 506
- [6] Maduagwu U A, Srivastava V M 2020 *IEEE Access* **8** 121204
- [7] Oyediji O E, Srivastava V M 2019 *IEEE Conference on Information and Communication Technology Allahabad, India, December 6–8, 2019* p1–5
- [8] Oyediji O E, Srivastava V M 2019 10 th *International Conference on Computing, Communication and Networking Technologies (ICCCNT)* Kanpur, India, July 6–8, 2019 p1
- [9] Shunqkela M, Srivastava V M 2018 *International Conference on Computer Communication and Informatics (ICCCI)* Coimbatore, India, January 4–6, 2018 p1
- [10] Fahad H M, Hussain M M 2012 *Sci. Rep.* **2** 475
- [11] Verma J, Pratap Y, Gupta M, Haldar S, Gupta R S 2015 *Annual IEEE India Conference (INDICON)* New Delhi, India, December 17–20, 2015 p1
- [12] Bairagya S, Chakraborty A 2017 *Devices for Integrated Circuit (DevIC)* Kalyani, India, March 23–24, 2017 p721–725
- [13] Maduagwu U A, Srivastava V M 2019 *J. Low Power Electron. Appl.* **9** 10
- [14] Balestra F, Cristoloveanu S, Benachir M, Brini J, Elewa T 1987 *IEEE Electr. Device Lett.* **8** 410
- [15] Kloes A, Schwarz M, Holtij T, Navas A 2013 *IEEE Trans. Electron Dev.* **60** 2691
- [16] Pandian M K, Balamurugan N B 2014 *J. Electr. Eng. Technol.* **9** 2079
- [17] Bland D R 1961 *Solutions of Laplace's Equation* (New York: Springer Netherlands) pp15–28
- [18] Jimenez D, Saenz J J, Iniguez B, Sune J, Pallares J 2004 *IEEE Electr. Device Lett.* **25** 314
- [19] Li C, Zhuang Y, Di S, Han R 2013 *IEEE Trans. Electron Dev.* **60** 3655
- [20] Chen Q, Agrawal B, Meindl J D 2002 *IEEE Trans. Electron Dev.* **49** 1086
- [21] Lin S H, Zhou X, See G H, Zhu Z M, Lim G H, Wei C Q, Zhu G J, Yao Z H, Wang X F, Yee M 2007 *IEEE Conference on Nanotechnology (IEEE NANO)* Hong Kong, China, August 2–5, 2007 p889
- [22] Ortiz-Conde A, Sanchez F J G, Guzman M 2003 *Solid-State Electron.* **47** 2067
- [23] Verma J, Haldar S, Gupta R S, Gupta M J S 2015 *Superlattices Microst.* **88** 354
- [24] Rewari S, Haldar S, Nath V, Deswal S S, Gupta R S 2016 *Superlattices Microst.* **90** 8
- [25] Sarkar C K 2016 *Technology Computer Aided Design: Simulation for VLSI MOSFET* (Boca Raton: CRC Press) pp273–288
- [26] Kumar A, Bhushan S, Tiwari P K 2019 *IET Circ. Devices Syst.* **13** 519



# A physical model of cylindrical surrounding double-gate metal-oxide-semiconductor field-effect transistor<sup>\*</sup>

Liu Jia-Wen   Yao Ruo-He<sup>†</sup>   Liu Yu-Rong   Geng Kui-Wei

(School of Electronic and Information Engineering, South China University of Technology, Guangzhou 510641, China)

( Received 18 December 2020; revised manuscript received 25 March 2021 )

## Abstract

The cylindrical surrounding double-gate metal-oxide-semiconductor field-effect transistor (CSDG MOSFET) is formed by adding an internal control gate to the cylindrical surrounding-gate (CSG) MOSFET. The inner gate of CSDG MOSFET acts as a second gate for enhanced charge control. At present, the research of CSDG MOSFET structure is widely concerned. Compared with double-gate MOSFET, triple-gate MOSFET and CSG MOSFET, the CSDG MOSFET provides good controllability of the gate over the channel. Additionally, the device allows for higher volume inversion than CSG MOSFET, which leads to better output characteristics.

In order to study the electrical characteristics of CSDG MOSFET, the potential model of CSDG MOSFET is obtained by solving the two-dimensional Poisson equation in cylindrical coordinates. The effects of gate dielectric, channel length and gate dielectric thickness on the surface potential and electric field of CSDG MOSFET are studied. Besides, the drain-source current model of CSDG MOSFET is established by integrating the inverse charge along the channel. The effects of gate dielectric and gate dielectric thickness on the transconductance of CSDG MOSFET are studied. In addition, the effects of the downscaling of device parameters on the transfer characteristics and transconductance of CSDG MOSFET are studied.

The electrical characteristics of CSDG MOSFET are analyzed and discussed. The results show that the minimum surface potential along the channel of CSDG MOSFET decreases with the increase of gate dielectric constant of gate dielectric layer. The electric field along the channel and along the radius, drain-source current and transconductance of CSDG MOSFET increase as the gate dielectric constant increases. The threshold voltage of CSDG MOSFET decreases as the gate dielectric constant increases. Moreover, with the downscaling of device parameters, the transfer characteristics and transconductance of CSDG MOSFET decrease. The performance of CSDG MOSFET can be significantly improved by using high-k gate dielectrics.

**Keywords:** cylindrical surrounding double-gate metal-oxide-semiconductor field-effect transistor, model, gate dielectric, electrical characteristics

**PACS:** 73.43.Cd, 41.20.Cv, 77.22.Ch

**DOI:** 10.7498/aps.70.20202156

<sup>\*</sup> Project supported by the Key-Area Research and Development Program of Guangdong Province, China (Grant No. 2019B010143003) and the National Natural Science Foundation of China (Grant No. 61871195).

<sup>†</sup> Corresponding author. E-mail: [phrhyao@scut.edu.cn](mailto:phrhyao@scut.edu.cn)