



一种新型浮地记忆元件建模方法及实现

郑辞晏 庄楚源 李亚 练明坚 梁燕 于东升

A novel modeling method and implementation of floating memory elements

Zheng Ci-Yan Zhuang Chu-Yuan Li Ya Lian Ming-Jian Liang Yan Yu Dong-Sheng

引用信息 Citation: *Acta Physica Sinica*, 70, 238501 (2021) DOI: 10.7498/aps.70.20211021

在线阅读 View online: <https://doi.org/10.7498/aps.70.20211021>

当期内容 View table of contents: <http://wulixb.iphy.ac.cn>

您可能感兴趣的其他文章

Articles you may be interested in

一种新型浮地记忆元件建模方法及实现*

郑辞晏¹⁾ 庄楚源²⁾ 李亚^{2)†} 练明坚²⁾ 梁燕³⁾ 于东升⁴⁾

1) (广东技术师范大学自动化学院, 广州 510665)

2) (广东技术师范大学电子与信息学院, 广州 510665)

3) (杭州电子科技大学电子与信息学院, 杭州 310018)

4) (中国矿业大学电气与动力工程学院, 徐州 221116)

(2021年5月30日收到; 2021年7月13日收到修改稿)

忆阻器、忆容器和忆感器是具有记忆特性的非线性元件, 隶属于记忆元件系统. 目前, 由于现有可购忆阻器芯片尚存在许多不足, 且忆容器和忆感器的硬件实物研究仍处于实验室验证阶段, 因此, 研究者们获取此类记忆元件硬件仍有难度. 为了解决这个问题, 建立有效的记忆元件等效电路模型, 以促进对记忆元件及其系统的特性和应用研究. 本文根据忆阻器、忆容器和忆感器的本构关系, 提出一种新型浮地记忆元件建模方法, 即采用搭建通用模拟器的方式, 在保证电路拓扑结构不变的情况下, 通过改变接入通用模拟器的无源电路元件分别实现浮地忆阻器、忆容器和忆感器模型. 相比于其他能实现3种浮地记忆元件模型的研究, 本文所搭建的记忆元件模型结构简单, 工作频率更高, 易于电路实现. 结合理论分析、PSPICE仿真及硬件电路实验结果的一致性, 验证基于该通用模拟器搭建记忆元件模型的可行性和有效性.

关键词: 记忆元件, 硬件实验, 磁滞回线特性, 浮地模拟器

PACS: 85.25.Hv, 07.50.Ek

DOI: 10.7498/aps.70.20211021

1 引言

忆阻器是一种新型记忆元件, 其概念由蔡少棠^[1]于1971年提出, 并在2008年由惠普(HP)实验室成功制备为纳米级固态元件^[2]. 此后蔡少棠团队^[3]将记忆系统的概念拓展到容性和感性元件中, 形成了一种基于忆阻器、忆容器和忆感器的记忆元件系统. 现有研究表明忆阻器、忆容器和忆感器凭借其独特的记忆特性以及非线性特性, 在混沌电路^[4,5]、信号处理^[6,7]、非易失性存储器^[8]、存算一体芯片^[9,10]和人工神经网络^[11,12]等多个领域具有广阔的应用前景. 最近研究表明存在基于电磁耦合效应实现的第4种记忆元件——忆耦器^[13,14], 其概念的提出拓宽了记忆元件的定义和概念, 极大地提升

了记忆元件的应用潜力.

目前, 市面仅有忆阻器元件可购, 忆容器^[15]、忆感器^[16]和忆耦器^[13,14]的物理实现仍停留于实验室验证阶段, 尚未市场化. 然而, Knowm忆阻器芯片作为全球目前唯一一款可购记忆元件, 在使用过程中存在以下问题: 该器件两端存在较大的寄生电容, 可能导致出现忆阻器极性翻转及记忆衰退等现象; 其阻变存储技术所具有的随机性导致忆阻器可编程忆阻值参数可控性和稳定性不足; 其直流和交流响应不稳定等^[17,18]. 为此, 根据记忆元件本构关系和电学特性, 搭建记忆元件等效电路模型以用于其特性研究和应用开发^[19,20]成为近年来的研究热点. 目前, 已有对记忆元件中的忆阻器、忆容器和忆感器的等效电路模型搭建研究, 但尚未出现关于忆耦器的等效电路模型搭建相关研究. 例如, 研究

* 国家自然科学基金青年科学基金(批准号: 61801154, 62101142)、广州市科技计划(批准号: 201904010302, 202102020874)、广东省教育厅项目(批准号: 2021ZDZX1079, 2021KTSCX062)和广东技术师范大学人才专项(批准号: 2021SDKYA009)资助的课题.

† 通信作者. E-mail: liya2829@gpmu.edu.cn

者根据记忆元件的本构关系搭建单个忆阻器^[21,22]、忆容器^[23]或忆感器模型^[24]. 此外, 有学者根据记忆元件本构关系之间的联系, 利用现有的忆阻器模型和外围转化电路来构造忆容器和忆感器模型^[25,26], 然而, 由于上述忆容器和忆感器模型是基于忆阻器转化得到, 使所转化的忆容器和忆感器模型依赖于原有忆阻器特性, 且结构复杂、难以简化. 因此, 为了搭建模型更简单的记忆元件, Fouda 等^[27]提出了不含忆阻器的忆容器模型. 梁燕等^[28]采用相似设计思路, 提出了不含忆阻器的忆感器模型. 近年来, 研究者在以往单个记忆元件模型设计的基础上, 提出通用的记忆元件模型. 李志军等^[29]提出了一个由基本电路元件和可购芯片构成的通用记忆元件模拟器, 在保证电路拓扑结构不变的情况下, 通过接入不同性质元件, 分别模拟忆阻器、忆容器和忆感器的电路行为. 然而, 其搭建的记忆元件需确保模型中的场效应管工作于线性区域方能呈现出记忆特性, 限制了模型的工作电压范围, 且其工作频率较低 (0.8 kHz 左右). Wang 等^[30]基于通用模拟器实现 3 种浮地型记忆元件模型, 然而, 其呈现磁滞特性曲线的最高工作频率约为 5 kHz. Zheng 等^[31]和 Yu 等^[32]利用变容二极管设计通用模拟器, 并基于通用模拟器搭建了记忆元件模型, 但所搭建记忆元件输入输出特性通过近似模型获得. Sharma 等^[33]利用硬件实验实现了基于通用模拟器的记忆元件, 然而其设计的模型的输入和输出电流不相等, 无法等效模拟浮地型二端口记忆元件, 存在“伪浮地”的不足.

基于以上分析, 本文采用基本无源电路元件及可购芯片设计一种通用模拟器, 在保持其电路拓扑结构不变的情况下, 通过改变接入通用模拟器元件的性质分别搭建浮地型忆阻器、忆容器、忆感器模型, 针对现有的能实现 3 种浮地的通用记忆元件模型存在的结构复杂、工作频率低、建模不够精准、“伪浮地”等问题对通用记忆元件模型做出改进, 并通过理论分析、电路仿真和硬件电路实验验证所搭建的基于通用模拟器的记忆元件模型的可行性.

2 基于通用模拟器的记忆元件模型设计

记忆元件具有存储过往电路信息的特性, 由其本构关系数学模型中的状态变量反映. 以忆阻器为例, 其本构关系为 $q-\phi$ 间的非线性关系, 可以由分

段线性、二次非线性、三次非线性等非线性数学模型描述^[34-36]. 忆容器和忆感器模型的本构关系分别为 $\sigma-\phi$ 和 $q-\rho$ 间的非线性关系, 也可由二次非线性数学模型描述^[37,38]. 上述本构关系中, q 代表电荷量, ϕ 代表磁通量, 即电压对时间的积分, σ 代表 q 对时间的积分, ρ 代表 ϕ 对时间的积分. 因此, 本文采用二次非线性数学模型分别描述忆阻器、忆容器和忆感器本构关系.

忆阻器的 $q-\phi$ 本构关系以及忆导值 W_m (忆阻值倒数) 可定义为

$$q(\phi) = \frac{1}{2}\alpha_1\phi^2 + \beta_1\phi, \quad (1)$$

$$W_m = \frac{dq(\phi)}{d\phi} = \alpha_1\phi + \beta_1, \quad (2)$$

其中, α_1 代表忆导值 W_m 的变化率, β_1 代表 W_m 的初始值.

忆容器的 $\sigma-\phi$ 本构关系以及忆容值 C_m 可定义为

$$\sigma(\phi) = \frac{1}{2}\alpha_2\phi^2 + \beta_2\phi, \quad (3)$$

$$C_m = \frac{d\sigma(\phi)}{d\phi} = \alpha_2\phi + \beta_2, \quad (4)$$

其中, α_2 代表忆容值 C_m 的变化率, β_2 代表 C_m 的初始值.

忆感器的 $q-\rho$ 本构关系以及忆感值倒数值 L_m^{-1} 可定义为

$$q(\rho) = \frac{1}{2}\alpha_3\rho^2 + \beta_3\rho, \quad (5)$$

$$L_m^{-1} = \frac{dq(\rho)}{d\rho} = \alpha_3\rho + \beta_3, \quad (6)$$

其中, α_3 代表忆感值倒数值 L_m^{-1} 的变化率, β_3 代表 L_m^{-1} 的初始值.

2.1 通用模拟器及基于通用模拟器的记忆元件电路实现

本文根据忆阻器、忆容器和忆感器本构关系, 提出一种可用于构造记忆元件模型的通用模拟器等效电路, 如图 1 所示, 其电路结构包含 4 个电流反馈放大器 AD844 (标为 U1, U2, U3 和 U4)、1 个乘法器 AD633(U5)、2 个阻抗元件 (标为 Z_1 , Z_2)、电阻 R_1 、电容 C_1 以及直流电压源 V_s , 其中端口 A 和 B 作为通用模拟器的外接二端口, 用于与外围电路进行连接.

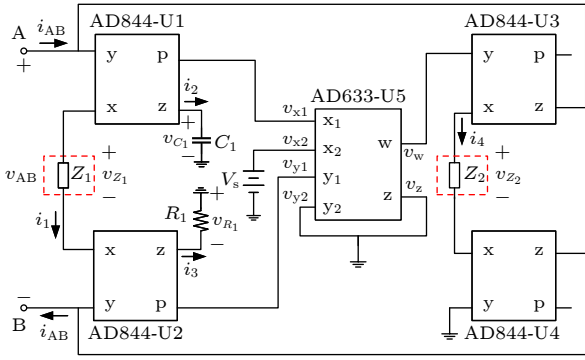


图 1 通用模拟器设计

Fig. 1. Design of a universal emulator for building models of mem-elements.

AD844 为电流反馈放大器, 在通用模拟器电路中起电流传输器和电压跟随器的作用. 根据其端口特性:

$$i_x = i_z, i_y = 0, \quad (7)$$

$$v_x = v_y, v_p = v_z. \quad (8)$$

可得通用模拟器中 A, B 端的输入电流 i_{AB} 与流经阻抗元件 Z_2 电流 i_4 在复频域上的表达式:

$$i_{AB} = -i_4 = -\frac{\dot{V}_{Z_2}}{Z_2} = -\frac{\dot{V}_w}{Z_2}, \quad (9)$$

其中 \dot{V}_w 为 AD633 的 w 端输出电压 v_w 在复频域的表达式.

根据 (7) 式, 得流经阻抗元件 Z_1 电流 \dot{I}_1 、流经 C_1 的电流 \dot{I}_2 与流经 R_1 的电流 \dot{I}_3 可以表示为

$$\dot{I}_1 = \frac{\dot{V}_{AB}}{Z_1} = \dot{I}_2 = -\dot{I}_3, \quad (10)$$

根据 (8) 式可得可计算 AD633 的 y_1 端输入电压 v_{y1} 在复频域上的表达式:

$$\dot{V}_{y1} = \dot{V}_{R1} = -\dot{I}_1 R_1 = -\frac{\dot{V}_{AB}}{Z_1} R_1. \quad (11)$$

电容 C_1 在电路中起电流积分器作用, 设积分电容 C_1 的初始电压为 0, 根据 (10) 式可求得 C_1 两端电压表达式, 且由 (8) 式, 可得 U5 的 x_1 端输入电压 v_{x1} 在复频域上的表达式:

$$\dot{V}_{x1} = \dot{V}_{C1} = \frac{\dot{I}_1}{sC_1} = \frac{\dot{V}_{AB}}{sC_1 Z_1}, \quad (12)$$

根据 AD633 芯片端口输出特性, 可得其输出端 w 的电压 v_w 在复频域上的表达式:

$$\dot{V}_w = \frac{(\dot{V}_{x1} - V_s)\dot{V}_{y1}}{10}, \quad (13)$$

其中 V_s 为常量直流电压.

将 (11) 式和 (12) 式代入 (13) 式, 并将 (13) 式代入 (9) 式可得通用模拟器二端口输出方程:

$$\dot{I}_{AB} = \dot{V}_{AB} \frac{R_1}{10Z_1 Z_2} \left(\frac{\dot{V}_{AB}}{sC_1 Z_1} - V_s \right), \quad (14)$$

即通用模拟器 A, B 端等效导纳可表示为

$$Y_{AB} = \frac{\dot{I}_{AB}}{\dot{V}_{AB}} = \frac{R_1}{10Z_1 Z_2} \left(\frac{\dot{V}_{AB}}{sC_1 Z_1} - V_s \right). \quad (15)$$

1) 当阻抗元件 Z_1 和 Z_2 分别为电阻 R_2 和 R_3 时, 此时模拟器模拟为磁通控制忆阻器模型, 其忆导值在时域上可描述为

$$W_m = \frac{i_{AB}}{v_{AB}} = \frac{R_1}{10R_2 R_3} \left(\frac{\phi_{AB}}{C_1 R_2} - V_s \right), \quad (16)$$

根据 (2) 式, (16) 式可等效表示为

$$W_m = \frac{dq(\phi)}{d\phi} = \alpha_1 \phi + \beta_1, \quad (17)$$

其中, α_1 和 β_1 可表示为

$$\alpha_1 = \frac{R_1}{10R_2^2 R_3 C_1}, \quad \beta_1 = -\frac{R_1}{10R_2 R_3} V_s. \quad (18)$$

2) 当阻抗元件 Z_1 和 Z_2 分别为电阻 R_2 、电容 C_2 时, 有:

$$Y_{AB} = \frac{\dot{I}_{AB}}{\dot{V}_{AB}} = \frac{R_1 s C_2}{10R_2} \left(\frac{\dot{V}_{AB}}{sC_1 R_2} - V_s \right), \quad (19)$$

此时模拟器模拟为磁通控制忆容器模型, 其时域表达式如下:

$$C_m = \frac{q_{AB}}{v_{AB}} = \frac{R_1 C_2}{10R_2} \left(\frac{\phi_{AB}}{C_1 R_2} - V_s \right). \quad (20)$$

根据 (4) 式, 可得磁通控制忆容器的忆容值 C_m 在数学上的定义:

$$C_m = \frac{d\sigma(\phi)}{d\phi} = \alpha_2 \phi + \beta_2, \quad (21)$$

其中, α_2 和 β_2 可表示为

$$\alpha_2 = \frac{R_1 C_2}{10R_2^2 C_1}, \quad \beta_2 = -\frac{R_1 C_2}{10R_2} V_s. \quad (22)$$

3) 当阻抗元件 Z_1 和 Z_2 分别为电感 L_1 、电阻 R_2 时, 有:

$$Y_{AB} = \frac{\dot{I}_{AB}}{\dot{V}_{AB}} = \frac{R_1}{10R_2 s L_1} \left(\frac{\dot{V}_{AB}}{s^2 C_1 L_1} - V_s \right), \quad (23)$$

此时模拟器模拟为磁通控制忆感器模型, 其时域表达式如下:

$$L_m^{-1} = \frac{i_{AB}}{\phi_{AB}} = \frac{R_1}{10R_2L_1} \left(\frac{\rho_{AB}}{C_1L_1} - V_s \right). \quad (24)$$

根据 (6) 式, 可得磁通忆感器的忆感值倒数数值 L_m^{-1} 在数学上的定义:

$$L_m^{-1} = \frac{dq(\rho)}{d\rho} = \alpha_3\rho + \beta_3, \quad (25)$$

其中, α_3 和 β_3 可表示为

$$\alpha_3 = \frac{R_1}{10L_1^2R_2C_1}, \quad \beta_3 = -\frac{R_1}{10L_1R_2}V_s. \quad (26)$$

2.2 记忆元件模型特征对比

本文基于通用模拟器电路分别搭建了忆阻器、忆容器和忆感器模型, 其各特征量对比如表 1 所示.

3 基于通用模拟器的记忆元件模型仿真分析

在本节中, 为了初步验证本文所提基于通用模拟器的记忆元件模型的正确性, 采用 PSPICE 软件进行仿真分析, 并提供相对应的仿真分析结果. 其中, 采用正弦信号 $v_{AB} = U_0\sin(2\pi ft) = U_0\sin(\omega t)$ (V) 作为电路模型的二端口激励电压, 芯片直流供电电压为 ± 15 V.

3.1 忆阻器模型仿真分析

基于图 1 所示通用模拟器设计 PSPICE 电路仿真模型, 分别选取阻抗元件 Z_1, Z_2 为电阻 R_2, R_3 . 根据正弦激励电压表达式 $v_{AB} = U_0\sin(2\pi ft) = U_0\sin(\omega t)$ (V), 由于磁通 ϕ_{AB} 是电压 v_{AB} 对时间的积分, 结合 (16) 式, 可以得到在正弦波电压激励下, 浮地忆阻器的磁通 ϕ_{AB} 和等效忆导值 $W_m(\phi_{AB})$ 为

$$\phi_{AB} = -\frac{U_0}{\omega} \cos(\omega t), \quad (27)$$

$$W_m(\phi_{AB}) = \frac{i_{AB}}{v_{AB}} = -\frac{\alpha_1 U_0}{\omega} \cos(\omega t) + \beta_1, \quad (28)$$

故根据阻性元件的电压电流关系, 流经磁通控制忆阻器的电流 i_{AB} 可表示为

$$i_{AB} = i'_{AB} + i''_{AB}, \quad (29)$$

其中, i'_{AB} 和 i''_{AB} 分别为

$$i'_{AB} = -\frac{\alpha_1 U_0^2}{2\omega} \sin(2\omega t), \quad i''_{AB} = \beta_1 U_0 \sin(\omega t).$$

根据 (27) 式与 (29) 式可知, 忆阻器磁通 ϕ_{AB} 的幅值正比于 U_0/ω , 流经忆阻器的电流 i_{AB} 由二次谐波 i'_{AB} 和基波 i''_{AB} 组成, i'_{AB} 与 v_{AB} 相位相同, 且幅值呈正比例关系. i'_{AB} 的幅值与 $U_0^2/(2\omega)$ 成正比, 二次谐波的存在使得忆阻器两端电压与流经忆阻器电流的相轨迹呈现磁滞环形. 通过对 (29) 式分析可知: 在相同的激励电压幅值下, 随着激励频率的增大, 电压 v_{AB} 幅值保持不变, 电流 i_{AB} 幅值变小, 因此忆阻器两端电压与流经忆阻器电流的相轨迹 $v_{AB}-i_{AB}$ 会随着激励频率增大呈现内缩现象.

根据以上的理论分析, 在仿真过程中, 电路参数设置为 $C_1 = 0.1$ nF, $R_1 = 45$ k Ω , $R_2 = 16$ k Ω , $R_3 = 55$ k Ω , 直流电压 $V_s = -2.5$ V. 根据 (18) 式, 可计算得到 $\alpha_1 = 3.20$ S/Wb, $\beta_1 = 1.28 \times 10^{-5}$ S. 采用 $U_0 = 1$ V, 激励频率 f 分别为 $f = 80$ kHz, 100 kHz 以及 130 kHz 的正弦波电压 v_{AB} 驱动忆阻器模型, 得到如图 2 所示忆阻器 PSPICE 仿真结果图. 根据忆阻器模型中 Z_1 是元件 R_2 和公式 (12), 得到忆阻器两端的磁通 ϕ_{AB} 正比于电容 C_1 两端电压, 因此可以用 v_{C1} 等效表示 ϕ_{AB} .

表 1 基于通用模拟器的记忆元件模型对应特征比较

Table 1. Comparison of characteristics of different kinds of mem-element models based on the proposed universal emulator.

记忆元件类型	忆阻器	忆容器	忆感器
电路拓扑结构		通用模拟器	
阻抗元件 Z_1	电阻 R_2	电阻 R_2	电感 L_1
阻抗元件 Z_2	电阻 R_3	电容 C_2	电阻 R_2
内部状态变量	$q-\phi$	$\sigma-\phi$	$q-\rho$
本构方程	$W(\phi_{AB}) = \alpha_1\phi_{AB} + \beta_1$	$C_m(\phi_{AB}) = \alpha_2\phi_{AB} + \beta_2$	$L_m^{-1}(\rho_{AB}) = \alpha_3\rho_{AB} + \beta_3$
α_x 值	$\alpha_1 = \frac{R_1}{10R_2^2R_3C_1}$	$\alpha_2 = \frac{R_1C_2}{10R_2^2C_1}$	$\alpha_3 = \frac{R_1}{10L_1^2R_2C_1}$
β_x 值	$\beta_1 = -\frac{R_1}{10R_2R_3}V_s$	$\beta_2 = -\frac{R_1C_2}{10R_2}V_s$	$\beta_3 = -\frac{R_1}{10L_1R_2}V_s$

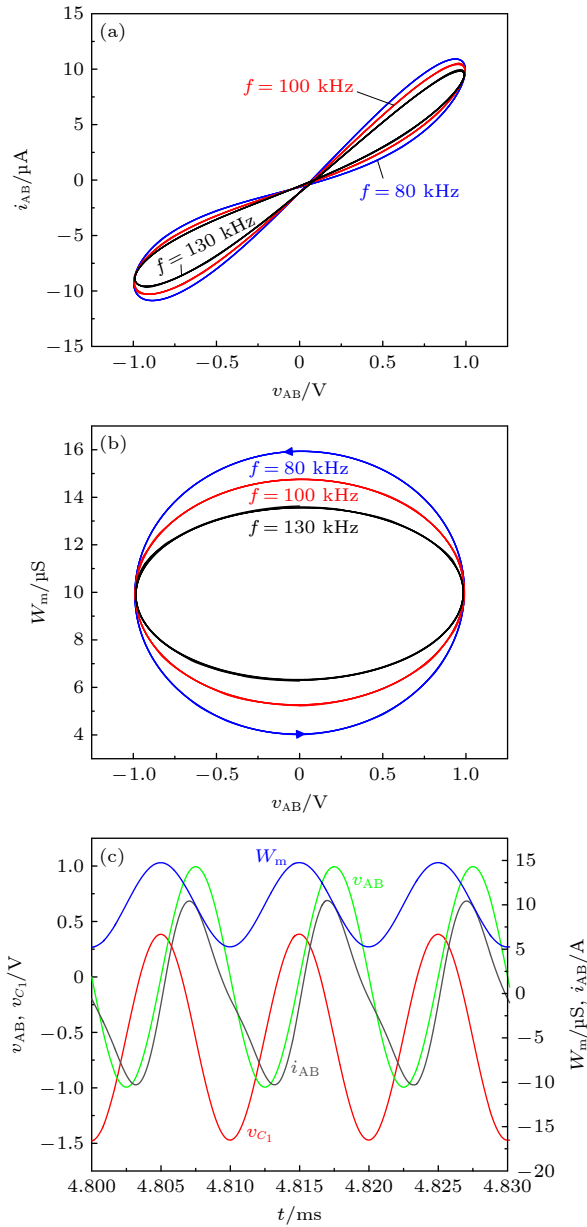


图2 忆阻器模型的PSPICE仿真结果 (a)不同频率激励下的忆阻器 v_{AB} - i_{AB} 特性曲线; (b)不同频率激励下的忆阻器忆导值 W_m 与 v_{AB} 的关系图; (c)在 $U_0 = 1\text{ V}$, $f = 100\text{ kHz}$ 下, v_{AB} , i_{AB} , ϕ_{AB} (用 v_{C1} 表示)和 W_m 的时域波形图

Fig. 2. Measured simulation results of the proposed memristor emulator: (a) Pinched hysteresis loops under different working frequencies; (b) variation curves of the memductance W_m plotted against the terminal voltage v_{AB} ; (c) time-domain wave-forms of v_{AB} , i_{AB} , ϕ_{AB} (represented by v_{C1}) and the memductance W_m when $U_0 = 1\text{ V}$, $f = 100\text{ kHz}$.

比较图2(a)中频率为80 kHz, 100 kHz以及130 kHz时的电压 v_{AB} 和电流 i_{AB} 轨迹图,可以得到忆阻器的重要特征:在 v_{AB} - i_{AB} 平面内,其斜率等效为忆导值 W_m 且等效忆导值 W_m 保持形如斜“8”字形的磁滞环,在正弦激励电压幅值保持不变时,随

着激励频率的增大,磁滞环向内收缩.图2(b)表明,在电压取值不为极值的情况下,等效忆导值 W_m 不唯一.以 $f = 80\text{ kHz}$ 条件下的 v_{AB} - W_m 特性曲线图为例,沿着箭头方向,忆导值 W_m 幅值在 v_{AB} 正区间增大,在 v_{AB} 负区间减小.图2(c)表明在频率为100 kHz情况下,与(29)式分析一致,电流 i_{AB} 在输出电压 v_{AB} 为正弦激励电压下,呈现出非标准的正弦波形,并且比较电流 i_{AB} 与电压 v_{AB} 波形图相位可知该记忆元件模型具有非线性特性且呈阻性,即说明该器件为忆阻器.图2表明仿真结果与理论分析一致,证明了本文基于通用模拟器的忆阻器等效电路模型的正确性.

3.2 忆容器模型仿真分析

当阻抗元件 Z_1 和 Z_2 分别为电阻 R_2 和电容 C_2 时,此时模拟器模拟为磁通控制忆容器模型,同理于忆阻器,忆容器的重要特点是其容值的受控性,当对其施加正弦电压激励时,忆容器端电压与流经忆容器电荷的相图呈现磁滞环形.对于正弦激励电压 $v_{AB} = U_0 \sin(2\pi ft) = U_0 \sin(\omega t)$ (V),同理于(27)与(28)式,由(20)式可得忆容器等效忆容值 $C_m(\phi_{AB})$ 的表达式:

$$C_m(\phi_{AB}) = -\frac{\alpha_2 U_0}{\omega} \cos(\omega t) + \beta_2. \quad (30)$$

分析(30)式可得:忆容器磁通 ϕ_{AB} 的幅值正比于 U_0/ω ,在相同的正弦波激励电压幅值下,随着激励电压频率的增大,磁通 ϕ_{AB} 的幅值逐渐减小并趋近于0,使得其等效忆容值趋近于固定值 β_2 ,从而导致端电压和流经忆容器的电荷的李萨如相轨迹 v_{AB} - q_{AB} 呈现向内收缩现象.

结合以上理论分析,所搭建忆容器PSPICE模型设置以下电路参数:电容 $C_1 = 0.25\text{ nF}$, $C_2 = 0.1\text{ nF}$ 、电阻 $R_1 = 3\text{ k}\Omega$, $R_2 = 11\text{ k}\Omega$ 、直流电压 $V_s = -0.5\text{ V}$,计算(22)式可得 $\alpha_2 = 9.92 \times 10^{-7}\text{ F/Wb}$, $\beta_2 = 1.36 \times 10^{-12}\text{ F}$.根据忆容器模型中 Z_1 是元件 R_1 和公式(12),得到忆容器两端的磁通 ϕ_{AB} 正比于电容 C_1 两端电压,因此可以用 v_{C1} 等效表示 ϕ_{AB} ;根据 Z_2 是元件 C_2 和公式(9),得到流经忆容器的电荷 q_{AB} 正比于电容 C_2 两端电压负值,因此可以用 $-v_{C2}$ 等效表示 q_{AB} .采用 $U_0 = 1\text{ V}$,频率 f 分别取80 kHz, 85 kHz以及90 kHz的正弦波电压 v_{AB} 驱动忆容器模型,得到如图3所示忆容器模型的PSPICE仿真结果.

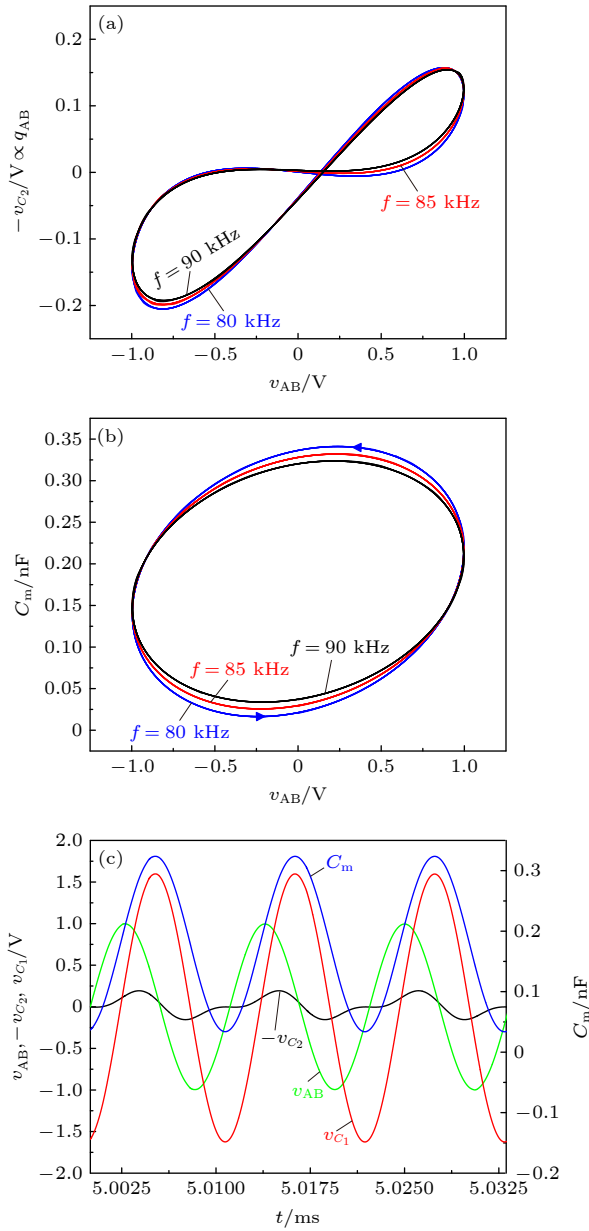


图3 忆容器模型的PSPICE仿真结果 (a)不同频率激励下的忆容器 v_{AB} - q_{AB} (用 v_{AB} - $(-v_{C2})$ 表示)特性曲线;(b)不同频率激励下的忆容器忆容值 C_m 与 v_{AB} 的关系图;(c)在 $U_0 = 1\text{ V}$, $f = 80\text{ kHz}$ 下, v_{AB} 和 q_{AB} (用 $-v_{C2}$ 表示)、 ϕ_{AB} (用 v_{C1} 表示)和 C_m 的时域波形图

Fig. 3. Measured simulation results of the proposed memcapacitor emulator: (a) Pinched hysteresis loops under different working frequencies; (b) variation curves of the memcapacitance C_m plotted against the terminal voltage v_{AB} ; (c) time-domain wave-forms of v_{AB} , q_{AB} (represented by $-v_{C2}$), ϕ_{AB} (represented by v_{C1}) and the memcapacitance C_m when $U_0 = 1\text{ V}$, $f = 80\text{ kHz}$.

图3(a)表明, v_{AB} - q_{AB} 相图由 v_{AB} - $(-v_{C2})$ 等效表示,在频率为80 kHz,85 kHz和90 kHz的同幅值正弦激励电压下,其端电压 v_{AB} 和瞬时电荷 q_{AB} 的相图呈现斜“8”字形磁滞环,并且随着频率增大,

磁滞环围成的瓣面积变小.图3(a)表明PSPICE仿真结果同理论分析一致,证明了本文设计的忆容器等效电路模型的正确性.

图3(b)表明相同电压下的等效忆容值 C_m 的取值不唯一,并且随着激励电压频率的升高, C_m 的最大值和最小值区间上下限减小.图3(c)所示为在激励频率为80 kHz下,忆容器各变量端电压 v_{AB} 、等效于 q_{AB} 的 $-v_{C2}$ 、等效于磁通 ϕ_{AB} 的 v_{C1} 以及忆容值 C_m 的时域图,明显看出, v_{AB} 和 v_{C1} 的波形存在相位差,这也是 v_{AB} - q_{AB} 相图呈现磁滞特性的原因,而 v_{AB} 和 $-v_{C2}$ 的同相位表明该模拟器实现的是容性忆容器元件模型.

3.3 忆感器仿真分析

当阻抗元件 Z_1 和 Z_2 分别为电感 L_1 、电阻 R_2 时,此时模拟器模拟为磁通控制忆感器模型,采用以下电路参数:电容 $C_1 = 0.02\text{ nF}$ 、电阻 $R_1 = 3\text{ k}\Omega$ 、 $R_2 = 8\text{ k}\Omega$ 、电感 $L_1 = 0.05\text{ H}$ 、直流电压 $V_s = -2.5\text{ V}$.根据(26)式可计算得 $\alpha_3 = 7.50 \times 10^{11}\text{ (H}\cdot\text{Wb)}^{-1}$, $\beta_3 = 1.875\text{ H}^{-1}$.根据忆感器模型中 Z_1 是元件 L_1 和公式(10),得到忆感器两端的磁通 ϕ_{AB} 正比于流过忆感器的电流 i_1 ,因此可以用 i_1 等效表示 ϕ_{AB} ;根据模型中 Z_1 是元件 L_1 和公式(12),得到忆感器两端磁通的积分 ρ_{AB} 正比于流过 C_1 两端的电压,因此可以用 v_{C1} 等效表示 ρ_{AB} .

对于正弦激励电压 $v_{AB} = U_0 \sin(\omega t)\text{ (V)}$,可以得到正弦波电压激励情况下,忆感器的磁通积分 ρ_{AB} (假设积分初始值为0)和等效忆感值倒数 $L_m^{-1}(\rho_{AB})$ 为

$$\rho_{AB} = \int \phi_{AB} = -\frac{U_0}{\omega^2} \sin(\omega t), \quad (31)$$

$$L_m^{-1}(\rho_{AB}) = -\frac{\alpha_3 U_0}{\omega^2} \sin(\omega t) + \beta_3. \quad (32)$$

由感性元件的磁通、电流关系,可以得到流经磁通控制忆感器的电流为

$$i_{AB} = -\frac{\alpha_3 U_0^2}{2\omega^3} \sin(2\omega t) - \frac{\beta_3 U_0}{\omega} \cos(\omega t). \quad (33)$$

通过对(31)式,(33)式分析可知:在相同幅值的激励电压下,随着频率的增大,磁通与电流幅值均减少,在同一时刻 t ,电流减小的幅度大于磁通减小的幅度.

图4(a)所示为不同频率下忆感器磁通和流经忆感器的电流的李萨如相轨迹 ϕ_{AB} - i_{AB} ,比较频率

为 95, 100 以及 105 kHz 的相轨迹图, 可以明显看出, 忆感器磁通和流经忆感器的电流的相图 ϕ_{AB} - i_{AB} 保持斜“8”字形的磁滞环, 且随着激励频率增大, 电流和磁通幅值均减小, 磁滞环向内收缩.

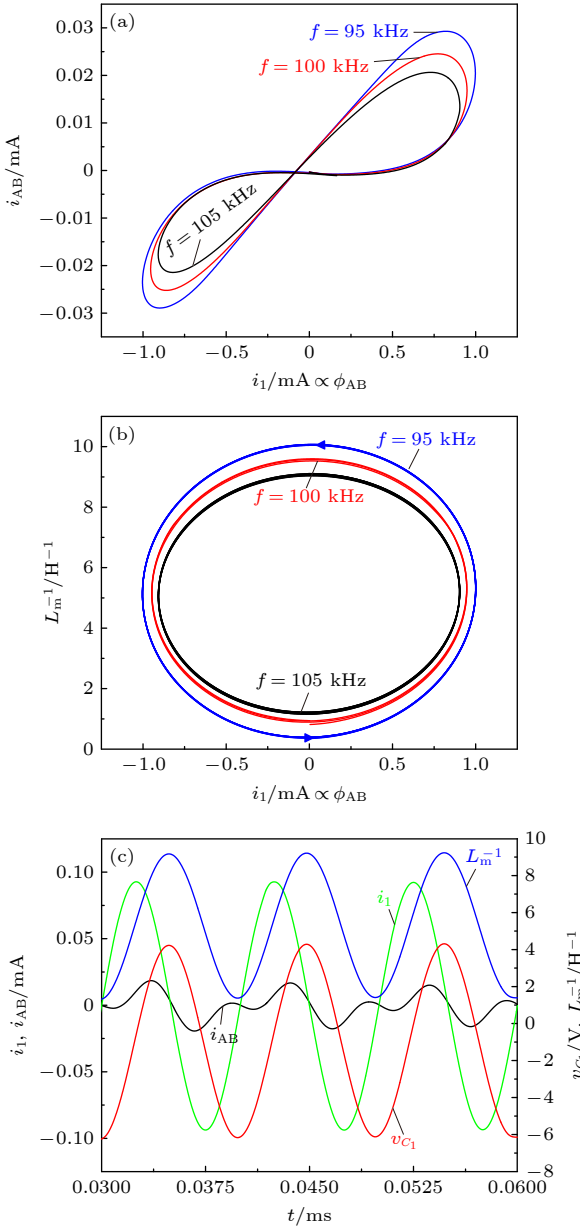


图 4 忆感器模型的 PSPICE 仿真结果 (a) 不同频率激励下的忆感器 ϕ_{AB} - i_{AB} (用 i_1 - i_{AB} 表示) 特性曲线; (b) 不同频率激励下忆感器的忆感值倒数 L_m^{-1} 与 ϕ_{AB} (用 i_1 表示) 的关系图; (c) 当 $U_0 = 1$ V, $f = 100$ kHz 时, i_{AB} , ρ_{AB} (用 v_{C_1} 表示)、 ϕ_{AB} 和 L_m^{-1} 的时域波形图

Fig. 4. Measured simulation results of the proposed meminductor emulator: (a) Pinched hysteresis loops under different working frequencies; (b) variation curves of the inverse meminductance L_m^{-1} plotted against the flux ϕ_{AB} (represented by i_1); (c) time-domain wave-forms of i_{AB} , ρ_{AB} (represented by v_{C_1}), ϕ_{AB} and the inverse meminductance L_m^{-1} when $U_0 = 1$ V, $f = 100$ kHz.

图 4(b) 为 $U_0 = 1$ V, 激励频率为 95, 100 和 105 kHz 下忆感值的倒数 L_m^{-1} 与磁通 ϕ_{AB} 的相图变化曲线. 等同于忆阻器的忆导值和忆容器的忆容值, 忆感器的忆感值倒数 L_m^{-1} 在交变激励电压的取值为非最值情况下存在两个可能值, 并且沿着频率为 95 kHz 的 ϕ_{AB} - L_m^{-1} 相图曲线的箭头方向, 可以发现 L_m^{-1} 在正磁通范围内增大, 在负磁通范围内减少.

图 4(c) 绘制了在激励频率为 100 kHz 下各变量 i_{AB} , ρ_{AB} (用 v_{C_1} 表示)、 ϕ_{AB} (用 i_1 表示) 和 L_m^{-1} 的时域波形图, 由 (33) 式可知 i_{AB} 的波形呈现非标准式正弦波, 说明该忆感器模型具有非线性特性, 并且 i_{AB} 的波形与 ϕ_{AB} 的波形相位相同, 表明该模拟器实现的是感性忆感器元件模型.

图 4 表明仿真结果和实验结果同理论分析一致, 证明了所搭建的浮地忆感器等效电路模型的正确性.

4 硬件实验验证

搭建基于图 1 所示通用模拟器的硬件实验电路, 如图 5 所示: 绿色电路板上所焊接为图 1 中的通用模拟器电路, 以黄框标出阻抗元件 Z_1 与 Z_2 , 以红框标出 AD844 芯片, 以白框标出 AD633 芯片, 并在右下角标出 ± 15 V 直流电源线与接地线. 根据表 1 所示, 在通用模拟器的 Z_1 与 Z_2 处接入不同的电阻、电容和电感元件组合, 能够分别在硬件电路实验中实现忆阻器、忆容器和忆感器模型, 如图 6 所示, 黄框与黄色字母 R, L, C 表示在通用模拟器中接入的不同阻抗元件的组合.

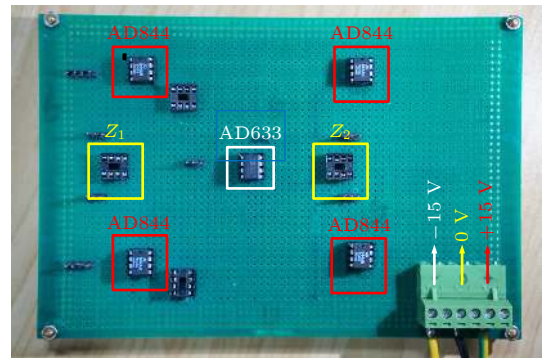


图 5 通用模拟器硬件实验电路实现

Fig. 5. Implementation of the universal emulator in hardware experiment.

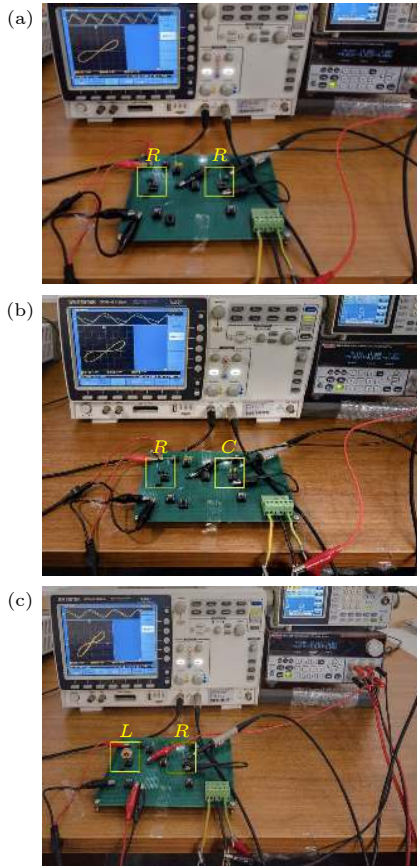


图 6 在通用模拟器的 Z_1 和 Z_2 接入不同的电阻、电容和电感元件组合, 分别实现忆阻器、忆容器和忆感器模型的硬件实验电路 (a) 忆阻器; (b) 忆容器; (c) 忆感器

Fig. 6. The experimental breadboard implementation of (a) memristor, (b) memcapacitor, (c) meminductor models based on the universal emulator by connecting different combinations of resistor, capacitor or inductor to Z_1 and Z_2 .

结合理论分析和仿真结果, 通过硬件实验进一步证明所搭建的基于通用模拟器的忆阻器、忆容器和忆感器模型的正确性和有效性. 其中, 在硬件实验中采用信号发生器 GW Instek AFG-2225 产生的正弦信号 $v_{AB} = U_0 \sin(2\pi ft) = U_0 \sin(\omega t)$ (V), 作为电路模型的二端口激励电压, 芯片直流供电电压为 ± 15 V. 为了与仿真结果进行比较, 采用示波器 GW Instek-2102A 对实验结果进行记录, 并通过 Origin 9 软件绘制实验结果.

4.1 忆阻器电路响应

忆阻器硬件实验电路所采用的参数为: 电容 $C_1 = 1.22$ nF、电阻 $R_1 = 3$ k Ω , $R_2 = 1.5$ k Ω , $R_3 = 100$ k Ω , 直流电压 $V_s = -4$ V, 根据 (18) 式, 可计算得到 $\alpha_1 = 1.09$ S/Wb, $\beta_1 = 8 \times 10^{-6}$ S. 加在忆阻器两端的正弦电压信号, 幅值 $U_0 = 3$ V, 频率分别

取 70 kHz, 80 kHz 和 100 kHz, 得到图 7 实验结果. 在实验中, 根据忆阻器模型中 Z_2 是元件 R_3 和公式 (9), 得到流经忆阻器电流 i_{AB} 正比于 R_3 两端电压的负值, 因此可以用 $-v_{R_3}$ 等效表示 i_{AB} .

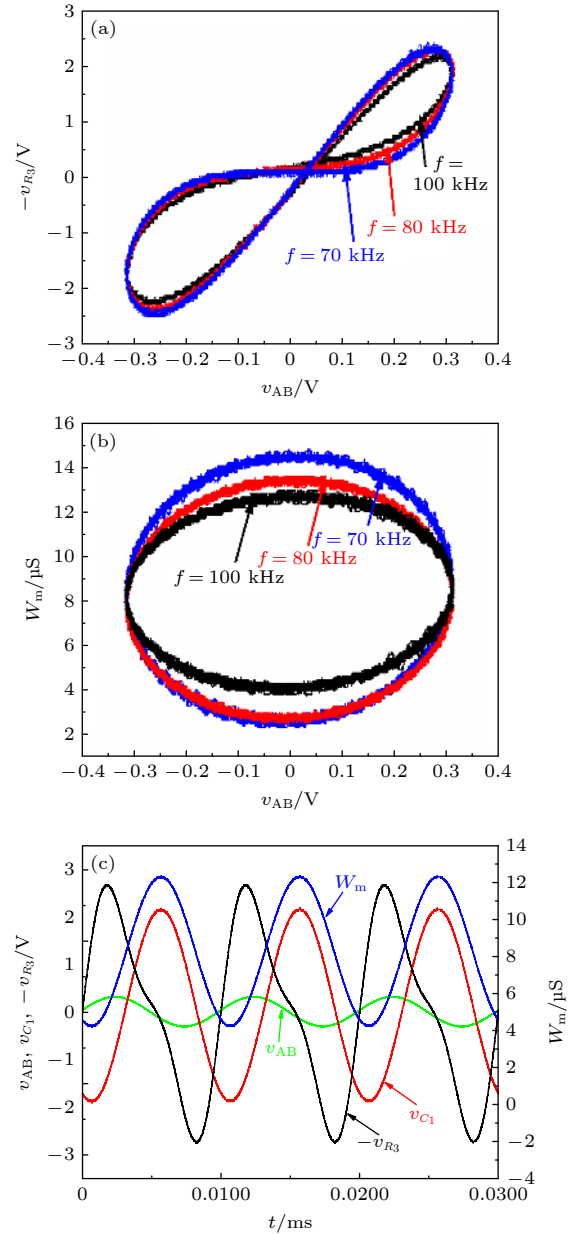


图 7 忆阻器模型的硬件电路实验结果 (a) 不同频率激励下的忆阻器 v_{AB} - i_{AB} (用 v_{AB} - $(-v_{R_3})$ 表示) 特性曲线; (b) 不同频率激励下的忆阻器忆导值 W_m 与 v_{AB} 的关系图; (c) 在 $U_0 = 3$ V, $f = 100$ kHz 下, v_{AB} , i_{AB} (用 $-v_{R_3}$ 表示)、 ϕ_{AB} (用 v_{C_1} 表示) 和 W_m 的时域波形图

Fig. 7. Experimental results of the proposed memristor emulator: (a) Pinched hysteresis loops under different working frequencies; (b) variation curves of the memductance W_m plotted against the terminal voltage v_{AB} ; (c) time-domain wave-forms of v_{AB} , i_{AB} (represented by $-v_{R_3}$), ϕ_{AB} (represented by v_{C_1}) and the memductance W_m when $U_0 = 3$ V, $f = 100$ kHz.

从图 7(a) 可以看出, 随着激励电压频率增大, 忆阻器端电压与流经忆阻器两端的电流的李萨如相轨迹图 $v_{AB}-i_{AB}$ 呈现磁滞环且逐渐向内收缩, 磁滞回线的面积变小, 与图 2(a) 一致. 图 7(b) 显示的 $v_{AB}-W_m$ 关系图和图 2(b) 一致, W_m 的变化区间随激励电压的频率增大而减小. 等同于图 2(c), 图 7(c) 各变量在频率为 100 kHz 下很好地呈现了忆阻器的非线性特性和阻性. 图 7 的实验结果同理论分析和仿真结果趋势一致, 证明了本文基于通用记忆元件模拟器搭建的浮地忆阻器等效电路模型的正确性和可行性.

4.2 忆容器电路响应

忆容器硬件实验电路参数为: 电容 $C_1 = 1.22$ nF, $C_2 = 0.22$ nF; 电阻 $R_1 = 3$ k Ω , $R_2 = 1.5$ k Ω ; 直流电压 $V_s = -4$ V, 通过计算 (22) 式可得 $\alpha_2 = 2.40 \times 10^{-5}$ F/Wb $\beta_2 = 1.76 \times 10^{-10}$ F. 忆容器的激励电压为正弦波, 幅值 $U_o = 3$ V、频率 f 分别取 $f = 65$ kHz, 80 kHz 以及 100 kHz, 实验结果如图 8 所示, 图 8(a) 是忆容值的磁滞环波形 $v_{AB}-q_{AB}$ (用 $v_{AB}-(-v_{C_2})$ 表示), 图 8(b) 是忆容值 C_m 和 v_{AB} 的关系图, 图 8(c) 所示为 v_{AB} , q_{AB} (用 $-v_{C_2}$ 表示)、 ϕ_{AB} (用 v_{C_1} 表示) 和 C_m 的时域波形图.

比较图 8 和图 3 可以看出, 忆容器模型的硬件实验结果和 Pspice 仿真结果一致, 忆容器端电压和瞬时电荷的相图呈斜“8”字形的磁滞环, 且磁滞环在相同幅值的正弦电压下, 随着激励频率增大而向内收缩. 并且图 8(c) 中 $-v_{C_2}$ 呈非标准正弦波, 验证了忆容器的非线性特性. 通过其电路仿真和电路实验结果对比, 验证了所搭建的浮地忆容器等效模型的有效性.

4.3 忆感器电路响应

忆感器硬件实验电路参数如下所示: 电容 $C_1 = 2.2$ nF、电阻 $R_1 = 3$ k Ω 、 $R_2 = 10$ k Ω 、电感 $L_1 = 20$ mH, 直流电压 $V_s = -2$ V, 根据 (26) 式可计算得 $\alpha_3 = 3.41 \times 10^{10}$ (H·Wb) $^{-1}$, $\beta_3 = 3$ H $^{-1}$. 忆感器的激励电压幅值 $U_o = 3$ V, 频率 $f = 75$ kHz, 80 kHz 以及 100 kHz, 得到图 9 所示实验结果. 根据忆感器模型中 Z_1 是元件 L_1 和公式 (10) 和 (11), 得到忆感器两端的磁通 ϕ_{AB} 正比于电阻 R_1 两端电压的负值, 因此可以用 $-v_{R_1}$ 等效表示 ϕ_{AB} .

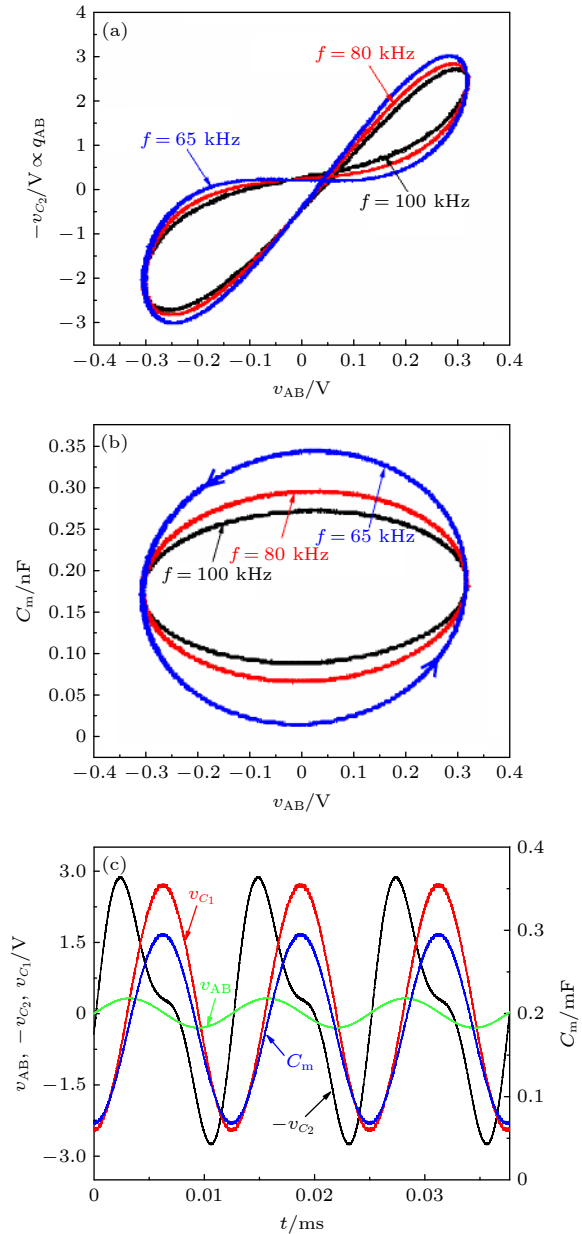


图 8 忆容器模型的硬件实验结果 (a) 不同频率激励下的忆容器 $v_{AB}-q_{AB}$ (用 $v_{AB}-(-v_{C_2})$ 表示) 特性曲线; (b) 不同频率激励下的忆容器忆容值 C_m 与 v_{AB} 的关系图; (c) 在 $U_o = 3$ V, $f = 80$ kHz 下 v_{AB} , q_{AB} (用 $-v_{C_2}$ 表示)、 ϕ_{AB} (用 v_{C_1} 表示) 和 C_m 的时域波形图

Fig. 8. Experimental results of the proposed memcapacitor emulator: (a) Pinched hysteresis loops under different working frequencies; (b) variation curves of the memcapacitance C_m plotted against the terminal voltage v_{AB} ; (c) time-domain wave-forms of v_{AB} , q_{AB} (represented by $-v_{C_2}$), ϕ_{AB} (represented by v_{C_1}) and the memcapacitance C_m when $U_o = 3$ V, $f = 80$ kHz.

对比图 4 和图 9 可知, 忆感器模型实验结果与仿真结果趋势基本一致. 图 9(a) 表明忆感器磁通与流经忆感器电流的相图 $\phi_{AB}-i_{AB}$ 呈斜“8”字形磁滞环, 且随着激励频率增大, 磁滞环向内收缩.

图 9(b) 为激励频率为 75 kHz, 80 kHz 和 100 kHz 下忆感值的倒数 L_m^{-1} 与磁通 ϕ_{AB} 的变化曲线, 可以明显看出, L_m^{-1} 具有频率依赖性, 随着频率上升,

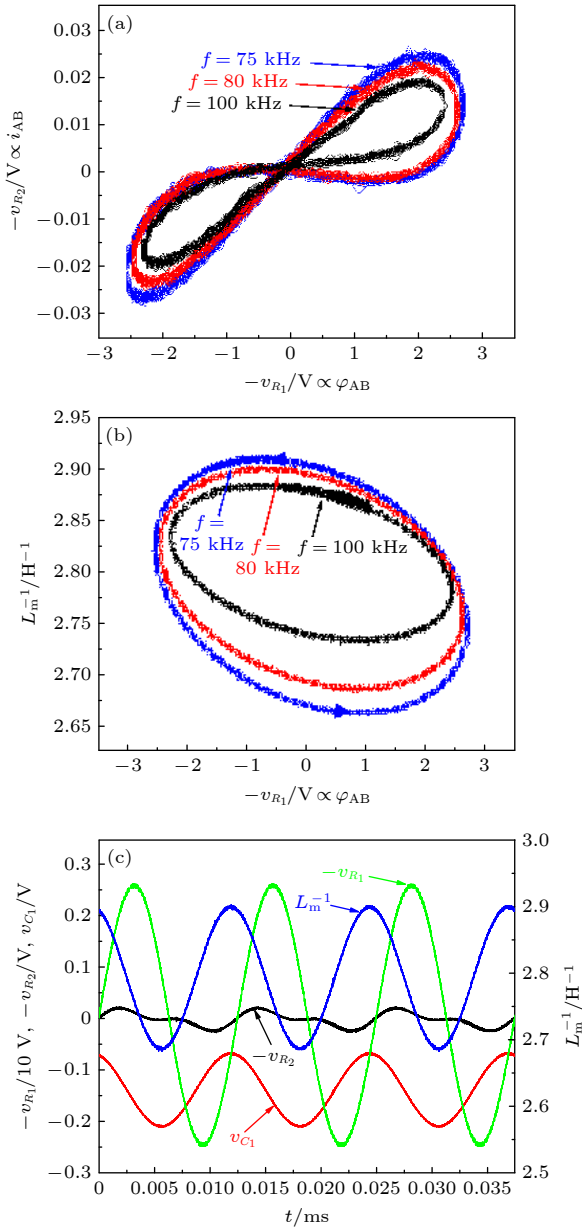


图 9 忆感器模型的硬件实验结果 (a) 不同频率激励下的忆感器 ϕ_{AB} - i_{AB} (用 $(-v_{R1})$ - $(-v_{R2})$ 表示) 特性曲线; (b) 不同频率激励下忆感器的忆感值倒数 L_m^{-1} 与 ϕ_{AB} (用 $-v_{R1}$ 表示) 的关系图; (c) 在 $U_0 = 3$ V, $f = 80$ kHz 下 i_{AB} (用 $-v_{R2}$ 表示)、 ϕ_{AB} (用 $-v_{R1}$ 表示)、 ρ_{AB} (用 v_{C1} 表示) 和 L_m^{-1} 的时域波形图

Fig. 9. Experimental results of the proposed meminductor emulator: (a) Pinched hysteresis loops under different working frequencies; (b) variation curves of the inverse meminductance L_m^{-1} plotted against the flux ϕ_{AB} (represented by $-v_{R1}$); (c) time-domain wave-forms of i_{AB} (represented by $-v_{R2}$), ρ_{AB} (represented by v_{C1}), ϕ_{AB} (represented by $-v_{R1}$), ρ_{AB} (represented by v_{C1}) and the inverse meminductance L_m^{-1} when $U_0 = 3$ V, $f = 80$ kHz.

L_m^{-1} 取值以及 ϕ_{AB} 取值范围减小. 图 9(c) 绘制了在激励频率为 80 kHz 下各变量 i_{AB} (用 $-v_{R2}$ 表示)、 ϕ_{AB} (用 $-v_{R1}$ 表示)、 ρ_{AB} (用 v_{C1} 表示) 和 L_m^{-1} 的时域波形图, $-v_{R2}$ 不再为正弦型波形, 但 $-v_{R2}$ 与 $-v_{R1}$ 两者相位相同, 说明了此时模拟器具有非线性及感性特性, 进而验证了该等效电路模型为忆感器. 图 4 和图 9 表明仿真结果和实验结果同理论分析一致, 证明了所搭建的忆感器等效电路模型的正确性.

5 结论

本文提出一种新型通用模拟器, 并基于该模拟器实现浮地忆阻器、忆容器和忆感器建模, 通过理论分析、仿真电路和硬件电路实验的一致性表明所搭建的 3 种记忆元件模型具有记忆特性和非线性特性. 与现有同类能够实现 3 种浮地记忆元件模型的研究相比, 本文所提基于通用模拟器的新型浮地记忆元件模型结构简单, 易于硬件实现, 工作频率高, 对后续记忆元件研究和应用开发具有一定的参考价值. 为了更好地完善记忆元件等效电路模型的研究理论, 未来的研究工作可以着眼于忆耦器等效电路模型的搭建, 并基于该模型进行忆耦器特性和应用研究.

参考文献

- [1] Chua L O 1971 *IEEE Trans. Circuit Theory* **18** 507
- [2] Strukov D B, Snider G S, Stewart D R, Williams R S 2008 *Nature* **453** 80
- [3] Ventra M D, Pershin Y V, Chua L O 2009 *Proc. IEEE* **97** 1371
- [4] Mauro D, Marco M F, Fernando C, Chua L O 2021 *IEEE Transactions on Circuits and Systems I: Regular Papers* **68** 14
- [5] Yuan F, Li Y 2019 *Chaos* **29** 101101
- [6] Barraj I, Bahloul M A, Masmoudi M 2021 *AEU-Inter. J. Electron. C* **132** 153664
- [7] Wang M, Yu Y, Yang N, Yang C, Ma H 2019 14th *IEEE Conference on Industrial Electronics and Applications (ICIEA)* Xi'an, China, June 19–21, 2019
- [8] Emara A A M, Aboudina M M, Fahmy H A H 2017 *Microelectron. J.* **64** 39
- [9] Dalgaty T, Castellani N, Turck C, Harabi K E, Vianello E 2021 *Nat. Electron.* **4** 151
- [10] Liu Z, Tang J, Gao B, Yao P, Wu H 2020 *Nat. Commun.* **11** 4234
- [11] Corinto F, Marco M, Forti M, Chua L 2019 *IEEE T. Cybernetics* **50** 4758
- [12] Yang Y 2020 *Nat. Commun.* **11** 3399
- [13] Shang D S, Chai Y C, Cao Z X, Lu J, Sun Y 2015 *Chin. Phys. B Sim.* **24** 68402
- [14] Shen J X, Shang D S, Sun Y 2018 *Acta Phys. Sin.* **67** 127501

- (in Chinese) [申见昕, 尚大山, 孙阳 2018 *物理学报* **67** 127501]
- [15] Ren K, Zhang K J, Qin X Z, Ren H X, Zhu S H, Yang F, Sun B, Zhao Y, Zhang Y 2021 *Acta Phys. Sin.* **70** 078701 (in Chinese) [任宽, 张珂嘉, 秦溪子, 任焕鑫, 朱守辉, 杨峰, 孙柏, 赵勇, 张勇 2021 *物理学报* **70** 078701]
- [16] Han J, Song C, Gao S, Wang Y, Chen C, Pan F 2014 *ACS Nano* **8** 10043
- [17] Shen Y R, Li F P, Wang G Y 2020 *J. Electron. Infor. Technol.* **42** 844 (in Chinese) [沈怡然, 李付鹏, 王光义 2020 *电子与信息学报* **42** 844]
- [18] Knowm Inc https://knowm.org/downloads/Knowm_Memestors.pdf [2019-10-6]
- [19] Yuan F, Li Y, Wang G, Dou G, Chen G 2019 *Entropy* **21** 188
- [20] Vista J, Ranjan A 2019 *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems* **39** 2020
- [21] Pu Y, Yu B A 2019 *IEEE/CAA J. Automat. Sin.* **7** 237
- [22] Gupta S, Rai S K 2020 *Wireless Pers. Commun.* **113** 773
- [23] Yesil A, Babacan Y 2020 *IEEE Transactions on Circuits and Systems II: Express Briefs* **68** 1443
- [24] Sozen H, Cam U 2020 *J. Circuit. Syst. Comput.* **29** 2050247
- [25] Pershin Y V, Ventra M 2011 *Electron. Lett.* **47** 243
- [26] Yu D S, Liang Y, Iu HHC, Hu Y H 2014 *Chin. Phys. B* **23** 070702
- [27] Fouda M E, Radwan A G 2012 *Electron. Lett.* **48** 1454
- [28] Liang Y, Yu D S, Chen H 2013 *Acta Phys. Sin.* **62** 158501 (in Chinese) [梁燕, 于东升, 陈昊 2013 *物理学报* **62** 158501]
- [29] Li Z J, Xiang L B, Xiao W R 2017 *J. Electron. Infor. Technol.* **39** 1626 (in Chinese) [李志军, 向林波, 肖文润 2017 *电子与信息学报* **39** 1626]
- [30] Zhao Q, Wang C, Zhang X 2019 *Chaos* **29** 013141
- [31] Zheng C Y, Yu D S, Hu HHC, Fernando, T, Sun T T, Eshraghian J K, Guo H D 2019 *IEEE T. Circuits I.* **66** 4793
- [32] Yu D S, Zhao X, Sun T, Iu HHC, Fernando T 2019 *IEEE Transactions on Circuits and Systems II: Express Briefs* **67** 1334
- [33] Sharma P K, Ranjan R K, Khateb F, Kumngern M 2020 *IEEE Access* **8** 171397
- [34] Wang C, Liu X, Hu X 2017 *Chaos* **27** 033114
- [35] Korneev I A, Semenov V V 2017 *Chaos: An Interdisciplinary J. Nonlinear Sci.* **27** 081104
- [36] Lin T, Iu HHC, Wang X, Wang X 2015 *Int. J. Numer. Model. El.* **28** 275
- [37] Wang G, Shi C, Wang X, Yuan F 2017 *Math. Probl. Eng.* **2017** 6504969
- [38] Fouda M E, Radwan A G 2014 *Circuits, Syst. Signal Process.* **33** 1573

A novel modeling method and implementation of floating memory elements^{*}

Zheng Ci-Yan¹⁾ Zhuang Chu-Yuan²⁾ Li Ya^{2)†} Lian Ming-Jian²⁾
Liang Yan³⁾ Yu Dong-Sheng⁴⁾

1) (*School of Automation, Guangdong Polytechnic Normal University, Guangzhou 510665, China*)

2) (*School of Electronics and Information, Guangdong Polytechnic Normal University, Guangzhou 510665, China*)

3) (*School of Electronics and Information, Hangzhou Dianzi University, Hangzhou 310018, China*)

4) (*School of Electrical and Power Engineering, China University of Mining and Technology, University, Xuzhou 221116, China*)

(Received 30 May 2021; revised manuscript received 13 July 2021)

Abstract

Memristors, memcapacitors and meminductors are nonlinear circuit components with memory effects and belong to memory element (mem-element) system. Since there are many shortcomings in the existing available commercial memristor chips, and the physical realizations of memcapacitor and meminductor hardware are still in early stages, it is still difficult for researchers to obtain hardware mem-elements for research. In order to solve this problem, it is still necessary to build effective equivalent models of mem-elements to facilitate the research on their characteristics and applications. In this paper, a novel floating mem-element modeling method is proposed by connecting different passive circuit component to a universal interface while keeping the circuit topology unchanged. Compared with other floating universal mem-element models, the model built in this paper has simple structure, high working frequencies, thus making proposed models easier to implement. The feasibility and effectiveness of the mem-elements models based on the universal interface are successfully verified through theoretical analysis, PSPICE simulation results and hardware experimental results.

Keywords: memory element, hardware experiment, hysteresis loop, floating emulator

PACS: 85.25.Hv, 07.50.Ek

DOI: [10.7498/aps.70.20211021](https://doi.org/10.7498/aps.70.20211021)

^{*} Project supported by the Young Scientists Fund of the National Natural Science Foundation of China (Grant Nos. 61801154, 62101142), the Science and Technology Program of Guangzhou, China (Grant Nos. 201904010302, 202102020874), the Featured Innovation Foundation of the Education Department of Guangdong Province, China (Grant Nos. 2021ZDZX1079, 2021KTSCX062), and the Doctoral Scientific Research Startup Fund of Guangdong Polytechnic Normal University, China (Grant No. 2021SDKYA009).

[†] Corresponding author. E-mail: liya2829@gpnu.edu.cn