

非钳位感性开关测试下双沟槽4H-SiC 功率MOSFET失效机理研究

郭建飞 李浩 王梓名 钟鸣浩 常帅军 欧树基 马海伦 刘莉

Failure mechanism of double-trench (DT) 4H-SiC power MOSFET under unclamped inductive switch test

Guo Jian-Fei Li Hao Wang Zi-Ming Zhong Ming-Hao Chang Shuai-Jun Ou Shu-Ji Ma Hai-Lun
Liu Li

引用信息 Citation: *Acta Physica Sinica*, 71, 137302 (2022) DOI: 10.7498/aps.71.20220095

在线阅读 View online: <https://doi.org/10.7498/aps.71.20220095>

当期内容 View table of contents: <http://wulixb.iphy.ac.cn>

您可能感兴趣的其他文章

Articles you may be interested in

热-电应力下Cu/Ni/SnAg1.8/Cu倒装铜柱凸点界面行为及失效机理

Interfacial reaction and failure mechanism of Cu/Ni/SnAg1.8/Cu flip chip Cu pillar bump under thermoelectric stresses

物理学报. 2018, 67(2): 028101 <https://doi.org/10.7498/aps.67.20171950>

基于蒙特卡罗方法的4H-SiC(0001)面聚并台阶形貌演化机理

Formation of step bunching on 4H-SiC (0001) surfaces based on kinetic Monte Carlo method

物理学报. 2019, 68(7): 078101 <https://doi.org/10.7498/aps.68.20182067>

一种基于BSIM4的屏蔽栅沟槽MOSFET紧凑型模型

A compact model of shield-gate trench MOSFET based on BSIM4

物理学报. 2020, 69(17): 177103 <https://doi.org/10.7498/aps.69.20200359>

Ti, N共掺杂4H-SiC复合增强缓冲层生长及其对PiN二极管正向性能稳定性的改善

Growth of 4H-SiC recombination-enhancing buffer layer with Ti and N co-doping and improvement of forward voltage stability of PiN diodes

物理学报. 2021, 70(3): 037102 <https://doi.org/10.7498/aps.70.20200921>

电荷耦合效应对高耐压沟槽栅极超势垒整流器击穿电压的影响

Effect of charge coupling on breakdown voltage of high voltage trench-gate-type super barrier rectifier

物理学报. 2021, 70(6): 067301 <https://doi.org/10.7498/aps.70.20201558>

石墨烯过渡层对金属/SiC接触肖特基势垒调控的第一性原理研究

First principle study on modulating of Schottky barrier at metal/4H-SiC interface by graphene intercalation

物理学报. 2022, 71(5): 058102 <https://doi.org/10.7498/aps.71.20211796>

非钳位感性开关测试下双沟槽 4H-SiC 功率 MOSFET 失效机理研究*

郭建飞¹⁾ 李浩¹⁾ 王梓名²⁾ 钟鸣浩¹⁾ 常帅军²⁾
欧树基¹⁾ 马海伦²⁾ 刘莉^{1)2)†}

1) (西安电子科技大学广州研究院, 广州 510555)

2) (西安电子科技大学微电子学院, 宽禁带半导体国家重点实验室, 西安 710071)

(2022 年 1 月 13 日收到; 2022 年 2 月 17 日收到修改稿)

本文对非钳位感性开关 (unclamped inductive switching, UIS) 下 4H-SiC 双沟槽功率 MOSFET 失效机理进行实验和理论研究. 结果表明, 不同于平面功率 MOSFET 器件失效机理, 在单脉冲 UIS 测试下双沟槽功率 MOSFET 器件的栅极沟槽底部角处的氧化层会发生损坏, 导致了器件失效. 测量失效器件的栅泄漏电流和电阻, 发现栅泄漏电流急剧增大, 电阻仅为 25 Ω ; 失效器件的阈值电压稳定不变. 使用 TCAD 软件对雪崩状态下的器件电场分布进行仿真计算发现, 最大电场位于栅极沟槽底部拐角处, 器件内部最大结温未超过电极金属熔点, 同时也达到了理论与仿真的吻合.

关键词: 4H-SiC 双沟槽 MOSFET, 单脉冲雪崩击穿能量, 失效机理, 栅极沟槽拐角氧化层断裂

PACS: 73.40.Qv, 73.43.Cd, 73.61.Ng

DOI: 10.7498/aps.71.20220095

1 引言

SiC 材料因其禁带宽度大、击穿电场强度高、热导率高以及电子饱和速度大等优势而在极端条件下备受瞩目. SiC 垂直功率 MOS 器件因其本征氧化层为 SiO_2 同时兼备高速、大功率的优势而在光伏逆变器、电动汽车、电动飞机、不间断电源、能源分配网络等开关功率市场广泛应用^[1-3]. 通常功率器件是以大容量大功率且感性负载的形式而出现, 在应用过程中如果电感没有被正确钳位, 在 MOSFET 关断期间漏极电感会通过初级开关放电, 承受 UIS 应力的冲击. 因此确定 UIS 测试下器件的雪崩电流和雪崩能量的限制, 并确定合理的安全工作区对其在高速开关使用过程中非常重要.

目前关于 SiC 平面功率 MOSFET 承受单脉冲 UIS 应力的鲁棒性研究已经被广泛报道. 大多数研究认为平面功率 MOSFET 的失效是因为漏极高压情况下导致寄生 BJT 导通或沟道导通使得器件内部结温不断升高, 直至超过金属熔点, 从而导致器件出现明显烧焦痕迹^[4-7]. 虽然槽栅功率 MOS 器件相比于平面功率 MOS 器件显著降低了导通电阻并减小元胞尺寸, 同时栅源双沟槽功率 MOS 器件因避免了单沟槽功率 MOS 器件沟槽底部电场集中而存在的长期可靠性问题. 但是双沟槽功率 MOS 器件失效机理的研究却很少^[8,9]. 因此, 对双沟槽功率 MOS 在单脉冲 UIS 测试条件下的失效机理研究对器件可靠性的研究有十分重要的意义^[10].

本文对 1200 V 4H-SiC 双沟槽 MOSFET 在动

* 陕西省重点研发一般项目 (批准号: 2020GY-053) 资助的课题.

† 通信作者. E-mail: liuli@mail.xidian.edu.cn

态雪崩应力作用下的失效机理进行了研究. 采用单脉冲非钳位感性开关测试方法, 理论和实验都证明了与平面垂直功率 MOS 器件的雪崩失效不同, 双沟槽器件在单脉冲下的失效是因为栅氧化层沟槽底角发生了不可逆的损坏. 实验验证结合物理失效位置显微成像、单脉冲 UIS 测试以及栅泄漏电流、栅源电阻的变化来验证了栅源沟槽 4H-SiC 功率 MOS 器件的失效的确是因为栅沟槽底部氧化层的断裂造成; 同时理论通过 TCAD 仿真估算了器件最大结温和寻找雪崩状态最大电场分布位置也证明了 4H-SiC 双沟槽 MOSFET 在单脉冲 UIS 测试下的失效机理是栅极沟槽底角处的 SiO_2 层会发生损坏. 从而也达到了理论和实验的很好的吻合.

2 UIS 开关测试

2.1 UIS 失效基本原理

UIS 为非钳位感性开关测试. 由于 SiC 器件常被用于频大功率快速开关电路中, 而电路和系统中的杂散电感的存在不可避免, 一旦瞬变电流在杂散电感上产生的感应电动势所释放的能量超过 MOSFET 器件承受的极限, 就有可能导致器件失效进而使得整个电路乃至系统的瘫痪. 因此弄清器件 UIS 的失效机理将有利于提升器件的动态可靠性. 业界通常通过非钳位感性开关电路来衡量 MOS 器件的 UIS 可靠性^[9,10]. 本文使用 UIS 方法测量器件在单脉冲雪崩击穿情况下的耐受能量值单脉冲雪崩能量 (single-pulse avalanche energy, EAS), 并对 SiC 双沟槽功率 MOSFET 器件在单脉冲 UIS 作用下的失效机理进行讨论分析. 单脉冲 UIS 测试电路的原理图与实验装置如图 1(a) 和 (b) 所示. V_{DD} 为大小为 100 V 的直流电压源, L_{load} 为大小为 3.3 mH 的电感, 被充电至所需电流水平并储存能量 E_{av} ; R_g 为 20 Ω 的栅电阻; V_{gs} 是峰值电压为 15 V 的方形栅电压脉冲. DUT (Device under Test) 为待测试 MOSFET 器件 (本文采用 Rohm 公司的 SCT3080 KR 功率 MOSFET 器件进行实验分析, 其击穿电压为 1200 V, 导通电阻为 80 m Ω). UIS 测试过程为: 选择上述给定参数的元器件按图 1(a) 将实验装置连接, 调整直流电压源 V_{DD} 为 100 V, 初始, DUT 保持栅极关断, V_{gs} 为低电平, 此后设置 1 μs 步长不断增加栅极单脉冲开通时间直至器件失效, 在 DUT 开通过程中, 由于电感的存在电

流不能突变, 根据电感元件的电流电压关系式 $v(t) = L \frac{di(t)}{dt}$ 可知流经 DUT 的电流 I_{ds} 线性增长到一定数值, 此数值由电感充电决定, 当栅极电压 V_{gs} 变为低电平时, 器件关断. 但是同样由于电感的存在, DUT 关断后回路中的电流无法瞬间降为 0, 而是线性减小, 在回路电流不断下降的过程中, DUT 栅极被迫关断, 沟道关断, 电感中的电流只能从器件漏端反向灌入, 反向流经体二极管到达源端, DUT 被迫进入反向雪崩击穿状态直至电流降为 0 A.

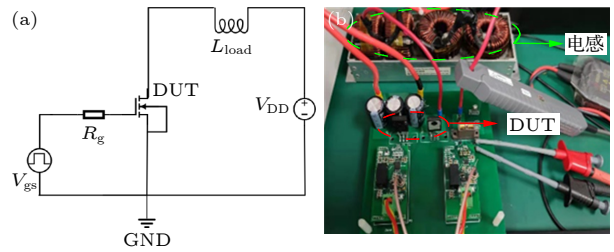


图 1 4H-SiC 功率 MOS UIS 应力产生电路图 (a) UIS 测试电路原理图; (b) UIS 实验装置图

Fig. 1. UIS test circuit of 4H-SiC power MOSFET: (a) Schematic circuit of UIS test; (b) setup of UIS test bench.

图 2 给出了单脉冲 UIS 测试 I_{peak} 为 15 A 的失效波形和 I_{peak} 为 14 A 失效前最后一次测试波形, 失效前后所使用的脉冲电压 V_{gs} 大小均为 15 V, 保证了每次测试 MOSFET 器件开通时的导通内阻相同. 其中蓝线为失效前最后一次测试波形, 红线为失效测试波形, 其漏源电流在失效测试中达到的最大稳定电流值 I_{peak} 为 15 A, 并保存失效前测试波形中 I_{peak} 为 14 A 的数据. 器件是否失效在于雪崩电流是否最终降为 0 A, 如果降为 0 A 则器件未失效如划线所示, 如果未降为 0 A 如红线所示, 最终电流稳定在 3.5 A 左右则器件失效; 同时, 由于器件失效而无法承担雪崩状态的击穿电压, MOSFET 漏源电压急剧下降为 0 V. V_{peak} 为器件处于雪崩击穿状态所达到的最大源漏电压脉冲, I_{peak} 是漏源电流在测试中达到的最大稳定电流值.

t_{av} 为器件处于雪崩状态所持续的时间. E_{av} 为 SiC 功率 MOSFET 单脉冲 UIS 测试的极限能力衡量指标即最大雪崩击穿耐受能量值, 其计算方法如下: $E_{av} = \int_0^{t_{av}} I_{ds} V_{ds} dt = \frac{1}{2} L I_{peak}^2$.

从图 2 中蓝线可以看出失效前峰值电流 I_{peak} 达到 14 A, 峰值击穿电压 V_{peak} 达到 2116 V, 雪崩状态持续时间 t_{av} 为 20 μs , 此波形下 DUT 中耐受

的能量值 E_{av} 为 0.33 J. 而红线给出的失效时其峰值电流 I_{peak} 达到 15 A, 峰值击穿电压 V_{peak} 达到 2136 V, 雪崩状态持续时间 t_{av} 为 15 μ s, 此波形下 DUT 中耐受的能量值 E_{av} 为 0.37 J. 同时给出了单脉冲 UIS 测试的栅极驱动信号, 栅极所加电压为 V_{gs} , 器件导通时间为 t_p , 在时间为 0 时刻, 栅极信号将为 0 V, 器件开始关断并进入雪崩击穿状态. 比较失效波形峰值击穿电压和失效前最后一次波形峰值击穿电压, 可以发现失效波形峰值击穿电压略大于失效前波形峰值击穿电压, 产生这一现象的原因在于失效波形承担了更大的单脉冲雪崩击穿能量, 导致失效 DUT 内部温度变化较大, 高于未失效 DUT 内部温度. 而温度升高导致迁移率降低, 使得半导体器件达到满足雪崩击穿条件所需的能量更高, 内部电场强度要求更高, 漏源电压更高, 并最终导致失效波形峰值击穿电压略大于失效前波形峰值击穿电压.

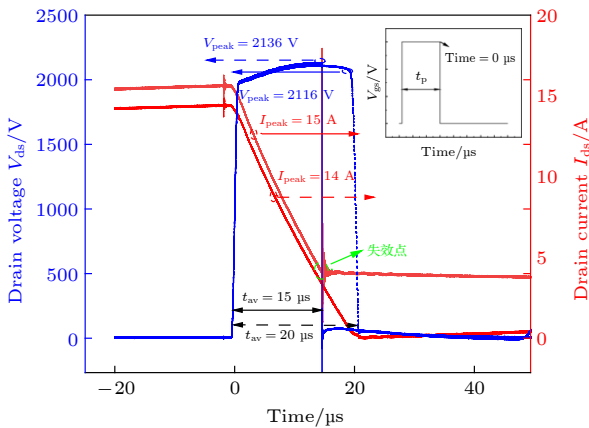


图 2 单脉冲 UIS 测试失效前最后一次实验波形 (划线) ($L_{load} = 3.3$ mH, $t_{av} = 20$ μ s, $E_{av} = 0.33$ J) 与单脉冲 UIS 测试失效实验波形 (实线) ($L_{load} = 3.3$ mH, $t_{av} = 15$ μ s, $E_{av} = 0.37$ J)

Fig. 2. Experimental waveforms before failure under single UIS test (solid waveform) ($L_{load} = 3.3$ mH, $t_{av} = 20$ μ s, $E_{av} = 0.33$ J); experimental waveforms during failure under single UIS test (lineation waveform) ($L_{load} = 3.3$ mH, $t_{av} = 15$ μ s, $E_{av} = 0.37$ J).

3 失效机理实验和仿真分析

3.1 4H-SiC 双沟槽 MOS 器件失效分析

图 3 给出了 4H-SiC 双沟槽 MOS 器件失效 SEM 图. 图 3(a) 是拆封后器件压焊点 SEM 图, 图 3(b) 为经过 UIS 测试失效后压焊点的变化, 从图 3 中可以明显看出栅极氧化层发生了明显的损

坏, 没有发现明显的电极烧焦痕迹, 说明其与平面垂直功率 MOS 器件的热失效机理不同, 是由于栅极氧化层底部发生断裂引起的器件失效.

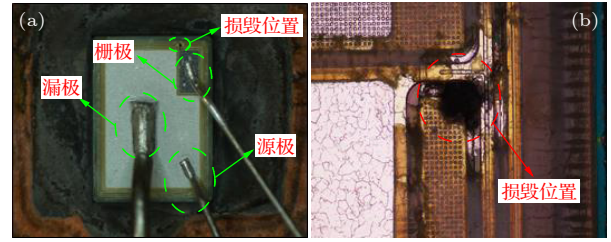


图 3 UIS 测试失效后拆封的双沟槽 4H-SiC MOSFET (1200 V/80 m Ω) 俯视图 (a) 4H-SiC 功率 MOS 器件压焊点; (b) UIS 测试 DUT 失效时 SEM 图

Fig. 3. Top view of the decapsulated DT 4H-SiC MOSFET (1200 V/80 m Ω): (a) Top view of the solder joint; (b) SEM photo of failed DUT UIS test.

图 4 给出了器件栅泄漏电流和阈值电压随 E_{av} 的变化, 图 4(a) 为器件栅泄漏电流随 E_{av} 的变化, E_{av} 分别为 0 J, 0.20 J, 0.24 J, 0.28 J, 0.33 J 和 0.37 J, 其中 0 J 为未进行单脉冲 UIS 测试计算得到的单脉冲雪崩击穿能量, 0.37 J 为单脉冲 UIS 测试失效时计算得到的单脉冲雪崩击穿能量, 其余均为进行单脉冲 UIS 测试但未失效时的 E_{av} . 测试条件为室温 25 $^{\circ}$ C 下栅源电压为 +22 V, 漏源电压为 0 V; 可以看出相比于未进行单脉冲 UIS 测试 DUT 的栅泄漏电流, 未失效 DUT 的栅泄漏电流未发生较大变化, 始终维持在 0.1 μ A 附近, 但是失效 DUT 的栅泄露电流急剧增大达到了 106 μ A, 在实验结束后立即测试和经过一段时间后的再测试发现其栅泄露电流均为 106 μ A, 未发生较大变化, 并对栅源电阻进行测量发现其电阻为 25 Ω , 说明栅极氧化层发生了不可逆的永久损毁.

图 4(b) 为器件阈值电压随 E_{av} 的变化, 测试条件与 SCT3080 KR 手册中测试阈值电压相同: 室温 25 $^{\circ}$ C 下漏源电压为 10 V, 从 0 V 开始扫描栅源电压至 10 V, 在所得转移特性曲线中找到漏源电流为 5 mA 对应的栅源电压即为阈值电压. 从图中可以看出失效 DUT 与未失效 DUT 的阈值电压均未发生较大变化, 如图 5 所示. 所示双沟槽 4H-SiC 功率 MOSFET 横截面, 沟道区位于 P-body 一侧距离 P-body 与 SiO₂ 界面小于 5 nm 范围内, 若此处氧化层发生断裂势必会对沟道反型产生显著影响, 导致阈值电压发生较大变化, 由此说明施

加栅极电压对沟道区发生反型未产生显著影响, 沟道区界面处的氧化层未发生损坏。

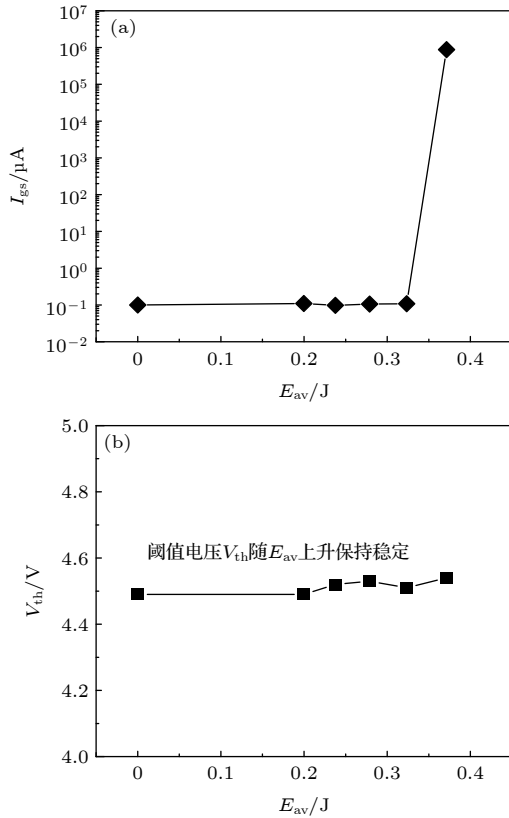


图4 4H-SiC 功率 MOS 器件栅泄漏电流和阈值电压变化随 E_{av} 变化 (a) 4H-SiC 功率 MOS 器件栅泄漏电流随 E_{av} 的变化; (b) 阈值电压随 E_{av} 的变化

Fig. 4. Gate leakage and V_{th} of 4H-SiC power MOSFET vs. E_{av} : Gate leakage of 4H-SiC Power MOSFET vs. (b) V_{th} vs. E_{av} .

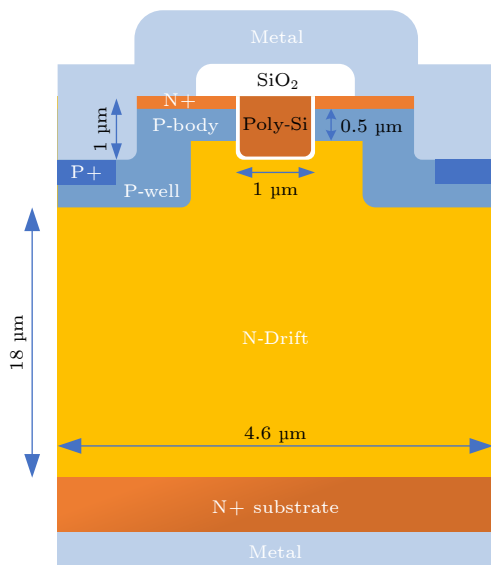


图5 双沟槽 4H-SiC 功率 MOSFET 横截面

Fig. 5. Cross-section of DT 4H-SiC Power MOSFET.

3.2 基于 TCAD 仿真的双沟槽 4H-SiC 功率 MOSFET 失效机理分析

为了实现对器件内部失效机理的进一步探究, 得到失效器件的内部电场分布和温度分布, 使用 TCAD 软件对所研究器件进行数值仿真. 图 5 给出了 4H-SiC 双沟槽垂直功率 MOS 器件截面图. 器件宽度为 4.6 μm , 双沟槽 MOSFET 器件沟槽使用同一工艺步骤生成宽度和深度均为 1 μm , 源极和栅极之间宽度为 1.3 μm , 漂移区厚度为 13 μm . 栅极沟槽侧边氧化层厚度为 50 nm, 底部氧化层厚度为 100 nm. N+源区和漏端 N 衬底浓度均为 $1 \times 10^{19} \text{ cm}^{-3}$, N-drift 浓度为 $7 \times 10^{15} \text{ cm}^{-3}$, P-body 区掺杂浓度为 $1 \times 10^{17} \text{ cm}^{-3}$, P-well 区掺杂浓度为 $1 \times 10^{18} \text{ cm}^{-3}$, P+掺杂浓度为 $5 \times 10^{18} \text{ cm}^{-3}$. 所使用到的物理模型包括: Shockley-Read-Hall 复合、俄歇复合、不完全离化、浓度依赖迁移率、高电场速度饱和模型、表面散射模型、能带变窄、各向异性材料特性和 Hatakeyama 碰撞电离模型^[11] 进行电子/空穴连续性方程和泊松方程的耦合求解. SiC MOSFET 器件由于工艺缺陷使得其与硅 MOSFET 器件相比存在一个较大的问题, SiC 与 SiO₂ 之间的界面态密度较大, 在距离导带底 0.2 eV 的地方界面态密度通常可以达到 $10^{12} \text{ cm}^{-2} \cdot \text{eV}^{-1}$ 数量级, 这些缺陷电荷的存在不仅对器件的阈值电压造成不良影响, 同时也导致器件的跨导降低. 为了准确仿真器件的转移特性和输出特性, 必须考虑到 SiC/SiO₂ 界面态分布, 本文所使用的界面态电荷分布如图 6 所示 (指数分布: $N = N_0 \exp\left(-\left|\frac{E - E_0}{E_S}\right|\right)$; 高斯分布 $N = N_0 \exp\left[-\frac{(E - E_0)^2}{2E_S^2}\right]$).

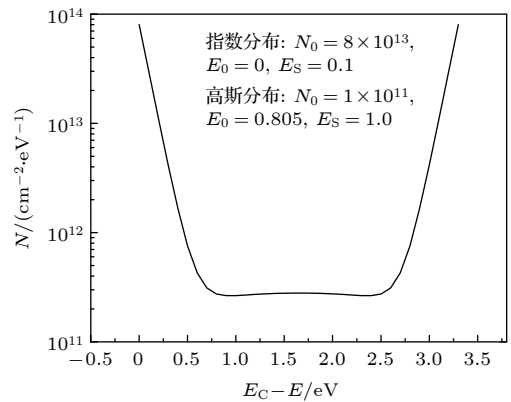


图6 界面态密度在禁带中的分布

Fig. 6. SiC/SiO₂ interface state density profile used in this simulation.

图 7 和图 8 给出了利用上述模型进行仿真得到的数据与实验数据的对比, 其中图 7 给出了室温下仿真与实验的转移特性曲线对比, 图 8 给出了室温下实验与仿真输出特性的对比. 实验数据见文献 [12]. 从图 7 和图 8 可以看出仿真和实验吻合的比较好, 说明本文所建立的器件模型和物理模型是合理的. 雪崩耐压特性曲线仿真最终得到击穿电压为 1975 V.

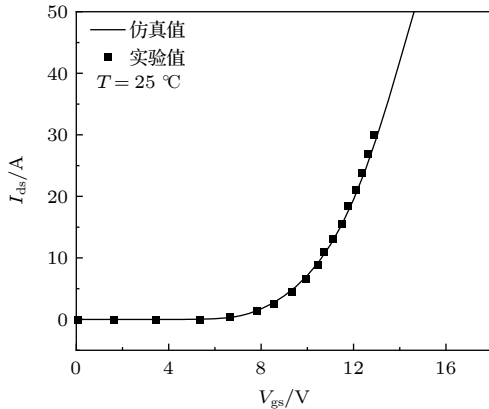


图 7 实验与仿真转移特性曲线对比

Fig. 7. Transfer characteristics of experiment results vs. simulation one.

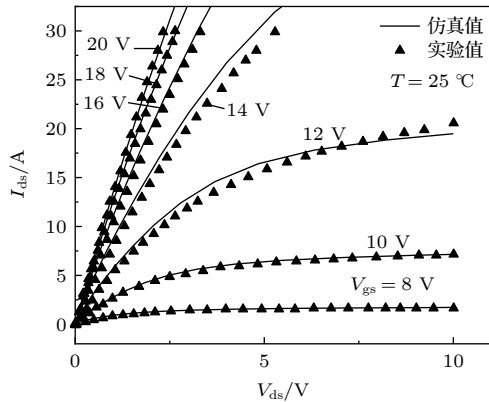


图 8 实验与仿真输出特性曲线对比

Fig. 8. Output characteristics of experimental results vs. simulation ones.

建立与本文的单脉冲 UIS 测试实验电路结构 (图 1(a)) 相同的 TCAD 混合电路模型, 各元器件参数均与本文实验装置图 1(b) 所使用器件参数保持一致, 所加栅极信号峰值和脉冲宽度以及直流电压源电压也同实验保持一致. 最终得到了一系列不同 E_{av} 条件下的单脉冲 UIS 测试仿真波形. 图 9 给出了雪崩失效前 $I_{av} = 14A$ 时的实验和仿真波形对比图, 散点图为实验波形, 折线图为仿真波形, 红

线为电流波形, 黑线为电压波形. 首先可以看出, 仿真结果与实验波形拟合程度非常好. 仅在雪崩击穿状态下, 仿真波形的雪崩击穿电压高于实验波形, 其原因与前述失效波形峰值击穿电压和失效前波形峰值击穿电压相比, 失效波形峰值击穿电压较高相同, 说明 TCAD 仿真单脉冲 UIS 测试时过高估算了器件的温度升高, 导致其雪崩击穿电压升高, 但是观察实验与仿真波形的最大雪崩击穿电压, 可以发现, 二者达到最大雪崩击穿电压的时间基本一致, 均在时间为 15 μs 附近. 由此说明, 虽然 TCAD 仿真对器件雪崩状态中温度升高现象的估算较大, 但是对在雪崩击穿过程中温度的变化率的估算是准确的, 其温度特性仿真结果仍具有一定的参考意义. 在单脉冲 UIS 测试过程中器件内部温度上升导致载流子迁移率降低使得雪崩电压增大, 更大的雪崩击穿电压将导致栅极承担更高强度的电场, 加剧了栅极氧化层的断裂. 因此, 尽可能降低器件内部温度的提升对器件可靠性提升也具有一定的意义.

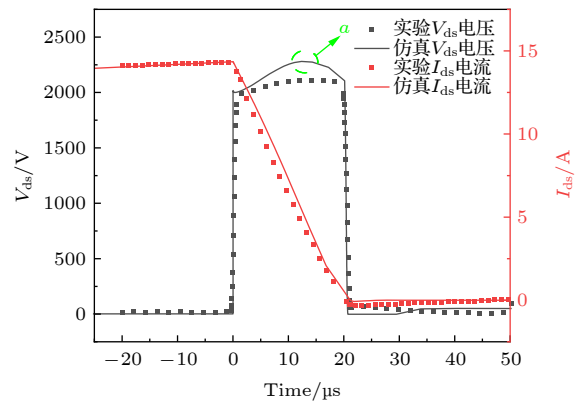


图 9 雪崩失效前实验和仿真波形对比 ($I_{av} = 14 A$)

Fig. 9. Comparison of before and after avalanche failure ($I_{av} = 14 A$).

图 10 给出了随 E_{av} 不断增大的单脉冲 UIS 仿真结果中估算的器件最大结温

变化以及对应于图 9 中结温最大值 a 点器件内部温度分布图. 图 10(a) 给出了 DUT 最大结温随 E_{av} 变化结果, 可以发现即使使用 TCAD 软件对单脉冲 UIS 测试仿真的最大结温估算偏高, 其最大结温依然低于金属的 933 K 熔点及其他材料更高的温度限制条件. 证明 4H-SiC 双沟槽 MOS 器件在单脉冲 UIS 测试下的失效原因并不是由于器件内部温度过高导致电极金属熔融.

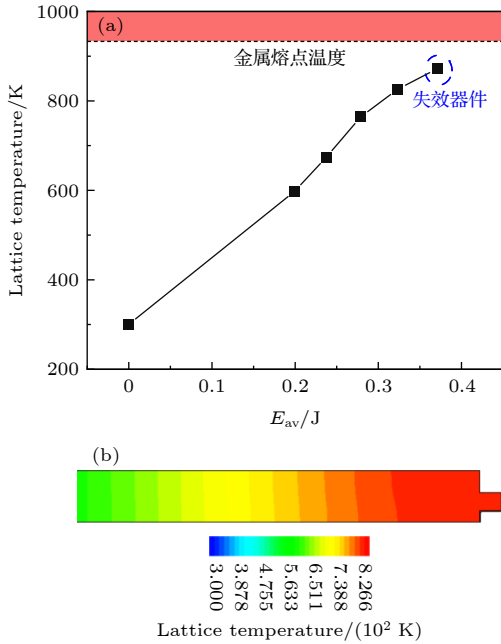


图 10 DUT 最大结温随 E_{av} 变化和图 9(a) 点处器件内部温度分布图 DUT 最大结温随 E_{av} 变化; (b) 图 9 最大结温 a 点处器件内部温度分布图

Fig. 10. Maximum junction temperature vs. E_{av} and temperature distribution in DUT: (a) Maximum junction temperature vs. E_{av} ; (b) lattice temperature distribution vs. E_{av} of a point in Fig. 9.

图 11 给出了单脉冲 UIS 测试仿真过程中从时间为 0 时刻器件漏源电压升高至 2000 V 过程中, 漏源电压分别为 600 V, 800 V, 1200 V, 1700 V 和 2000 V 下的器件内部电场分布数据. 图 11(a) 为漏源电压为 1700 V 时的器件内部电场分布图, 图中标注 A 点和 B 点分别为氧化层和 4H-SiC 出现最大电场强度的位置, 图 11(b) 给出了 A1-A2 和 B1-B2 方向电场分布图. 可以看出在漏源电压小于 1200 V 时, 器件内部最大电场强度发生在 B 点处, 当漏源电压高于 1200 V 后, 器件内部最大电场强度发生在 A 处, 说明双沟槽器件结构通过在源极也设置沟槽结构, 将原本在栅电极下 A1-A2 方向的峰值电场向源极沟槽下 B1-B2 转移, 有效缓和了栅极沟槽底部的电场集中问题, 提高了器件的可靠性. 本文所给出的电场分布发生改变的临界源漏电压值 1200 V 是仿真结果发现的约值, 具体应该是在 1200 V 左右, 此值应该是开始发生雪崩击穿的开始. 而在高于 1200 V 以后, 栅拐角处的电场由栅氧化层厚度以及此处电势决定, 而不变的氧化层厚度则导致了此处电场将会高于源拐角处的电场, 从而在 1200 V 之后双沟槽器件中源沟槽

也失去了保护栅沟槽底部的意义, 而 50—100 nm 厚度的氧化层不能忍受此处的电场强度而导致栅沟槽底部拐角处失效.

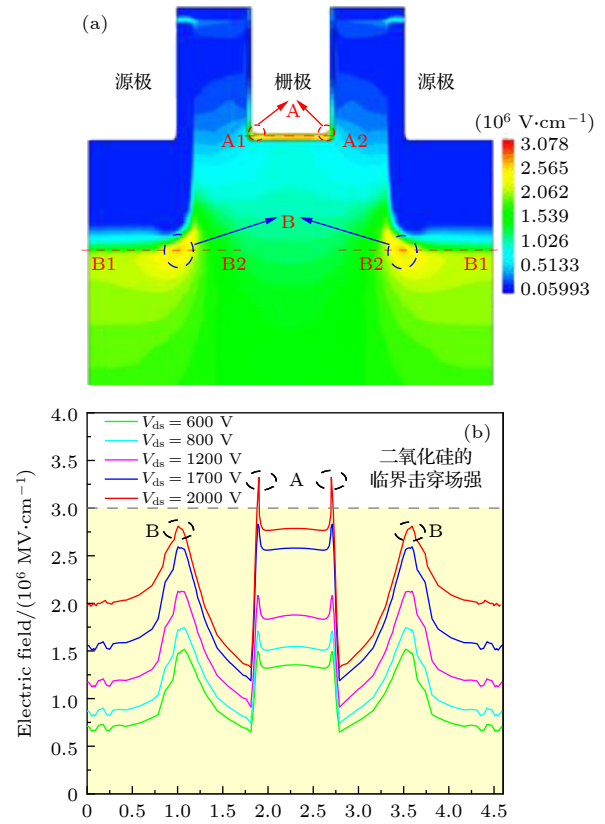


图 11 器件击穿条件下内部电场分布 (a) 内部电场分布 ($V_{ds} = 1743$ V); (b) 沿 A1-A2 和 B1-B2 方向电场分布

Fig. 11. Electrical field distribution in DUT: (a) Electrical field distribution in DUT ($V_{ds} = 1743$ V); (b) electrical field along A1-A2 and B1-B2.

4 结 论

本文对 1200 V/80 mΩ 4H-SiC 双沟槽功率 MOSFET 在 UIS 工作模式下的雪崩耐用性进行了评估. 证明了 4H-SiC 双沟槽功率 MOSFET 在单脉冲 UIS 测试下的失效机制是栅极沟槽底部氧化层断裂, 这与平面功率 MOSFET 的失效特性有很大不同. 通过对失效的 MOSFET 器件测量栅源电阻与栅泄漏电流以及阈值电压的变化, 说明阈值电压未发生变化, 并且沟道以及沟道上方的氧化层未损伤, 但是栅泄漏电流的突然增大, 则表示应该是栅沟槽拐角处发生失效. 并使用 TCAD 软件进行数值仿真计算, 估算器件失效最大结温低于电极金属熔点, 排除了热失效造成器件损坏; 分析器件击穿过程电场分布图发现栅极沟槽底部拐角处电场

强度最大,超过了二氧化层的临界击穿场强,进一步说明了栅极沟槽底拐角处氧化层断裂是 4H-SiC 双沟槽功率 MOSFET 在单脉冲 UIS 测试下的失效机制.

参考文献

- [1] She X, Lucia O, Ozpineci B 2017 *IEEE Trans. Ind. Electron.* **64** 8193
- [2] Huang A Q 2016 *IEEE International Electron Devices Meeting (IEDM)*, San Francisco, CA, USA, December 2-6, 2016 p528
- [3] Kumar A, Parashar S, Baliga J, Bhattacharya S 2018 *IEEE Applied Power Electronics Conference and Exposition (APEC)*, San Antonio, TX, USA, May 1-3, 2008 p2737
- [4] Kumar A, Kokkonda R K, Bhattacharya S, Veliadis V 2019 *IEEE 7th Workshop on Wide Bandgap Power Devices and Applications (WiPDA)*, Raleigh, NC, USA, 29-31 October, 2019 p438
- [5] Sundaresan S, Mulpuri V, Jeliakov S, Singh R 2019 *IEEE International Reliability Physics Symposium (IRPS)*, Monterey, CA, USA, March 4-6, 2019 p1
- [6] Gao Z, Cao L, Guo Q, Sheng K 2020 *IEEE Applied Power Electronics Conference and Exposition (APEC)*, New Orleans, LA, USA, April 1-3, 2020 p2601
- [7] Ren N, Hu H, Wang K L, Zuo Z, Li R, Sheng K 2018 *IEEE 30th International Symposium on Power Semiconductor Devices and ICs (ISPSD)* Chicago, USA, May 13-17, 2018 p431
- [8] Yao K, Yano H, Iwamuro N 2021 *33rd International Symposium on Power Semiconductor Devices and ICs (ISPSD)* June 2-5, 2021 p115
- [9] Wei J X, Liu S Y, Zhao H B, Fu H, Zhang X B, Li S Y, Sun W F 2021 *IEEE Trans. Emerg. Sel. Topics Power Electron.* **9** 2190
- [10] Li X, Tong X, Hu R, Wen Y, Zhu H, Deng X C, Sun Y K, Chen WJ, Bai S, Zhang B 2021 *IEEE Trans. Emerg. Sel. Topics Power Electron.* **9** 2147
- [11] Hatakeyama T, Fukuda K, Okumura H, 2013 *IEEE T. on Electron Dev.* **60** 613
- [12] <https://fscdn.rohm.com/en/products/databook/datasheet/discrete/sic/mosfet/sct3080kr-e.pdf>

Failure mechanism of double-trench (DT) 4H-SiC power MOSFET under unclamped inductive switch test*

Guo Jian-Fei¹⁾ Li Hao¹⁾ Wang Zi-Ming²⁾ Zhong Ming-Hao¹⁾

Chang Shuai-Jun²⁾ Ou Shu-Ji¹⁾ Ma Hai-Lun²⁾ Liu Li¹⁾²⁾†

1) (Guangzhou Institute of Technology, Xidian University, Guangzhou 510555, China)

2) (School of Microelectronics, Xidian University; The National Key Discipline Laboratory of Wide Band-gap Semiconductor, Xi'an 710071, China)

(Received 13 January 2022; revised manuscript received 17 February 2022)

Abstract

In this paper, failure mechanism of DT 4H-SiC power MOSFET under unclamped inductive switch (UIS) test is evaluated by combination of experiment and theoretical research. The results show that unlike planar 4H-SiC power MOSFET, the gate oxide at the corner of gate trench is destroyed under the UIS test, therefore, the device under test failed. And then, measurement results of the gate leakage and resistance between gate and source (R_{gs}) of the failed device indicate that gate leakage increases sharply and R_{gs} is only 25 Ω , however, the threshold voltage of failure device is unchanged. The analysis of the inner electrical field under avalanche state by using the TCAD software shows that the maximum electrical field exists at the corner of gate trench and the maximum junction temperature does not exceed the melt point of metal. These results are consistent with the experimental results.

Keywords: 4H-SiC DT power mosfet, avalanche energy, failure mechanism, oxide crack at corner of gate trench

PACS: 73.40.Qv, 73.43.Cd, 73.61.Ng

DOI: 10.7498/aps.71.20220095

* Project supported by the General Project of the Key Project Shaanxi Province, China (Grant No. 2020GY-053).

† Corresponding author. E-mail: liuli@mail.xidian.edu.cn