

垂直短沟道二硫化钼场效应晶体管*

田金朋¹⁾²⁾ 王硕培³⁾ 时东霞^{1)2)†} 张广宇^{1)2)3)‡}

1) (中国科学院物理研究所, 北京 100190)

2) (中国科学院大学物理科学学院, 北京 100190)

3) (松山湖材料实验室, 东莞 523808)

(2022 年 4 月 18 日收到; 2022 年 6 月 28 日收到修改稿)

基于二维材料的场效应晶体管在超大规模集成技术方面具有非常大的应用潜力, 因此开发高性能的短沟道二维半导体场效应晶体管是构建超大规模集成的必经之路. 对于二维材料, 获得 10 nm 以下沟道长度的二维半导体晶体管难度较大, 目前很少有稳定制备亚 10 nm 二维半导体晶体管的方法. 本文使用石墨烯作为接触材料, 氮化硼作为间隔, 可以稳定制备垂直短沟道二硫化钼场效应晶体管. 基于此方法, 制备了 8 nm 氮化硼间隔的垂直短沟道二硫化钼场效应晶体管. 该器件展现出良好的开关特性, 在不同的源漏电压下其开关比大于 10^7 ; 同时关态电流小于 $100 \text{ fA}/\mu\text{m}$, 对源漏直接隧穿效应有很好的抑制作用. 此外, 该方法同样适用于其他二维半导体短沟道晶体管的制备, 为快速筛选出可适用于超大规模集成的二维材料提供了一种有效途径.

关键词: 二维材料, 二硫化钼, 场效应晶体管, 短沟道效应

PACS: 85.30.-z, 85.30.De, 85.30.Tv, 85.35.-p

DOI: 10.7498/aps.71.20220738

1 引言

硅基互补型金属氧化物半导体晶体管技术已达到 5 nm 以下技术节点, 而由于晶体管的栅极静电调控需要大幅减小沟道厚度以保持其所需性能, 使得对晶体管的进一步缩放变得越来越困难^[1]. 随着加工技术的提高, 场效应晶体管 (field effect transistor, FET) 的最终沟道厚度有可能在 1 nm 以下, 然而对于三维材料而言, 当厚度降到 5 nm 以下时, 将可能出现短沟道效应 (short-channel effect, SCE), 其材料本身粗糙度和界面效应导致的载流子散射将会使晶体管的迁移率严重下降^[2-4]. SCE 指晶体管在沟道缩短后造成的偏离长沟道晶体管特性的现象, 包括接触电阻占比增大、漏致势垒降低 (drain barrier lowering, DIBL) 和源漏直接

隧穿等. 而二维 (two-dimensional, 2D) 材料, 例如以二硫化钼 (MoS_2) 为代表的过渡金属硫族化合物, 具有原子级厚度 (约 0.6 nm) 且表面没有悬挂键, 这些天然的优势可以有效免疫 SCE, 被认为是延续摩尔定律的备选沟道材料之一^[3,5-7].

自从 2011 年 Radisavljevic 等^[8]报道第一个二硫化钼场效应晶体管 (MoS_2 -FET) 以来, 对高性能 MoS_2 晶体管的探索就从未停止过. 2016 年 Desai 等^[9]报道了 1 nm 栅极长度 MoS_2 晶体管, 他们利用 1 nm 直径金属性单壁碳纳米管作为晶体管的栅极调控双层 MoS_2 , 其结果显示 MoS_2 对 SCE 具有很强的免疫力. 目前已报道制备 MoS_2 短沟道晶体管的方法有很多, 例如用石墨烯纳米缝隙作为沟道^[10,11]、电子束曝光^[12,13]、局部相变^[14]、 Bi_2O_3 纳米缝隙^[15]、纳米线作为掩膜^[16-19]等. 但这些方法得到的沟道长度或沟道位置随机性大、不稳定,

* 广东省重点领域研发计划 (批准号: 2020B0101340001) 和国家自然科学基金 (批准号: 61888102, 11834017) 资助的课题.

† 通信作者. E-mail: dxshi@iphy.ac.cn

‡ 通信作者. E-mail: gyzhang@iphy.ac.cn

且难以推广到其他 2D 半导体或用于规模化制备短沟道晶体管. 另一方面, 有采用垂直晶体管加工方法制备 MoS_2 短沟道晶体管, 通常使用金作为垂直沟道晶体管的接触材料, 但出现了严重的 SCE, 其关态电流明显增大并且开关比急剧降低^[20].

我们采用石墨烯作为接触材料、以氮化硼 (BN) 作为间隔加工垂直短沟道 MoS_2 -FET. 该晶体管展现出良好的开关特性, 在不同的源漏电压下, 其开关比大于 10^7 , 关态电流小于 $100 \text{ fA}/\mu\text{m}$, 对源漏直接隧穿效应有很好的抑制作用. 此外, 本文制备垂直短沟道 MoS_2 -FET 的方法可以用于稳定制备其他 2D 半导体短沟道晶体管, 快速筛选对 SCE 具有抑制作用和适合制备高性能 FET 的 2D 材料.

2 垂直沟道晶体管制备过程

实验上, 首先在 SiO_2 (300 nm) 衬底上机械剥离两个石墨烯 (石墨烯 A 和石墨烯 B) 和薄层氮化硼 (BN-A 和 BN-B), 再用干法转移捡起石墨烯 A 并转移到薄层 BN-A 上形成石墨烯 A/BN-A 异质结 (图 1(b)). 接着用电子束光刻曝光和反应离子

束刻蚀 (reactive ion etching, RIE) 光刻胶未覆盖的区域以形成边界对齐的石墨烯 A/BN-A 异质结 (图 1(c)). 接下来采用干法转移的方法把石墨烯 A/BN-A 转移到石墨烯 B 上, 并与石墨烯 B 的边界错开 (图 1(d)). 之后用湿法转移的方法把化学气相沉积生长在蓝宝石衬底上的 MoS_2 转移到石墨烯 A/BN-A/石墨烯 B 异质结上, 并覆盖石墨烯 A/BN-A 对齐的边界处 (图 1(e)). 然后干法转移顶栅 BN-B 到 MoS_2 上, 并覆盖石墨烯 A/BN-A 对齐的边界处 (图 1(f)). 最后用电子束光刻曝光出器件的栅极和源漏电极部分, 再用电子束蒸发 (e-beam evaporation) 沉积 3/30 nm 的 Ti/Au 作为接触电极 (图 1(g)).

3 垂直短沟道晶体管的结构测量与分析

图 2(a) 是短沟道 FET 的结构示意图, 其中石墨烯 A 与石墨烯 B 作为 FET 的源极和漏极, BN-B 做为晶体管的栅介电层. 石墨烯的接触金属和顶栅电极是 3/30 nm Ti/Au. BN-A 隔在石墨烯 A 和石墨烯 B 之间, 使晶体管源漏不相连, 而源漏中间被

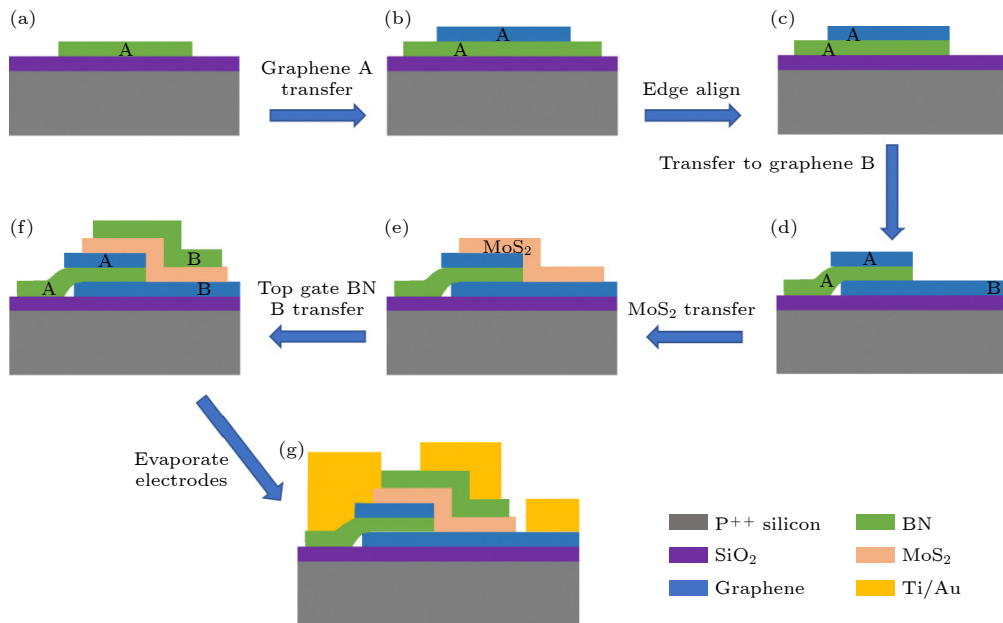


图 1 垂直沟道 MoS_2 晶体管加工过程 (a) 机械剥离在 300 nm SiO_2 衬底上的 BN-A; (b) 干法转移后的石墨烯 A/BN-A 异质结; (c) RIE 刻蚀后边界对齐的石墨烯 A/BN-A 异质结; (d) 边界对齐后石墨烯 A/BN-A 转移到石墨烯 B 上后形成的石墨烯 A/BN-A/石墨烯 B 异质结; (e) 湿法转移 MoS_2 到 (d) 上; (f) 转移 BN-B 到 MoS_2 上作为顶栅介电层; (g) 沉积源漏栅极电极 (图中 P^{++} 表示 P 型重掺杂)

Fig. 1. Fabrication process of vertical channel MoS_2 transistors: (a) Mechanical exfoliation of BN-A on 300 nm SiO_2 substrate; (b) transfer graphene-A/BN-A heterostructure; (c) aligned graphene-A/BN-A heterostructure after RIE etching; (d) transfer graphene-A/BN-A onto graphene-B; (e) transfer monolayer MoS_2 onto (d) by wet transfer process; (f) transfer BN-B onto MoS_2 as the top gate dielectric; (g) deposition of source, drain and gates electrodes (P^{++} represents P-type heavy doping).

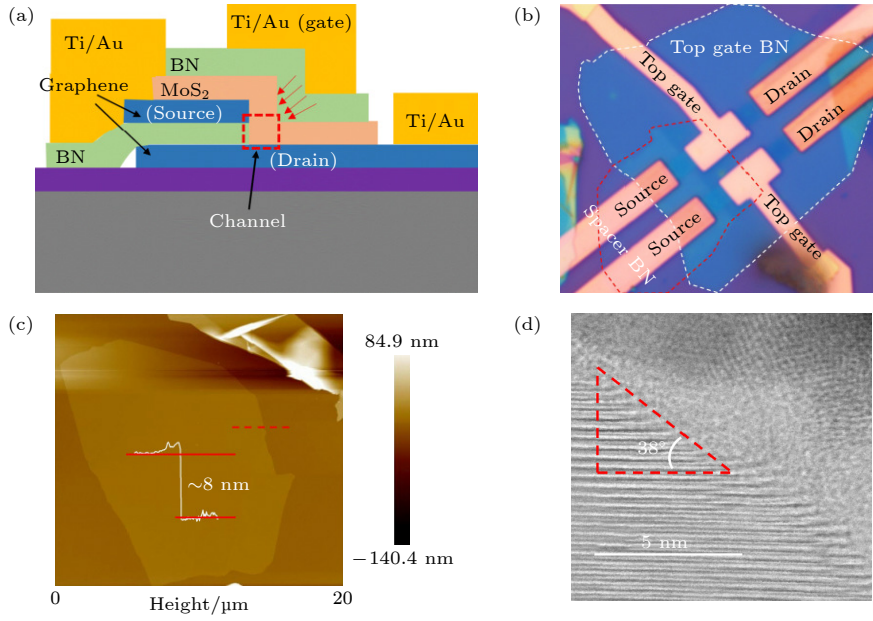


图2 8 nm垂直短沟道 MoS₂-FET 结构 (a) 垂直短沟道晶体管的结构示意图, 红色虚线方框部分为晶体管垂直沟道区域; (b) 短沟道器件光学显微镜图; (c) 间隙 BN-A 的原子力显微镜测量图, 间隙 BN 厚度约为 8 nm; (d) 刻蚀后氮化硼斜面截面透射电子显微镜图, 顶切角度为 38°

Fig. 2. Structure of 8 nm vertical short-channel MoS₂-FET: (a) Structure diagram of the vertical short-channel transistor, the red dotted box is the vertical channel region of the transistor; (b) optical microscope image of short-channel devices; (c) atomic force microscope image of spacer BN-A with a thickness is about 8 nm; (d) transmission electron microscope image of BN cross-section after etching, and the top-cut angle is 38°.

BN 隔开的 MoS₂ 部分 (图 2(a) 红色虚线方框) 为该晶体管的沟道区域, 其长度为间隔在两个石墨烯之间 BN-A 的厚度. 图 2(b) 展示了该 8 nm 垂直短沟道晶体管的光学显微镜图, 白色虚线方框部分为顶栅 BN-B, 红色方框部分为间隔 BN-A. 该短沟道器件的间隔 BN 厚度约为 8 nm (图 2(c)), 顶栅 BN-B 介电层厚度约为 15 nm, 该 8 nm 沟道晶体管器件的沟道宽度 $W = 2 \mu\text{m}$. 由于在刻蚀石墨烯 A/BN-A 时会伴随着 BN 的横向刻蚀, 刻蚀后的 BN 边界并不是严格垂直, 从上到下会有一个倾角, 该倾角约为 38° (图 2(d)), 所以该短沟道晶体管的沟道长度 L 约为 13 nm.

4 垂直短沟道晶体管电学表征

分别对 8 nm 沟道 MoS₂ 晶体管的转移特性、输出特性、石墨烯与 MoS₂ 之间的接触电阻、以及是否存在 DIBL 和源漏直接隧穿等进行了系列表征和分析.

4.1 垂直短沟道晶体管的转移特性

图 3(a) 展示了 8 nm 沟道 MoS₂ 晶体管的转移

特性曲线. 该短沟道器件在不同源漏电压下表现出良好的开关特性, 其开关比大于 10^7 , 关态电流 $I_{\text{OFF}} < 100 \text{ fA}/\mu\text{m}$, 在 $V_{\text{DS}} = 0.1 \text{ V}$ 时开态电流达到 $3.3 \mu\text{A}/\mu\text{m}$ (对应载流子浓度 n 约为 $6.4 \times 10^{12} \text{ cm}^{-2}$). 该短沟道晶体管同时展现出了良好的亚阈值特性, 其亚阈值摆幅 $SS = dV_{\text{GS}}/d(\lg I_{\text{DS}}) = 0.4 \text{ V/dec}$. 有效场效应迁移率表达式为

$$\mu = \frac{dI_{\text{DS}}}{dV_{\text{GS}}} \times \frac{W}{L} \times \frac{1}{V_{\text{DS}}} \times \frac{1}{C_0}, \quad (1)$$

其中 C_0 为介电层的单位电容, W 和 L 分别为晶体管的沟道宽度和长度, 计算所得有效迁移率约为 $0.3 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ ($V_{\text{DS}} = 0.02 \text{ V}$). 该 8 nm 晶体管计算所得有效迁移率相对长沟道器件有效迁移率 ($86 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$, 图 4) 偏低, 这是由于在短沟道情况下接触电阻的占比增大 [11,15].

4.2 垂直短沟道晶体管的输出特性

图 3(b) 展示了 8 nm 晶体管的输出特性曲线 $I_{\text{DS}}-V_{\text{DS}}$, 可以看到在不同的栅压 V_{GS} 下, 源漏电流 I_{DS} 随着源漏电压 V_{DS} 线性增加, 说明石墨烯和 MoS₂ 之间是很好的欧姆接触. 通常在金属蒸镀过程中, 高能的金分子和团簇轰击 MoS₂ 表面, 有

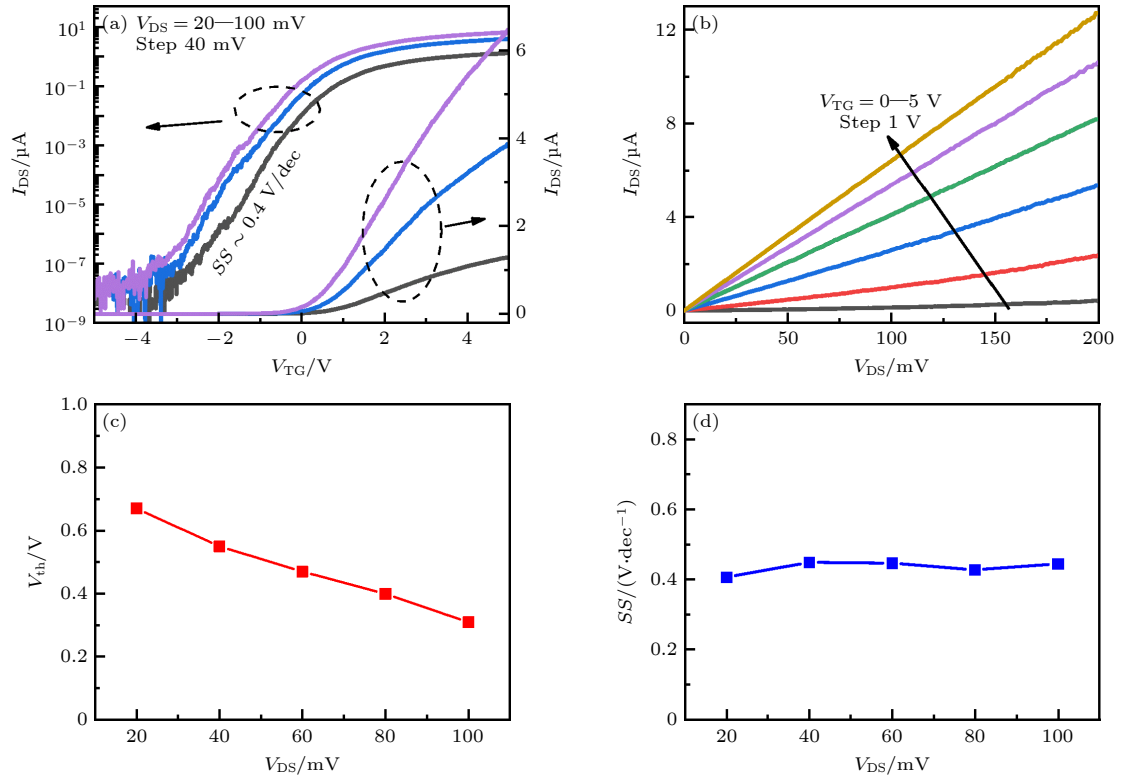


图 3 8 nm 垂直沟道 MoS₂ 晶体管电学表征 (a) 不同源漏电压 V_{DS} 下的转移特性曲线 $I_{DS}-V_{GS}$, 亚阈值摆幅 (SS) 约为 0.4 V/dec; (b) 传输特性曲线 $I_{DS}-V_{DS}$; (c) 晶体管阈值电压 V_{th} 随源漏电压 V_{DS} 的变化; (d) 亚阈值摆幅随源漏电压 V_{DS} 的变化

Fig. 3. Electrical characteristics of 8 nm vertical channel MoS₂ transistor: (a) Transfer characteristic curve $I_{DS}-V_{GS}$ with different V_{DS} , subthreshold swing (SS) is about 0.4 V/dec; (b) output characteristic curve $I_{DS}-V_{DS}$; (c) threshold voltage V_{th} as a function of V_{DS} ; (d) subthreshold swing as a function of V_{DS} .

可能在接触区域造成缺陷, 出现费米面钉扎, 导致接触电阻增加 [21]. 与蒸镀金属不同, 在该 8 nm 晶体管的制备中, MoS₂ 是转移到石墨烯上, 石墨烯和 MoS₂ 之间的接触是范德瓦耳斯接触, 具有良好的欧姆接触, 没有因金属直接在 MoS₂ 表面蒸镀造成晶格破坏而出现费米钉扎的问题. 但是该器件中, 由于 BN 介电层的调节能力有限导致载流子浓

度不高, 接触电阻比较大, 造成开态电流小并且迁移率较低.

4.3 垂直短沟道晶体管阈值电压随源漏电压的变化

当晶体管源漏距离缩短, 源极电压的增加会直接影响源极和沟道之间接触势垒的高度和宽度, 造成阈值电压随源漏电压的增加而逐渐减小, 被称为 DIBL, 是 SCE 的一种 [1]. 图 3(c) 是 8 nm 晶体管阈值电压 V_{th} 随源漏电压的变化关系, 随着源漏电压的增加, 阈值电压逐渐减小. DIBL 可以表示为

$$DIBL = -\frac{V_{th}^{high} - V_{th}^{low}}{V_{DS}^{high} - V_{DS}^{low}}, \quad (2)$$

其中, V_{DS}^{high} 和 V_{DS}^{low} 分别表示高源漏电压和低源漏电压, V_{th}^{high} 和 V_{th}^{low} 分别表示高源漏电压和低源漏电压所对应的晶体管阈值电压. 计算得到该 8 nm 器件的 DIBL 约为 4.5, 表明该短沟道器件表现出 DIBL 的 SCE.

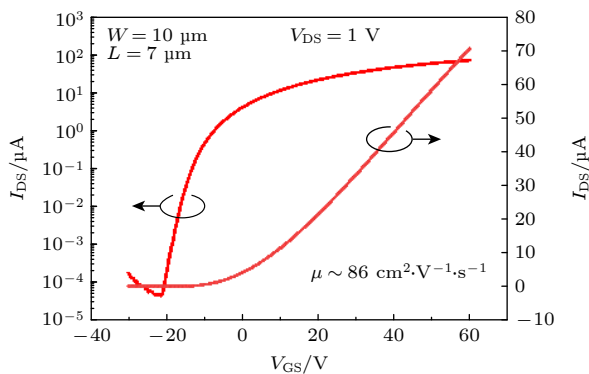


图 4 7 μm 长沟道器件转移特性曲线

Fig. 4. Transfer characteristics curve of the 7 μm channel length transistor.

4.4 垂直短沟道晶体管亚阈值摆幅随源漏电压的变化

源漏直接隧穿效应是指当晶体管沟道长度缩短到很小时, 沟道中的电场强度很大、势垒变窄, 这时源极和漏极之间载流子会穿过接触势垒和沟道直接发生隧穿. 该隧穿电流在亚阈值区域表现为关态电流上升和亚阈值摆幅增加^[22,23]. 图 3(d) 是 8 nm 晶体管亚阈值摆幅随源漏电压的变化, 可以看到随着源漏电压的增加, 亚阈值摆幅只是轻微的有所增加, 由 0.4 V/dec ($V_{DS} = 0.02$ V) 增加到 0.45 V/dec ($V_{DS} = 0.1$ V), 并且关态电流并没有明显增加. 这说明该 8 nm 晶体管在亚阈值区域没有出现明显的源漏直接隧穿效应, 这得益于我们使用了石墨烯作为晶体管的源漏接触. 和金属接触相比, 石墨烯在 Dirac 点附近有更快的载流子浓度的衰减, 所以在亚阈值区域其电流衰减更快^[24], 同时抑制了隧穿电流的产生.

5 总 结

用 BN 作为沟道间隙, 制备了石墨接触的间隙为 8 nm 的垂直短沟道 MoS_2 -FET. 该晶体管展现出了良好的开关性能, $V_{DS} = 0.1$ V 时的开态电流达到 $3.3 \mu\text{A}/\mu\text{m}$, 而关态电流 $I_{OFF} < 100$ fA, 开关比大于 10^7 , 亚阈值摆幅 $SS = 0.4$ V/dec. 从输出特性曲线可以看出, 该石墨接触的短沟道器件展现了良好的欧姆接触. 计算 DIBL 为 4.5, 表明该短沟道器件表现出了 SCE, 而由于我们采用石墨烯作为接触材料, 在不同源漏电压下器件的亚阈值摆幅和关态电流的变化很小, 说明该短沟道器件没有源极到漏极的直接隧穿, 有效抑制了源漏直接隧穿效应. 此外我们制备垂直短沟道 MoS_2 -FET 的方法同样适用于制备其他 2D 半导体短沟道晶体管. 该方法具有高稳定性和重复性, 为 2D 材料短沟道晶体管的制备提供了一种有效加工途径, 同时可以快速筛选对 SCE 具有抑制作用和适合制备高性能 FET 的 2D 材料.

参考文献

- [1] Das S, Sebastian A, Pop E, McClellan C J, Franklin A D, Grasser T, Knobloch T, Illarionov Y, Penumatcha A V, Appenzeller J, Chen Z H, Zhu W J, Asselberghs I, Li L J, Avci U E, Bhat N, Anthopoulos T D, Singh R 2021 *Nat. Electron.* **4** 786
- [2] Sakaki H, Noda T, Hirakawa K, Tanaka M, Matsusue T 1987 *Appl. Phys. Lett.* **51** 1934
- [3] Liu Y, Duan X, Shin H J, Park S, Huang Y, Duan X 2021 *Nature* **591** 43
- [4] Uchida K, Watanabe H, Kinoshita A, Koga J, Numata T, Takagi S 2002 *Experimental Study on Carrier Transport Mechanism in Ultrathin-body SOI n and p-MOSFETs with SOI Thickness Less than 5 nm* (IEEE), San Francisco, CA, USA, December 8–11 2002 p47
- [5] Fiori G, Bonaccorso F, Iannaccone G, Palacios T, Neumaier D, Seabaugh A, Banerjee S K, Colombo L 2014 *Nat. Nanotechnol.* **9** 768
- [6] Chhowalla M, Jena D, Zhang H 2016 *Nat. Rev. Mater.* **1** 16052
- [7] Akinwande D, Huyghebaert C, Wang C H, Serna M I, Goossens S, Li L J, Wong H P, Koppens F H L 2019 *Nature* **573** 507
- [8] Radisavljevic B, Radenovic A, Brivio J, Giacometti V, Kis A 2011 *Nat. Nanotechnol.* **6** 147
- [9] Desai S B, Madhvapathy S R, Sachid A B, Llinas J P, Wang Q, Ahn G H, Pitner G, Kim M J, Bokor J, Hu C, Wong H P, Javey A 2016 *Science* **354** 99
- [10] Nourbakhsh A, Zubair A, Huang S, Ling X, Dresselhaus M S, Kong J, De Gendt S, Palacios T 2015 *2015 Symposium on VLSI Technology Digests of Technical* Kyoto, Japan, June 16–18, 2015 p28
- [11] Xie L, Liao M, Wang S, Yu H, Du L, Tang J, Zhao J, Zhang J, Chen P, Lu X, Wang G, Xie G, Yang R, Shi D, Zhang G 2017 *Adv. Mater.* **29** 1702522
- [12] Lingming Y, Kausik M, Yuchen D, Han L, Heng W, Hatzistergos M, Hung P Y, Robert T, Wilman T, Chris H, Peide D Y 2014 *2014 Symposium on VLSI Technology Digest of Technical*, Honolulu, HI, USA, June 9–12, 2014 p1
- [13] Yang L, Lee R T P, Ra S S P, Tsai W, Ye P D 2015 *2015 73rd Annual Device Research Conference (DRC)*, Columbus, OH, USA, June 21–24, 2015 p237
- [14] Nourbakhsh A, Zubair A, Sajjad R N, Tavakkoli K G A, Chen W, Fang S, Ling X, Kong J, Dresselhaus M S, Kaxiras E, Berggren K K, Antoniadis D, Palacios T 2016 *Nano Lett.* **16** 7798
- [15] Xu K, Chen D, Yang F, Wang Z, Yin L, Wang F, Cheng R, Liu K, Xiong J, Liu Q, He J 2017 *Nano Lett.* **17** 1065
- [16] Liu Y, Guo J, Wu Y, Zhu E, Weiss N O, He Q, Wu H, Cheng H C, Xu Y, Shakir I, Huang Y, Duan X 2016 *Nano Lett.* **16** 6337
- [17] Cao W, Liu W, Kang J, Banerjee K 2016 *IEEE Electron Device Lett.* **37** 1497
- [18] Yang Z Y, Liu X Q, Zou X M, Wang J L, Ma C, Jiang C Z, Ho J C, Pan C F, Xiao X H, Xiong J, Liao L 2017 *Adv. Funct. Mater.* **27** 1602250
- [19] Xiao X, Chen M, Zhang J, Zhang T, Zhang L, Jin Y, Wang J, Jiang K, Fan S, Li Q 2019 *ACS Appl. Mater. Inter.* **11** 11612
- [20] Jiang J, Doan M H, Sun L, Kim H, Yu H, Joo M K, Park S H, Yang H, Duong D L, Lee Y H 2020 *Adv. Sci.* **7** 1902964
- [21] Liu Y, Guo J, Zhu E, Liao L, Lee S J, Ding M, Shakir I, Gambin V, Huang Y, Duan X 2018 *Nature* **557** 696
- [22] Kawaura H, Sakamoto T, Baba T 2000 *Appl. Phys. Lett.* **76** 3810
- [23] Kawaura H, Baba T 2003 *Jpn. J. Appl. Phys.* **42** 351
- [24] Qiu C, Liu F, Xu L, Deng B, Xiao M, Si J, Lin L, Zhang Z, Wang J, Guo H, Peng H, Peng L M 2018 *Science* **361** 387

Vertical short-channel MoS₂ field-effect transistors^{*}

Tian Jin-Peng¹⁾²⁾ Wang Shuo-Pei³⁾ Shi Dong-Xia^{1)2)†} Zhang Guang-Yu^{1)2)3)‡}

1) (*Institute of Physics, Chinese Academy of Sciences, Beijing 100190, China*)

2) (*School of Physical Sciences, University of Chinese Academy of Sciences, Beijing 100190, China*)

3) (*Songshan Lake Materials Laboratory, Dongguan 523808, China*)

(Received 18 April 2022; revised manuscript received 28 June 2022)

Abstract

Field effect transistors (FETs) based on two-dimensional (2D) materials have great potential applications in very large-scale integration technology, and high-performance short channel 2D semiconductor FETs are essential. Owing to the difficulty in obtaining channel lengths below 10 nm for 2D materials, there are few stable methods of fabricating short channel 2D semiconductor FETs. Here we report a method of stably fabricating vertical short-channel MoS₂ FETs by using graphene as the contact material and h-BN as the spacer. The 8-nm spacer transistor exhibits good switching characteristics. The on/off ratio is greater than 10⁷ and the off-state current is less than 100 fA/μm under different source-drain voltages, which are immune well to the direct source-to-drain tunneling effect. This method can be used to rapidly screen two-dimensional materials that are immune to short-channel effects and also are suitable for the fabrication of high-performance FETs.

Keywords: two-dimensional materials, MoS₂, field effect transistor, short channel effect

PACS: 85.30.-z, 85.30.De, 85.30.Tv, 85.35.-p

DOI: 10.7498/aps.71.20220738

^{*} Project supported by the Key-Area Research and Development Program of Guangdong Province, China (Grant No. 2020B0101340001) and the National Natural Science Foundation of China (Grant Nos. 61888102, 11834017).

[†] Corresponding author. E-mail: dxshi@iphy.ac.cn

[‡] Corresponding author. E-mail: gyzhang@iphy.ac.cn



垂直短沟道二硫化钼场效应晶体管

田金朋 王硕培 时东霞 张广宇

Vertical short-channel MoS₂ field-effect transistors

Tian Jin-Peng Wang Shuo-Pei Shi Dong-Xia Zhang Guang-Yu

引用信息 Citation: *Acta Physica Sinica*, 71, 218502 (2022) DOI: 10.7498/aps.71.20220738

在线阅读 View online: <https://doi.org/10.7498/aps.71.20220738>

当期内容 View table of contents: <http://wulixb.iphy.ac.cn>

您可能感兴趣的其他文章

Articles you may be interested in

短沟道金属-氧化物半导体场效应晶体管的散粒噪声模型

Shot noise model of the short channel metal-oxide-semiconductor field-effect transistor

物理学报. 2020, 69(17): 177102 <https://doi.org/10.7498/aps.69.20200497>

基于二维材料二硒化锡场效应晶体管的光电探测器

Field effect transistor photodetector based on two dimensional SnSe₂

物理学报. 2020, 69(13): 137801 <https://doi.org/10.7498/aps.69.20191960>

基于石墨烯-钙钛矿量子点场效应晶体管的光电探测器

Field effect transistor photodetector based on graphene and perovskite quantum dots

物理学报. 2018, 67(11): 118502 <https://doi.org/10.7498/aps.67.20180129>

高质量单层二硫化钼薄膜的研究进展

Research progress of high-quality monolayer MoS₂ films

物理学报. 2018, 67(12): 128103 <https://doi.org/10.7498/aps.67.20180732>

高跨导氢终端多晶金刚石长沟道场效应晶体管特性研究

Characterization of high-transconductance long-channel hydrogen-terminated polycrystal diamond field effect transistor

物理学报. 2018, 67(6): 068101 <https://doi.org/10.7498/aps.67.20171965>

单层二硫化钼的制备及在器件应用方面的研究

Cotrollable growth of monolayer MoS₂ films and their applications in devices

物理学报. 2022, 71(10): 108102 <https://doi.org/10.7498/aps.71.20212447>