

# 内嵌横向 PNP 晶体管的新型静电放电双向防护器件\*

刘静<sup>†</sup> 党跃栋 刘慧婷 赵岩

(西安理工大学电子工程系, 西安 710048)

(2022 年 4 月 26 日收到; 2022 年 7 月 6 日收到修改稿)

提出一种内嵌横向 PNP 晶体管的静电放电 (ESD) 双向防护器件 (PNP\_DDSCR). 对新结构器件在不同 ESD 应力模式下的响应过程以及电流输运机制进行研究, 内嵌横向 PNP 晶体管的引入, 提高了 DDSCR 系统内部寄生晶体管的注入效率, 促进正反馈系统建立, 同时引入两条新的电流泄放通路, 抑制电导调制效应, 提高了电流泄放能力. 结果表明, 与传统的 DDSCR 器件相比, PNP\_DDSCR 器件在传输线脉冲 (TLP) 测试仿真中触发电压下降了 31%, 维持电压提高了 16.8%, ESD 设计窗口优化 44.5%, 具有更低的导通电阻. 快速传输线脉冲 (VF-TLP) 测试仿真结果表明, 新结构器件对瞬态过冲电压有更好的钳位能力, 同时保持了较大的开启速度, 在 VF-TLP 应力 0.1 A 时, PNP\_DDSCR 器件的过冲电压仅为 DDSCR 器件的 37%.

**关键词:** 静电防护, 触发电压, 维持电压

**PACS:** 85.30.-z, 73.61.Cw, 85.30.De

**DOI:** 10.7498/aps.71.20220824

## 1 引言

随着集成电路特征尺寸的不断缩小, 静电放电 (electro static discharge, ESD) 所引起芯片可靠性问题越来越不可忽视<sup>[1-3]</sup>. 双向可控硅 (dual directional silicon controlled rectifier, DDSCR) 是一种具有双向静电防护能力的半导体器件, 它具有单位面积鲁棒性强、导通电阻低等优点, 在集成电路领域得到广泛应用<sup>[4]</sup>. 然而随着现代集成电路工艺水平的发展, 常规 DDSCR 存在以下问题限制其 ESD 防护能力进一步提高: 第一, DDSCR 阱区掺杂浓度低 (通常为  $1 \times 10^{17} \text{ cm}^{-3}$  左右), 导致触发电压较高<sup>[5-7]</sup>; 第二, 传统 DDSCR 在触发后, 寄生的 NPN 和 PNP 双极晶体管形成正反馈, 加剧了大注入下的电导调制效应, 维持电压较低<sup>[8-10]</sup>; 第三, DDSCR 电流泄放路径较长, 导致瞬态过冲电

压较高<sup>[11,12]</sup>.

业界普遍采用增加额外高掺杂层或者寄生 MOS 结构降低触发电压<sup>[13,14]</sup>, 但会带来鲁棒性降低以及泄漏电流增大的问题, 影响器件的可靠性<sup>[15]</sup>. 对于提高维持电压, 一般采用寄生结构增加电流泄放通路的方法, 但会增加版图面积且无法解决触发电压较大的问题<sup>[16]</sup>. 上述技术手段在一定程度上提高了 DDSCR 器件的 ESD 防护水平, 但不能从根本上解决各项性能指标之间的矛盾<sup>[17,18]</sup>. 因此, 为了满足现代集成电路对于 ESD 防护器件的高要求, 提出一种综合性能更优的新型 ESD 防护器件是一个亟待解决的问题<sup>[19]</sup>.

本文基于 0.18  $\mu\text{m}$  CMOS 工艺对传统 DDSCR 器件在不同 ESD 应力模式下的响应过程以及电流输运机制进行研究, 提出内嵌横向 PNP 型双极晶体管的 DDSCR 结构 (PNP\_DDSCR). 对新结构器件与传统 DDSCR 器件内部的正反馈建立机制

\* 陕西省重点研发计划 (批准号: 2022GY-016) 资助的课题.

<sup>†</sup> 通信作者. E-mail: jingliu@xaut.edu.cn

及电导调制效应进行对比分析. PNP\_DDSCR 不仅可以提供辅助触发电流, 使得正反馈机制更容易建立, 同时引入两条新的电流泄放通路抽取过剩载流子, 抑制电导调制效应. 新结构中内嵌晶体管使得电流泄放路径更短, 体电阻更低, 电流泄放能力提升的同时对瞬态过冲电压有更好的钳位能力.

## 2 器件结构及电流输运机制

PNP\_DDSCR 器件的剖面结构如图 1(a) 所示, 对应的等效电路如图 1(b). 传统 DDSCR 剖面图与等效电路图分别如图 2(a), (b) 所示. 传统 DDSCR 器件从下到上依次为 P 型衬底、N 型埋层, 并列排布厚度为  $1\ \mu\text{m}$  的 N 型阱区和 P 型阱区, 采用浅沟槽隔离厚度为  $0.1\ \mu\text{m}$  的  $\text{N}^+$  区和 P 区. 传统 DDSCR 器件阱区掺杂浓度低, 正反馈的建立依赖于阱区反偏 PN 结的雪崩效应, 触发电压较高. 器件导通后, 雪崩效应增大了电导调制效应,

器件内部仅存在一条电流泄放通路抽取过剩载流子, 导致维持电压较低, 电流泄放能力弱. 与传统结构不同的是, PNP\_DDSCR 器件在中间 N 阱中嵌入两个 P 区, 与 N 阱区构成内嵌横向 PNP 型双极晶体管, 其中两个 P 区分别与 T1 端子和 T2 端子相连. 内嵌 PNP 结构在器件触发时提供辅助触发电流, 促进正反馈建立, 降低触发电压, 器件导通后引入新的电流泄放通路抽取过剩载流子, 提高器件的电流泄放能力, 提高维持电压.

PNP\_DDSCR 新结构器件中, 当 ESD 应力作用于 T1 端子时, 内嵌 PNP 晶体管率先导通, 与 T1 端子相连的 P 区充当发射区, 向 PNP\_DDSCR 的中间 N 阱注入载流子, 此时该结构中存在  $\text{N\_Well/P}^+$  与  $\text{N\_Well/P\_Well}$  两个反偏 PN 结. 随着 T1 端子的 ESD 应力进一步增大, 反偏 PN 结发生雪崩击穿后, 形成图 1(a) 中的 3 条电流泄放路径 (通路 1、通路 2、通路 3). 通路 1 为 T1 端  $\text{P}^+$  区和 P 阱、N 阱、T2 端 P 阱、T2 端  $\text{N}^+$  区构成的

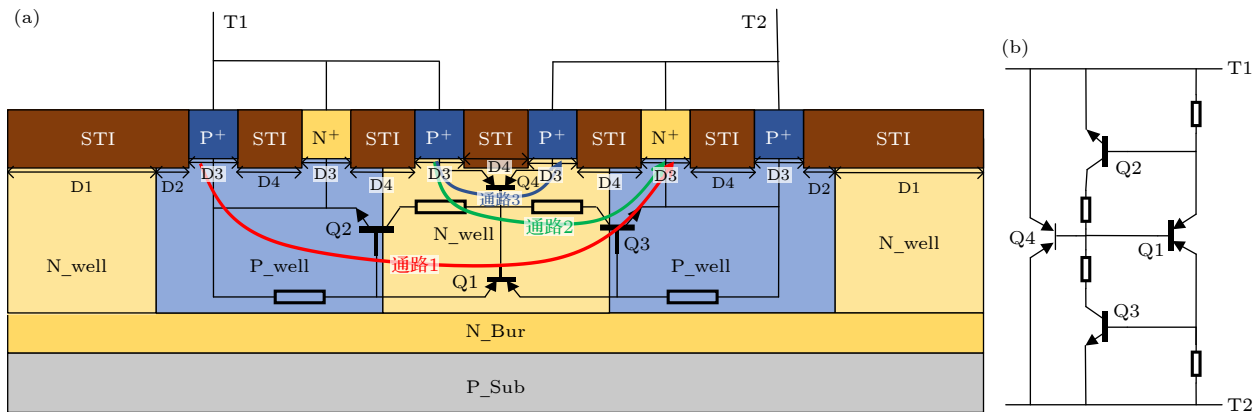


图 1 PNP\_DDSCR 器件结构剖面图与等效电路图

Fig. 1. Structural cross-section and equivalent circuit diagram of PNP\_DDSCR device.

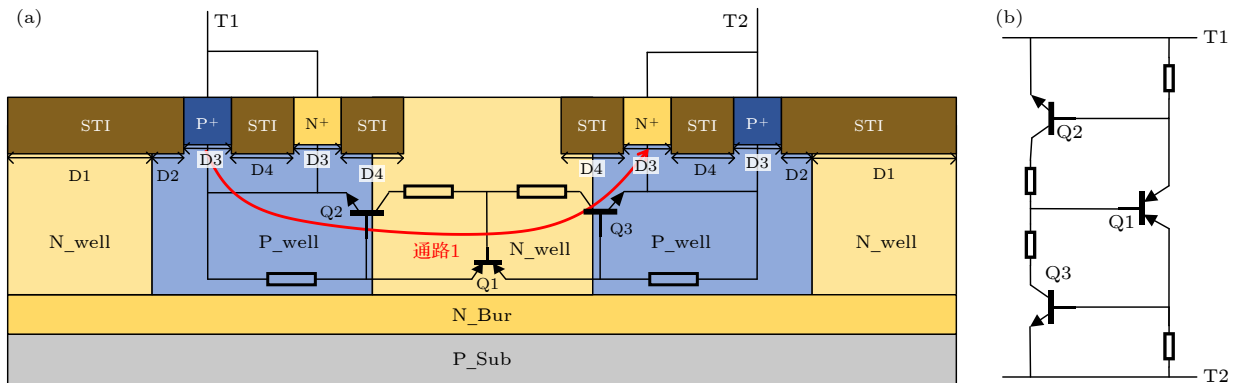


图 2 DDSCR 器件结构剖面图与等效电路图

Fig. 2. Structural cross-section and equivalent circuit diagram of DDSCR device.

主 SCR 通路; 通路 2 为 T1 端内嵌 P+区、N 阱、T2 端 P 阱、T2 端 N+区构成的寄生 SCR 通路; 通路 3 为内嵌 PNP 晶体管通路. 由于 PNP\_DDSCR 中内嵌 PNP 晶体管直接连通 T1 端子和 T2 端子, 在器件工作时提供触发电流, 辅助 SCR 结构触发, 降低触发电压. 在整个系统导通以后, 存在 3 条电流泄放路径抽取过剩载流子, 削弱电导调制效应, 提高电流泄放效率, 器件保持良好的电压钳位能力. PNP\_DDSCR 器件的结构和电学特性具有高度对称性, 当 ESD 应力作用于 T2 端子时, 器件的电流运输机制与上述分析一致.

3 ESD 特性分析

PNP\_DDSCR 具有触发电压低, 维持电压高, 瞬态过冲电压低等特点, 为进一步评估 PNP\_DDSCR 器件的 ESD 防护能力, 本文对 PNP\_DDSCR 器件与传统 DDSCR 器件进行了传输线 (transmission line pulse, TLP) 仿真测试、快速传输线脉冲 (very fast TLP, VF-TLP) 仿真测试的对比分析. 仿真测试中, 选用的仿真模型主要包括费米模型、禁带变窄模型、迁移率退化模型、雪崩模型、SRH(Shockley-Read-Hall) 复合模型、俄歇复合模型、热力学模型、analytic TEP 模型等, 数值计算采用 Newton, Bank-Rose, ParDiSo, NaturalBoxMethode 等方法. 器件的关键尺寸如表 1 所示, 两种器件的各区域掺杂浓度完全一致, 具体参数如表 2 所示.

表 1 PNP\_DDSCR 的关键尺寸表  
Table 1. Critical dimensions of PNP\_DDSCR.

名称	尺寸/ $\mu\text{m}$	
	DDSCR	PNP_DDSCR
D1	1.6	1.6
D2	0.3	0.3
D3	1.0	1.0
D4	0.6	0.6

表 2 掺杂浓度参数表  
Table 2. Doping profile.

区域(Layer)	掺杂类型	掺杂浓度/ $\text{cm}^{-3}$
P_Sub	Boron	$1 \times 10^{16}$
N_Bur	Phosphorus	$1 \times 10^{19}$
P_Well	Boron	$1 \times 10^{17}$
N_Well	Phosphorus	$1 \times 10^{17}$
N <sup>+</sup>	Phosphorus	$1 \times 10^{20}$
P <sup>+</sup>	Boron	$1 \times 10^{20}$

3.1 准静态电学特性分析

人体放电模型 (human body model, HBM) 防护能力是 ESD 防护设计中需要满足的基础指标, TLP 脉冲仿真测试能够有效衡量器件的 HBM 防护能力<sup>[20]</sup>. 如图 3 所示为 PNP\_DDSCR 器件和传统 DDSCR 的 TLP 脉冲仿真测试结果, 其中第一象限为 ESD 应力作用于 T1 端子 (正向) 的情况, 第三象限为 ESD 应力作用于 T2 端子 (负向) 的情况. 由图 3 可以看出, PNP\_DDSCR 的触发电压为 11.6 V, 相比 DDSCR 的 16.8 V 降低约 31%, PNP\_DDSCR 的维持电压相比传统 DDSCR 由 3.71 V 提升至 4.33 V, 提升约 16.8%, ESD 设计窗口优化 44.5%. 上述结果表明, 新结构器件可以同时降低触发电压, 提升维持电压, 具有更好的 HBM 防护性能.

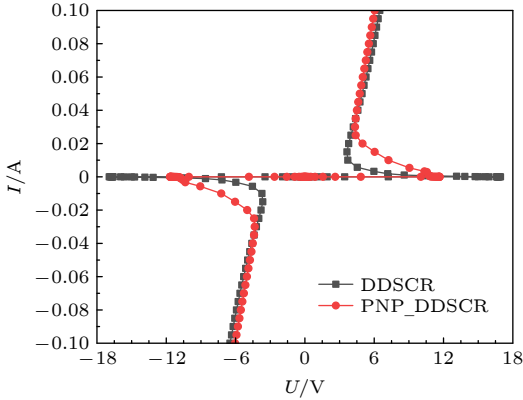


图 3 DDSCR 与 PNP\_DDSCR 的 TLP 仿真测试  $I$ - $V$  曲线对比  
Fig. 3. Comparison of TLP simulation test  $I$ - $V$  curves between DDSCR and PNP\_DDSCR.

内嵌 PNP 晶体管在 PNP\_DDSCR 器件 ESD 防护中发挥关键作用. 图 4 给出了内嵌 PNP 晶体管工作时的电流传输示意图.

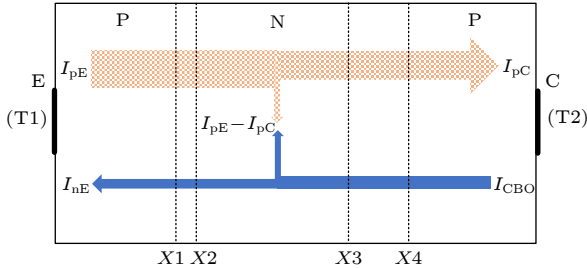


图 4 内嵌 PNP 晶体管电流传输示意图  
Fig. 4. Schematic diagram of embedded PNP transistor current transmission.

PNP\_DDSCR 器件正向工作时, 内嵌 PNP 晶体管发射结正偏, 空穴注入基区, 在基区边扩散边复合, 到达集电结边界后, 被集电结电场扫入集电区, 形成集电极电流. 同时, 基区多子电子以及被集电结电场从集电区抽取到基区的电子, 一部分与基区积累的空穴复合, 另一部分注入到发射区被 T1 端子收集, 基极开路时这些电子流流动形成的  $I_{CBO}$  相当于  $I_B$ , 根据双极晶体管电流公式<sup>[21]</sup>:

$$I_{pC} = \beta_0 I_B = \beta_0 I_{CBO}, \quad (1)$$

$$I_C = I_{pC} + I_{CBO} = (\beta_0 + 1) I_{CBO}, \quad (2)$$

其中  $\beta_0$  是晶体管的共射极直流电流放大系数. PNP\_DDSCR 器件正向开启时, 内嵌 PNP 晶体管的发射区注入 N 阱区的载流子受到电场力的作用, 一部分流向内嵌 PNP 晶体管的集电区被 T2 端子收集, 另一部分到达 N 阱/P 阱反偏结的边缘被电场扫进 P 阱, 电流流过产生压降, 促进正反馈通路建立. 而 SCR 的开启 (触发) 电压  $V_{BF}$  为<sup>[21]</sup>

$$V_{BF} = V_B [1 - (\alpha_1 + \alpha_2)]^{1/n}, \quad (3)$$

其中  $n$  为常数,  $V_B$  是阱区反偏结的击穿电压,  $\alpha_1$  和  $\alpha_2$  分别为 SCR 正反馈系统中两个晶体管的共基极直流电流放大系数. 由 (3) 式可得, SCR 的开启电压要低于内部 PN 结的雪崩击穿电压. 传统 DDSCR 器件的  $\alpha_1 + \alpha_2$  很小, 导致触发电压较高, 本文提出的 PNP\_DDSCR 器件中内嵌 P<sup>+</sup>区和 P 阱区共同向 N 阱区注入载流子, 增大了晶体管的注入效率, 即  $\alpha_1 + \alpha_2$  增大, 因此 PNP\_DDSCR 具有较低的触发电压.

抑制电导调制效应是 SCR 提高维持电压的关键. DDSCR 开启后, 为了保持 SCR 路径导通, 环路增益应满足<sup>[22]</sup>

$$\beta_{PNP} \times \beta_{NPN} \geq 1. \quad (4)$$

为了削弱电导调制效应, PNP\_DDSCR 器件引入两条新的电流泄放路径, 大量载流子被分离在主体 SCR 通路外, 使该路径上的寄生三极管的增益大大降低. 为了保持 SCR 通路的正常导通, 该路径上载流子浓度应趋于保持稳定, 满足环路增益的条件, 在阱区反偏 PN 结处将有更高的电场激发更多的雪崩载流子, 需要更高的外偏压. 这是 PNP\_DDSCR 维持电压提升的原因.

图 5 是 PNP\_DDSCR 器件 T1 端子分别施

加  $2 \times 10^{-7}$  A 和  $3 \times 10^{-7}$  A 应力 TLP 电流时的电压响应. SCR 主体路径还没有开启, 内嵌 PNP 通路逐渐导通, 器件仍处于高阻值状态. 在该状态下, 随着脉冲幅值的增加, 器件两端电压响应逐步增加, 器件内部碰撞电离明显增强, 主要集中在寄生 PNP 晶体管的集电结与阱区反偏 PN 结处, 共同产生过剩载流子, 如图 6(a), (b) 所示. 图 7(a), (b) 分别为 PNP\_DDSCR 器件 T1 端子分别施加  $2 \times 10^{-7}$  A 和  $3 \times 10^{-7}$  A 应力 TLP 电流时的电流密度分布图. 内嵌 PNP 晶体管是主要的电流泄放通路, 且电流密度随着脉冲幅值的增加而增加, 这里产生的电流流过 N 阱区的电阻产生压降, 作用于

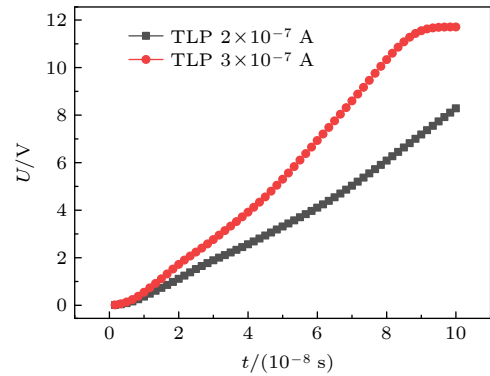


图 5 PNP\_DDSCR 器件 T1 端子施加不同应力 TLP 电流时的电压响应

Fig. 5. Voltage response of PNP\_DDSCR device T1 terminal when TLP current with different stress is applied.

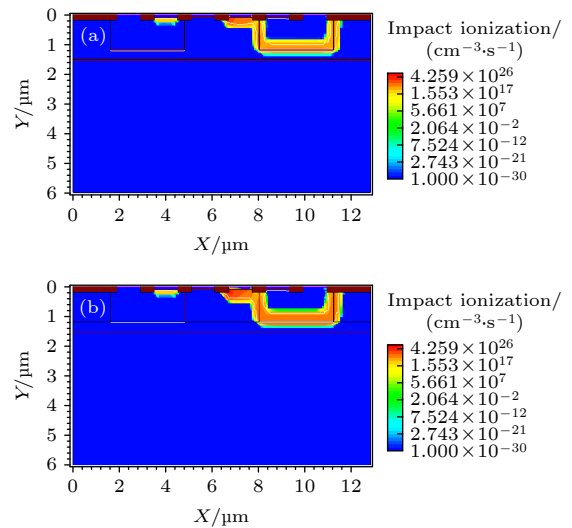


图 6 PNP\_DDSCR 器件碰撞电离分布图 (a) T1 端子应力为  $2 \times 10^{-7}$  A TLP 电流; (b) T1 端子应力为  $3 \times 10^{-7}$  A TLP 电流

Fig. 6. Impact ionization distribution diagram of PNP\_DDSCR device: (a) T1 terminal stress is  $2 \times 10^{-7}$  A TLP current; (b) T1 terminal stress is  $3 \times 10^{-7}$  A TLP current.



主 SCR 与寄生 SCR 中的 PNP 晶体管的发射结, 加速 PNP 管导通, 进一步促进 SCR 结构开启. 因此 PNP\_DDSCR 具有较低的触发电压.

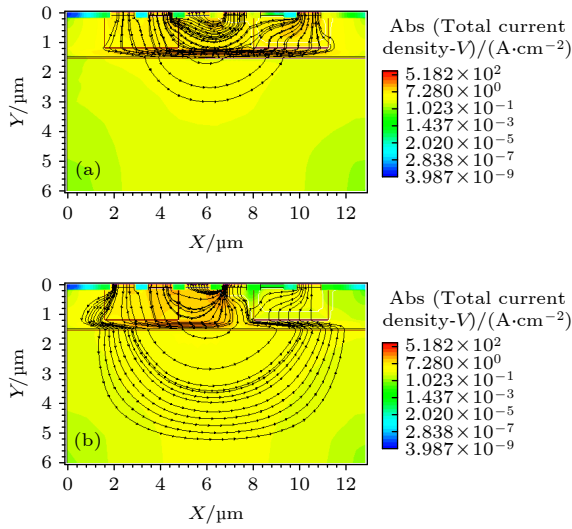


图 7 PNP\_DDSCR 器件电流密度分布图 (a) T1 端子应力为  $2 \times 10^{-7}$  A TLP 电流; (b) T1 端子应力为  $3 \times 10^{-7}$  A TLP 电流

Fig. 7. Current density distribution diagram of PNP\_DDSCR device: (a) T1 terminal stress is  $2 \times 10^{-7}$  A TLP current; (b) T1 terminal stress is  $3 \times 10^{-7}$  A TLP current.

当 PNP\_DDSCR 器件内部的寄生晶体管都开启后, 随着内部主 SCR 结构与寄生 SCR 结构系统中的晶体管逐渐达到饱和状态, PNP\_DDSCR 器件两端电压降低到最小值, 即维持电压. 维持电压的大小取决于电导调制效应的强弱, 器件触发后, 碰撞电离产生大量过剩载流子, 传统 DDSCR 仅有 1 条泄放通路, 电流泄放效率低, 不利于维持电压的提升. 但 PNP\_DDSCR 有 3 条泄放通路共同抽取过剩载流子, 抑制电导调制作用, 为了满足环路增益, 需要更高的外偏压. 因此 PNP\_DDSCR 具有高于传统 DDSCR 的维持电压.

图 8(a), (b) 分别是 DDSCR 器件与 PNP\_DDSCR 器件 T1 端子应力为 0.08 A TLP 电流的电流密度分布图. 在该应力强度下, 两种器件都完全开启, 相比 DDSCR 器件, PNP\_DDSCR 器件多条电流泄放路径共同作用, 电流密度分布范围广泛, 导通电阻更低, 准静态  $I-V$  特性曲线泄放过程中斜率更大.

图 9 是 DDSCR 器件与 PNP\_DDSCR 器件 T1 端子 TLP 电流脉冲应力为 2.68 A 时最高温度随时间变化过程对比图. 传统 DDSCR 器件最高温

度随时间升高, 在最终时刻达到极大值 (930 K), 如图 10 所示, 最热点位置位于阱区反偏 PN 结附近.

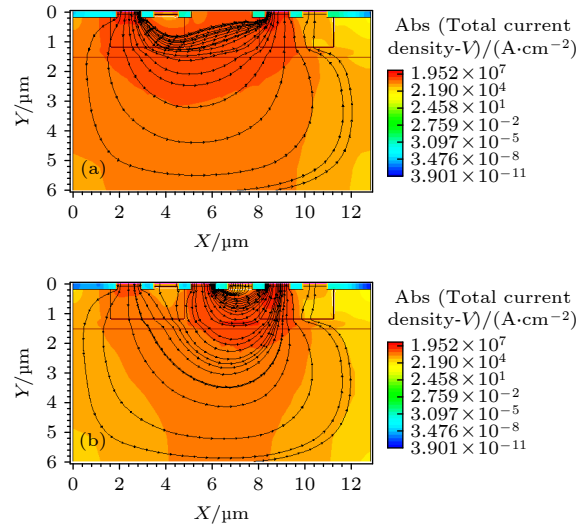


图 8 T1 端子应力为 0.08 A TLP 电流的电流密度分布图 (a) DDSCR 器件电流密度分布图; (b) PNP\_DDSCR 器件电流密度分布图

Fig. 8. Current density distribution diagram of 0.08 A TLP current at T1 terminal: (a) Current density distribution diagram of DDSCR device; (b) current density distribution diagram of PNP\_DDSCR device.

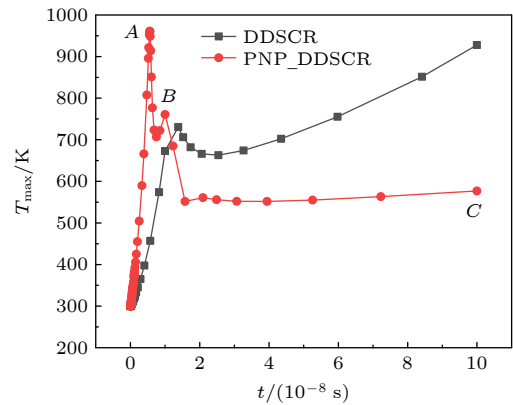


图 9 T1 端子应力为 2.68 A TLP 电流的最高温度随时间的变化过程对比图

Fig. 9. The temperature changing processes with time for T1 TLP stress of 2.68 A.

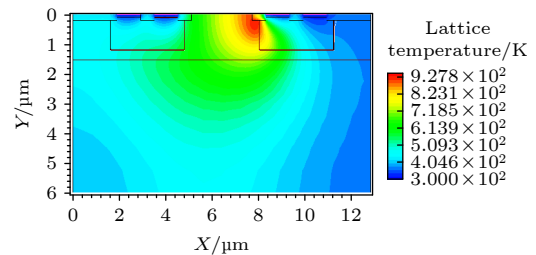


图 10 DDSCR 器件温度分布图

Fig. 10. Temperature distribution diagram of DDSCR device.

PNP\_DDSCR 器件开启过程中, 最高温度随时间的变化存在两个极值 (952 K, 760 K), 而后下降, 最后平稳上升. 图 11 是 PNP\_DDSCR 器件导通过程中不同时刻的温度分布图. 当 TLP 脉冲作用于 PNP\_DDSCR 器件 T1 端子时, 内嵌 PNP 晶体管路径优先开启, 导致该路径上出现电流拥挤, 最高温度快速达到极大值, 最热点位于内嵌 PNP 晶体管的集电结附近. 随着 SCR 路径的逐步开启, 电流分布范围扩大, 最热点开始发生转移, 该过程中出现第 2 个极值, 当 SCR 路径完全开启后, 最热点转移至阱区反偏 PN 结附近, 由于 PNP\_DDSCR 器件具有多条电流泄放路径, 电流拥挤程度远低于传统 DDSCR 器件, 随着脉冲时间的延长, SCR 路径完全开启后, 阱区反偏 PN 结附近的最热点温度增加缓慢.

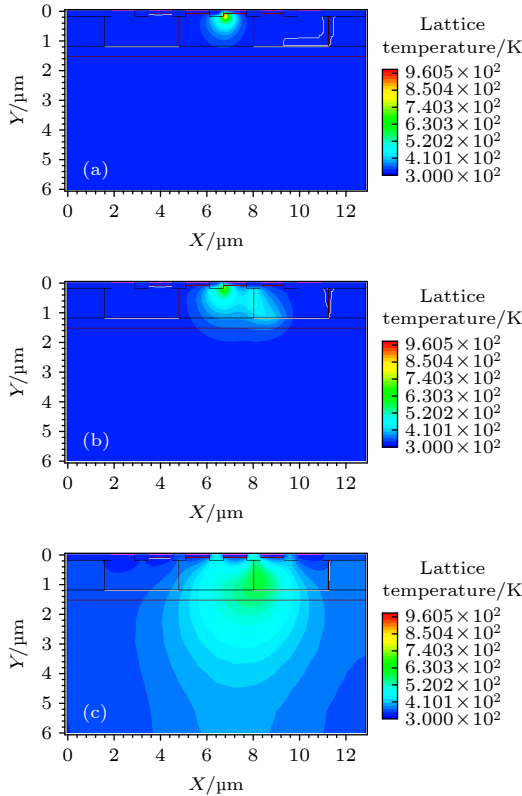


图 11 图 9 中三点 PNP\_DDSCR 器件导通过程温度分布图 (a) A 点; (b) B 点; (c) C 点

Fig. 11. Temperature distribution of PNP\_DDSCR device at different point in Fig.9: (a) Point A; (b) point B; (c) point C.

图 12 是 DDSCR 器件与 PNP\_DDSCR 器件 T1 端子 TLP 脉冲应力强度为 2.68 A 时的单位面积平均温度随时间的变化过程对比图, 整个开启

过程中, PNP\_DDSCR 器件的平均温度都低于传统 DDSCR 器件, 随着脉冲时间的增加, 平均温度的差值进一步扩大. PNP\_DDSCR 器件中的寄生结构导致快速出现温度极值, 但在器件完全导通后由于多条电流泄放路径的共同作用, 器件具有较强的散热能力.

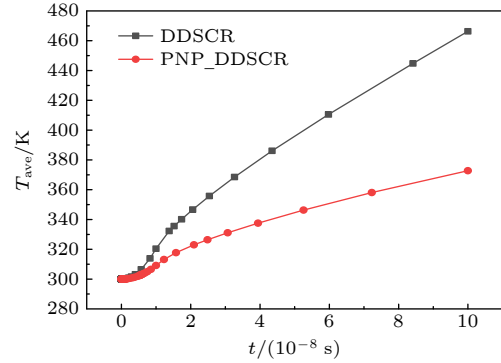


图 12 T1 端子应力为 2.68 A TLP 电流的单位面积平均温度随时间的变化过程对比图

Fig. 12. The change processes of average temperature per unit area with time when T1 TLP stress is 2.68 A.

### 3.2 瞬态开启特性分析

充电器件模型 (charged device model, CDM) 放电时间极短, 一般为 ns 级别. VF-TLP 脉冲仿真测试能够有效衡量器件的 CDM 防护能力, 其中瞬态过冲电压和开启速度是关键指标 [23].

图 13 是 PNP\_DDSCR 和 DDSCR 在 VF-TLP 仿真测试下的电流-过冲电压曲线 (正向). PNP\_DDSCR 触发路径上的寄生电阻更小, 实现了比传统 DDSCR 更低的瞬态过冲电压, 随着 VF-TLP 电流脉冲幅值的增大, 过冲电压的差值进一步扩大.

图 14 为 DDSCR 和 PNP\_DDSCR 在 VF-TLP 电流为 0.1 A 时的瞬态电压响应过程. 由图 14 可得 PNP\_DDSCR 的瞬态过冲电压比 DDSCR 低了将近 30 V, 与图 13 中显示的一致. 由两种器件电压响应过程可知, PNP\_DDSCR 与 DDSCR 恢复到稳态的时间相近, 保持了较快的开启速度. 两种器件在该电流强度下不同时间点的电势分布图, 如图 15 所示.  $1 \times 10^{-10}$  s 时刻两种器件 T1 端子电势同时达到峰值, 但差值明显, 与 DDSCR 器件 T1 端子电势 46.41 V 相比, PNP\_DDSCR 此时 T1 端子电势仅为 17.16 V, 下降了 63%; 在  $8 \times 10^{-9}$  s 时刻, 器件均完全开启, T1 端子电势差值减小, 都恢复到较低的值, 进入稳定状态.

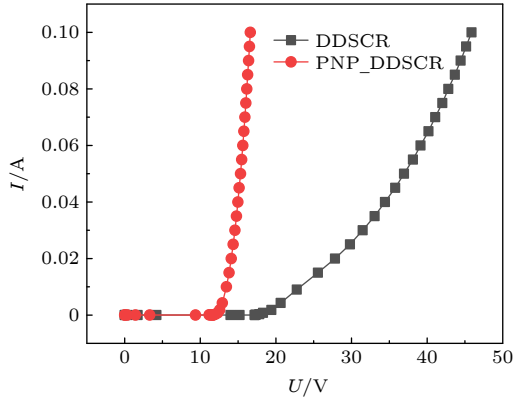


图 13 电流-过冲电压曲线对比图

Fig. 13. Comparison of current-overshoot voltage curve.

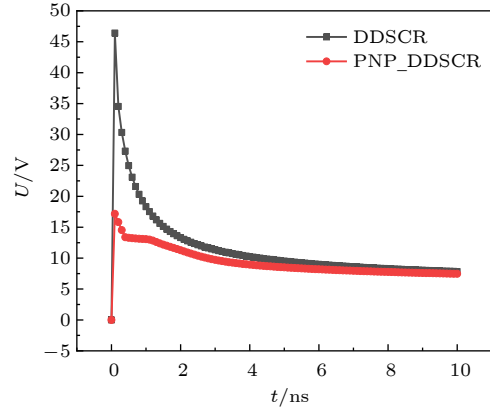
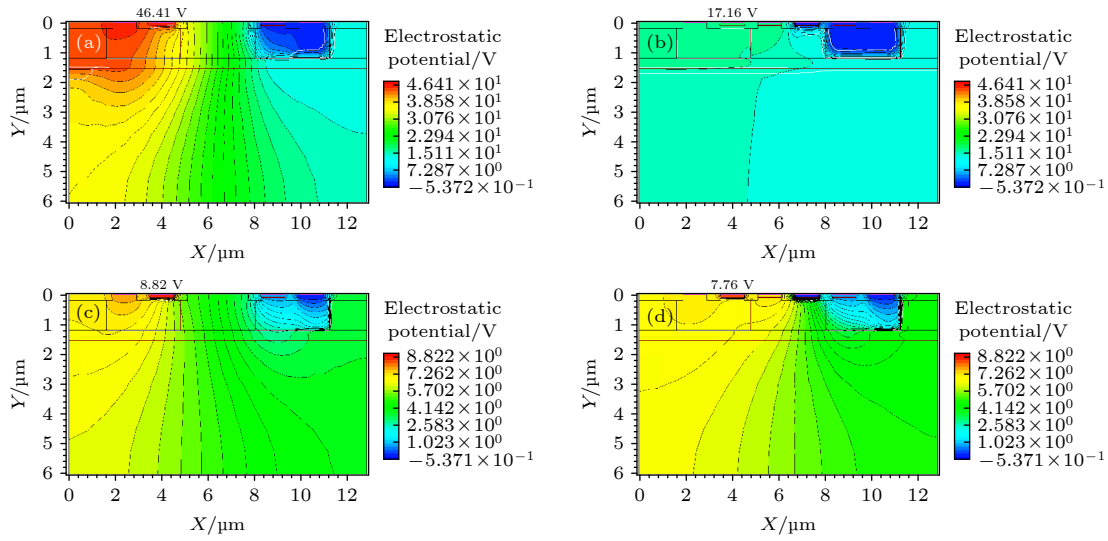


图 14 0.1 A VF-TLP 响应过程对比图

Fig. 14. Comparison of VF-TLP response process at 0.1 A.

图 15 0.1 A VF-TLP 脉冲强度不同时刻电势分布图 (a)  $1 \times 10^{-10}$  s 时刻 DDSCR 电势分布图; (b)  $1 \times 10^{-10}$  s 时刻 PNP\_DDSCR 电势分布图; (c)  $8 \times 10^{-9}$  s 时刻 DDSCR 电势分布图; (d)  $8 \times 10^{-9}$  s 时刻 PNP\_DDSCR 电势分布图Fig. 15. Potential distribution diagram of 0.1 A VF-TLP pulse intensity at different times: (a) DDSCR potential distribution diagram at  $1 \times 10^{-10}$  s; (b) potential distribution diagram of PNP\_DDSCR at  $1 \times 10^{-10}$  s; (c) DDSCR potential distribution diagram at  $8 \times 10^{-9}$  s; (d) potential distribution diagram of PNP\_DDSCR at  $8 \times 10^{-9}$  s.

综上所述, PNP\_DDSCR 器件在保持较快开启速度的前提下对过冲电压有更好的钳位能力, 在 CDM 防护模式下同样具有较强的保护能力。

## 4 结 论

基于传统 DDSCR 结构, 提出一种内嵌横向 PNP 晶体管的 ESD 双向防护器件 (PNP\_DDSCR), 内嵌横向 PNP 晶体管的引入促进了 SCR 系统中正反馈通路的建立, 抑制电导调制效应, 降低寄生电阻. 对比分析了新结构器件与传统 DDSCR 器件在不同 ESD 应力模式下的响应过程以及电流输运机制. TLP 脉冲测试结果表明, 内嵌 PNP 晶体管

结构在器件触发时提供辅助触发电流, 降低触发电压, 在器件开启后, 引入两条新的电流泄放通路, 抑制电导调制效应的同时提高了电流泄放能力; VF-TLP 脉冲测试结果表明, PNP\_DDSCR 器件触发路径上的寄生电阻更小, 对瞬态过冲电压有更好的钳位能力, 同时保持了较快的开启速度。

## 参考文献

- [1] Zhou Z J, Jin X L 2017 *IEEE Electrical Design of Advanced Packaging and Systems Symposium (EDAPS)* Hangzhou, China, December 14-16, 2017 p1
- [2] Do K I, Lee B S, Chae H G, Seo J J, Koo Y S 2018 *2nd European Conference on Electrical Engineering and Computer Science (EECS)* Bern, Switzerland, December

- 20–22, 2018 p524
- [3] Zhou Z J, Jin X L, Wang Y, Dong P 2019 *IEEE 13th International Conference on ASIC (ASICON)* Chongqing, China, October 29th–November 1st, 2019 p1
- [4] Du F B, Liu Z W, Liu J Z, Wang J, Liou J J 2019 *IEEE Trans. Device Mater. Rel.* **19** 169
- [5] Da W L, Gijs d R, Wei J T, Theo S, Albert J H 2018 *IEEE Electron Device Lett.* **39** 331
- [6] Do K I, Lee B S, Koo Y S 2019 *IEEE J. Electron Dev.* **7** 601
- [7] Do K I, Song B B, Koo Y S 2020 *IEEE Trans. Electron Dev.* **67** 5020
- [8] Zhu L, Liang H L, Gu X F, Xu J 2020 *Chin. Phys. B* **29** 652
- [9] Qi Z, Qiao M, He Y T, Zhang B 2017 *Chin. Phys. B* **26** 350
- [10] Huang C Y, Chen Q K, Chi J F, Huang T H 2021 *IEEE Trans. Device Mater. Rel.* **21** 64
- [11] Du F B, Hou F, Song W Q, Chen L, Nie Y L, Qing Y H, Xu Y C, Liu J Z, Liu Z W, Liou J J 2020 *IEEE Trans. Electron Dev.* **67** 576
- [12] Du F B, Chang K C, Lin X N, Hou F, Zhang Y X, Han A R, Luo X, Liu Z W 2022 *IEEE Trans. Electron Dev.* **69** 3490
- [13] Do K I, Koo Y S 2020 *IEEE J. Electron Dev.* **8** 635
- [14] Wu M, Chen Z J 2021 *9th International Symposium on Next Generation Electronics (ISNE)* Changsha, China, July 9–11, 2021 p1
- [15] Zeng J, Dong S R, Liou J J, Han Y, Zhong L, Wang W H 2015 *IEEE Trans. Electron Dev.* **62** 606
- [16] Du F B, Jiang G J, Huang M C, Zou K P, Hou F, Song W Q, Liu J Z, Xiong X L, Hou L L, Liu Z W, Liou J J 2021 *IEEE Trans. Electron Dev.* **68** 6338
- [17] Liu J Z, Liu Y L, Han A R, Nie Y L, Huang Q P, Liu Z W 2022 *IEEE Trans. Electron Dev.* **69** 2534
- [18] Zhou Z J, Jin X L, Wang Y, Dong P 2021 *Chin. Phys. B* **30** 610
- [19] Wang Y, Jin X L, Peng Y, Luo J, Yang J, Zheng Z W, Jiang L Y, Zhong Z Y 2021 *IEEE J. Emerg. Sel. Topics Power Electron.* **9** 994
- [20] De R, Gijs 2018 *IEEE J. Electron Devices Soc.* **6** 1097
- [21] Simon M, Kork K(translated by Geng L, Zhang R Z) 2008 *Physics of Semiconductor Devices* (3rd Ed.) (Xi'an: Xi'an Jiaotong University Press) pp187–201, 415–434(in Chinese) [施敏, 伍国珏 著 (耿莉, 张瑞智 译) 2008 半导体器件物理 (第3版) (西安: 西安交通大学出版社) 第187—201, 415—434页]
- [22] Josef L, Heinrich S, Uwe S, Rik D D (translated by Bian K, Yang Y, Liu J, Jiang R Z) 2019 *Semiconductor Power Devices: Physics, Characteristics, Reliability* (2nd Ed.) (Beijing: China Machine Press) pp248–254 (in Chinese) [约瑟夫 L, 海因里希 S, 乌维 S, 里克 D D著 (卞抗, 杨莹, 刘静, 蒋荣舟 译) 2019 功率半导体器件-原理、特性和可靠性 (第2版) (北京: 机械工业出版社) 第248—254页]
- [23] Chen Q, Ma R, Zhang W, Lu F, Wang C K, Liang O, Zhang F L, Li C, Tang H, Xie Y H, Wang A 2016 *IEEE Trans. Electron Dev.* **63** 3205



# Novel dual-direction electrostatic discharge device with lateral PNP transistor\*

Liu Jing<sup>†</sup> Dang Yue-Dong Liu Hui-Ting Zhao Yan

(Department of Electronic Engineering, Xi'an University of Technology, Xi'an 710048, China)

( Received 26 April 2022; revised manuscript received 6 July 2022 )

## Abstract

With the shrinking of semiconductor technology and the increasing of integrated circuits, electrostatic discharge (ESD) as a common natural phenomenon has become one of the main reasons for the failure and reliability reduction of electronic products in integrated circuits. A novel dual-direction ESD device (PNP\_DDSCR) with embedded lateral PNP transistor is proposed for diminishing ESD damage. The response process and current transportation of PNP\_DDSCR under different ESD stress modes are investigated. Comparative analyses between conventional DDSCR and PNP\_DDSCR are executed by TCAD simulation. On the stage of device triggering, the embedded lateral PNP transistor inner DDSCR system provides triggering current for device. The injection efficiency of parasitic transistor in the DDSCR system is improved, and the positive feedback system is promoted. Thus, the holding voltage of PNP\_DDSCR is higher than that of conventional DDSCR. At the same time, an extra triggering path introduced by embedded lateral PNP transistor of PNP\_DDSCR makes the total triggering path of device shorten. Therefore, the transient overshoot voltage of PNP\_DDSCR is lower than that of DDSCR. For thermal performance, most of the heat first accumulates near the lateral PNP transistor, and then the peak point of heat turns to main SCR path with the conduction of PNP\_DDSCR. The heat accumulation in PNP\_DDSCR is shared by the path of embedded lateral PNP transistor. As a result, the average temperature in PNP\_DDSCR is lower than that in DDSCR and the ability of PNP\_DDSCR to dissipate heat is more perfect. Comparing with DDSCR, the conclusions are obtained. Under the condition of transmission line pulse (TLP) test simulation analyses, the triggering voltage is reduced by 31%, the holding voltage is increased by 16.8%, the ESD design window is optimized by 44.5%, and on-resistance is lower. When TLP stress is 2.67 A, the average temperature of PNP\_DDSCR is much lower than that of traditional DDSCR in the whole conduction process. With the increase of pulse lasting time, average temperature difference between two devices becomes great further. According to the very fast TLP (VF-TLP) testing results, clamping capability of PNP\_DDSCR under transient overshoot voltage is more stable under the condition of fast turn-on speed. When the VF-TLP stress is 0.1 A, the overshoot voltage of PNP\_DDSCR device is the 37% of that of DDSCR device while the PNP\_DDSCR maintains a relatively fast triggering speed. Thus, the ESD protection capability of PNP\_DDSCR is superior.

**Keywords:** electrostatic protection, trigger voltage, holding voltage

**PACS:** 85.30.-z, 73.61.Cw, 85.30.De

**DOI:** 10.7498/aps.71.20220824

\* Project supported by the Key Research and Development of Shaanxi Province, China (Grant No. 2022GY-016).

<sup>†</sup> Corresponding author. E-mail: [jingliu@xaut.edu.cn](mailto:jingliu@xaut.edu.cn)

## 内嵌横向PNP晶体管的新型静电放电双向防护器件

刘静 党跃栋 刘慧婷 赵岩

### Novel dual-direction electrostatic discharge device with lateral PNP transistor

Liu Jing Dang Yue-Dong Liu Hui-Ting Zhao Yan

引用信息 Citation: *Acta Physica Sinica*, 71, 238501 (2022) DOI: 10.7498/aps.71.20220824

在线阅读 View online: <https://doi.org/10.7498/aps.71.20220824>

当期内容 View table of contents: <http://wulixb.iphy.ac.cn>

## 您可能感兴趣的其他文章

### Articles you may be interested in

#### 高温对MOSFET ESD防护器件维持特性的影响

Effect of high-temperature on holding characteristics in MOSFET ESD protecting device

物理学报. 2022, 71(12): 128501 <https://doi.org/10.7498/aps.71.20220172>

#### InGaZnO薄膜晶体管背板的层间Cu互连静电保护研究

Electro-static discharge protection analysis and design optimization of interlayer Cu interconnection in InGaZnO thin film transistor backplane

物理学报. 2019, 68(15): 158501 <https://doi.org/10.7498/aps.68.20190646>

#### 一种能够改善鲁棒性的新型4H-SiC ESD防护器件

A novel 4H-SiC ESD protection device with improved robustness

物理学报. 2022, 71(19): 198501 <https://doi.org/10.7498/aps.71.20220879>

#### pH敏感有机电化学晶体管 $I$ - $V$ 特性及其电压依赖性

$I$ - $V$  characteristics and voltage dependence of pH-sensitive organic electrochemical transistors

物理学报. 2022, 71(13): 138501 <https://doi.org/10.7498/aps.71.20220241>

#### 电荷耦合效应对高耐压沟槽栅极超势垒整流器击穿电压的影响

Effect of charge coupling on breakdown voltage of high voltage trench-gate-type super barrier rectifier

物理学报. 2021, 70(6): 067301 <https://doi.org/10.7498/aps.70.20201558>

#### 基于变化静电场的非接触式摩擦纳米发电机设计与研究

Design and research of non-contact triboelectric nanogenerator based on changing electrostatic field

物理学报. 2020, 69(23): 230201 <https://doi.org/10.7498/aps.69.20201052>