

# 180 nm 嵌入式闪存工艺中高压 NMOS 器件工艺加固技术

陈晓亮<sup>†</sup> 孙伟锋

(东南大学电子科学与工程学院, 国家专用集成电路系统工程技术研究中心, 南京 211189)

(2022 年 6 月 13 日收到; 2022 年 7 月 27 日收到修改稿)

抗辐射嵌入式闪存工艺在航空航天领域应用广泛, 其中高压 NMOS 器件对总剂量辐射效应最敏感, 对该器件进行加固是提高芯片抗辐射能力的关键之一. 本文采用浅槽隔离(STI)场区离子注入工艺对 180 nm 嵌入式闪存工艺中的高压 NMOS 器件进行加固, 实验结果表明该加固器件存在两个主要问题: 1) 浅槽刻蚀后进行离子注入, 后续热工艺较多, 存在显著的杂质再分布效应, 导致 STI 侧壁离子浓度降低, 经过  $1 \times 10^5$  rad ( $1 \text{ rad} = 10^{-2} \text{ Gy}$ )(Si) 辐照后, 器件因漏电流增大而无法关断; 2) 加固离子注入降低了漏区 PN 结击穿电压, 不能满足实际应用需求. 为解决上述问题, 本文提出了一种新型部分沟道离子注入加固方案. 该方案调整加固离子注入工艺至热预算较多的栅氧工艺之后, 减弱了离子再分布效应. 另外, 仅在 STI 边缘的沟道中部进行离子注入, 不影响漏击穿电压. 采用本方案对高压 NMOS 器件进行总剂量工艺加固, 不改变器件的条形栅设计, 对器件电学参数影响较小, 与通用工艺兼容性好. 测试结果表明, 器件经过  $1.5 \times 10^5$  rad (Si) 总剂量辐照后, 关态漏电流保持在  $10^{-12} \text{ A}$  左右, 这比传统的 STI 场区离子注入加固方案降低了 5 个数量级.

**关键词:** 总剂量辐射效应, 工艺加固, 高压器件, 嵌入式闪存

**PACS:** 61.80.-x, 85.30.-z, 07.87.+v

**DOI:** 10.7498/aps.71.20221172

## 1 引言

现代航天技术的发展需要抗辐射半导体器件和芯片技术的支撑, 其中基于嵌入式闪存工艺的微控制器和现场可编程门阵列芯片应用广泛. 研制这类芯片需要嵌入式闪存 (embedded flash, eFlash) 工艺. 闪存单元的编程和擦除操作需要较高的电压, 所以 eFlash 工艺通常都提供工作电压为 5 V 的高压器件来处理这些高压信号. 研究表明, 二氧化硅中辐射产生电荷的累积量与电场强度相关<sup>[1,2]</sup>. 高压器件的氧化硅积累电荷量最大, 并且其沟道掺杂浓度相对较低, 在 eFlash 工艺中对总剂量效应最敏感, 是实施抗辐射加固的关键点之一<sup>[3-7]</sup>.

辐射对半导体器件的影响源于其在氧化硅中

产生并积累电荷. 如图 1 所示, 当栅极为高电势时, 迁移率较高的电子在电场作用下迅速被栅极抽离, 而空穴只能通过与氧化硅中的浅能级陷阱作用, 缓慢向硅和二氧化硅界面移动. 在此过程中, 一部分

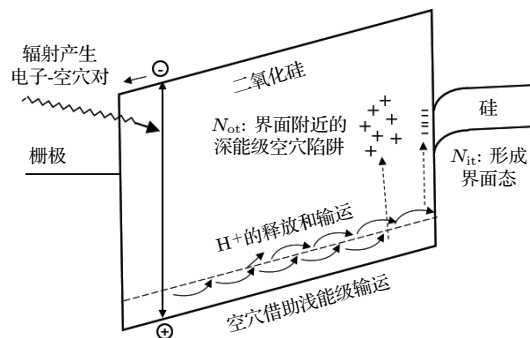


图 1 MOS 结构中辐照产生和积累电荷能带示意图<sup>[8]</sup>

Fig. 1. Band diagram of radiation induced charge generation and accumulation in MOS structure<sup>[8]</sup>.

<sup>†</sup> 通信作者. E-mail: four\_1@126.com

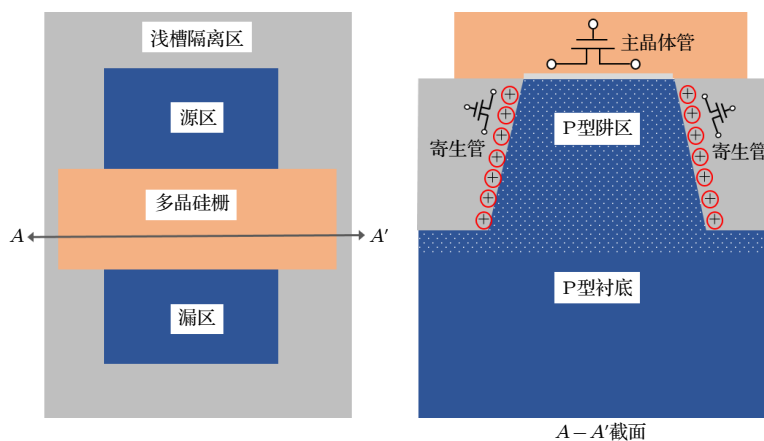


图 2 辐射导致的 STI 侧壁寄生 NMOS 示意图

Fig. 2. Schematic of radiation induced parasitic NMOS at STI sidewall.

空穴被氧化硅深能级陷阱俘获形成固定电荷, 另一部分在氢键作用下在硅和二氧化硅界面形成界面态<sup>[8]</sup>. 深亚微米工艺中, 栅氧化层厚度一般小于 20 nm, 总剂量效应产生的电荷易与通过衬底隧穿进入氧化硅的电子中和, 对器件的影响基本可以忽略. 浅槽隔离 (shallow trench isolation, STI) 氧化硅厚度通常大于 300 nm, 在辐照过程中正电荷大量积累在 STI 边缘, 这降低了 N 沟道金属氧化物半导体场效应晶体管 (N-channel MOSFET, NMOS) 边缘形成的寄生晶体管的阈值电压, 增大了 NMOS 器件关态漏电流, 其原理如图 2 所示<sup>[9–11]</sup>.

为保证芯片在辐照环境下应用的可靠性, 需要对器件进行总剂量加固. NMOS 器件的总剂量加固方式有设计加固和工艺加固两种. 设计加固通过改变版图设计减小边缘寄生器件的漏电, 包括环形栅 (或者无边缘栅) 结构<sup>[12,13]</sup>, 体反向偏置结构<sup>[14]</sup>, 虚拟栅极结构<sup>[15]</sup> 以及 L 型栅极结构等<sup>[16]</sup>. 其中, 环栅器件是常用的器件加固方法. 采用环栅结构设计的 Flash 高压器件, 在  $1.5 \times 10^5$  rad ( $1 \text{ rad} = 10^{-2} \text{ Gy}$ ) (Si) 总剂量辐照后, 漏电流相比辐照前没有明显增大<sup>[17]</sup>. 尽管环栅器件可以抑制总剂量效应, 但是其版图与通用设计不同, 这使得环栅器件主要存在两个缺点. 首先, 环栅器件面积较大, 降低了芯片的集成度. 其次, 设计过程中不能直接使用晶圆代工厂提供的工艺设计工具包、知识产权模块以及单元库等<sup>[18,19]</sup>. 这不仅提高了产品设计难度, 也延长了产品的开发周期. 工艺加固技术在通用工艺基础上对部分关键工艺进行优化以提高器件抗辐射能力. 采用工艺加固技术, 设计者使用通用的设计方案即可实现芯片抗辐射能力, 缩短了开

发周期, 降低了产品研发难度. 器件的工艺加固有两种技术路线. 第一, 通过在 STI 填充材料中引入电子复合中心, 减少其在总剂量辐射下产生的电荷总量. 例如对 STI 填充材料进行硅离子注入或使用富硅氧化硅作为填充材料, 引入硅元素形成电子-空穴复合中心, 通过减少辐照产生电荷的总量提高器件抗总剂量能力. 该技术对栅氧化硅厚度有影响, 存在一定的可靠性问题<sup>[20,21]</sup>; 第二, 优化器件工艺达到减小边缘寄生器件漏电的目的, 例如采用 STI 场区离子注入技术<sup>[22]</sup> 和超陡倒掺杂阱技术<sup>[23]</sup> 提高 STI 侧壁的掺杂离子浓度, 增大边缘寄生器件的阈值电压. 在这两种技术路线中, 前者使用了不同的 STI 填充材料, 与通用工艺兼容性较差, 对器件参数及可靠性也存在较大影响. 后者只对边缘寄生器件本身进行工艺优化, 兼容性较好, 易于实现.

本文采用 STI 场区离子注入技术对 180 nm eFlash 工艺中的高压 NMOS 器件进行总剂量工艺加固, 研究了其总剂量特性, 提出了该技术在应用中存在的问题. 有针对性地提出了一种新型部分沟道离子注入解决方案, 并对其进行验证.

## 2 传统工艺加固方案和测试分析

### 2.1 STI 注入加固技术和实验方案

本研究首先采用传统的 STI 场区离子注入技术对 180 nm eFlash 工艺中的 5 V NMOS 器件进行加固. 其原理是在 STI 有源区边缘注入 P 型离子, 提高边缘寄生管的沟道掺杂浓度, 器件版图如图 3(a) 所示. 该技术在 STI 浅槽刻蚀完成后, 生长

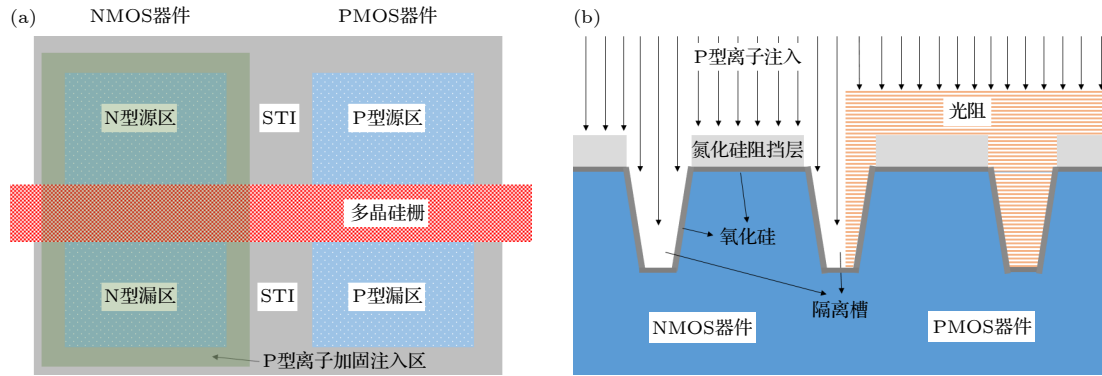


图3 传统的STI场区离子注入加固技术示意图 (a) 器件版图; (b) 工艺示意图

Fig. 3. Schematic of traditional ion implantation technology on STI field region: (a) Layout of the device; (b) diagram of the process.

15 nm 厚的 STI 线氧化层用以修复刻蚀造成的有源区损伤. 接着通过光刻工艺定义整个 NMOS 区域为 P 型加固离子注入窗口, PMOS 器件区域则被光刻胶掩蔽. 在 STI 隔离氧化硅填充之前进行场区加固离子注入, 工艺示意如图 3(b) 所示. 为减小对主 NMOS 器件的影响, 用氮化硅作为 NMOS 有源区的注入阻挡层, 只对 STI 侧壁和底部进行离子注入.

测试的器件宽长比  $W/L = 10 \mu\text{m}/0.55 \mu\text{m}$ , 栅氧厚度为 16 nm. 制作的样品加固注入实验条件如表 1 所示. 其中样品 #1 为对照组, 采用通用的 eFlash 工艺, 不进行离子注入加固; 样品 #2 和 #3 都采用场区离子注入加固技术, 注入杂质为铟 (In), 其剂量分别为  $5 \times 10^{13} \text{ cm}^{-2}$  和  $8 \times 10^{13} \text{ cm}^{-2}$ , 能量均为 120 keV, 后续与阱注入离子共同退火激活. 除此以外, 其他工艺流程与样品 #1 完全相同. 总剂量辐射实验采用  $^{60}\text{Co}$   $\gamma$  射线, 剂量率固定为 50 rad(Si)/s, 辐照过程中器件为开态偏置 (栅极电压为 5 V, 其余端口接地). 对辐射实验前以及总剂量分别为  $5 \times 10^4 \text{ rad(Si)}$ ,  $1 \times 10^5 \text{ rad(Si)}$  和  $1.5 \times 10^5 \text{ rad(Si)}$  时器件的  $V_G$ - $I_D$  特性曲线进行测试, 测试时漏端电压  $V_D$  为 5 V.

表 1 STI 场区离子注入实验分片方案  
Table 1. Split condition of ion implantation for experiment.

样品	STI场区离子加固注入	
	能量/keV	剂量/ $\text{cm}^{-2}$
#1	120	0
#2	120	$5 \times 10^{13}$
#3	120	$8 \times 10^{13}$

## 2.2 总剂量实验测试结果与分析

辐射实验前测试 3 个样品的关态漏电流均为

$10^{-12} \text{ A}$  左右. 分别对样品 #1, #2 和 #3 进行总剂量辐照实验, 辐照后的  $V_G$ - $I_D$  特性曲线如图 4 所示. 图 4(a) 表明, 未经 STI 场区加固注入的样品 #1 经过  $5 \times 10^4 \text{ rad(Si)}$  总剂量辐照后, 关态漏电流急剧增大到超过  $10 \mu\text{A}$ , 器件无法关断. 再继续增大辐照总剂量, 器件关态漏电流趋于饱和, 说明边缘寄生管已处于强反型状态. 如图 4(b) 和图 4(c) 所示, 同样经过  $5 \times 10^4 \text{ rad(Si)}$  总剂量辐照后, 采用 STI 场区离子注入加固的器件关态漏电流随加固注入离子剂量的增大而降低, 样品 #2 和 #3 的漏电流分别比样品 #1 低 1 个数量级和 2 个数量级. 经过  $1 \times 10^5 \text{ rad(Si)}$  和  $1.5 \times 10^5 \text{ rad(Si)}$  总剂量辐照后也得到类似的趋势. 实验结果表明, STI 场区离子注入加固技术能够提高器件的抗总剂量能力. 辐照总剂量越低时, 加固效果越显著. 加固注入剂量越高, 器件抗总剂量能力越强.

图 4 的测试结果表明, 虽然 STI 场区离子注入工艺提高了器件抗总剂量能力, 但是当辐射总剂量超过  $1 \times 10^5 \text{ rad(Si)}$  后, 器件的漏电仍然超过  $1 \mu\text{A}$ , 无法满足实际应用需求. 这是因为 STI 场区离子注入是在 STI 刻蚀完成之后进行的, 经过后续的退火和栅氧生长等热工艺过程, 掺杂离子扩散造成 STI 边缘沟道区域掺杂浓度不断下降, 最终影响加固效果. 相比逻辑工艺, eFlash 工艺中增大了 16 nm 厚的高压器件栅氧化层工艺和 9 nm 厚的存储单元隧穿氧化层工艺, 其工艺时间较长, 且温度均在  $900^\circ\text{C}$  以上, 这造成了 STI 边缘离子的再分布效应. 使用 TCAD 软件对 STI 边缘离子浓度进行了仿真分析, 仿真结构如图 5(a) 所示. 在相同 STI 场区离子注入剂量下, 对比逻辑工艺和 eFlash 工艺 STI 边缘掺杂离子的分布情况. 分别取距离表面 10 nm, 150 nm 及 300 nm 处的离子浓度分

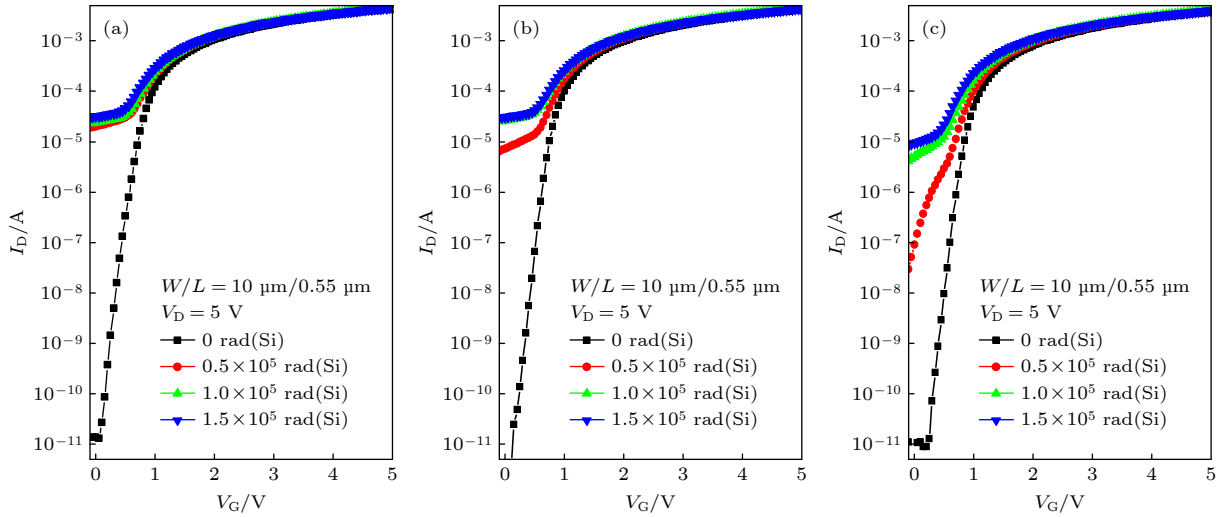


图 4 5 V NMOS 器件总剂量效应测试结果 (a) 无 STI 场区离子注入; (b) 场区离子注入剂量  $5 \times 10^{13} \text{ cm}^{-2}$ ; (c) 场区离子注入剂量  $8 \times 10^{13} \text{ cm}^{-2}$

Fig. 4. Total ionizing dose test results of 5 V NMOS device: (a) Without STI field implantation; (b) STI field implantation dose  $5 \times 10^{13} \text{ cm}^{-2}$ ; (c) STI field implantation dose  $8 \times 10^{13} \text{ cm}^{-2}$ .

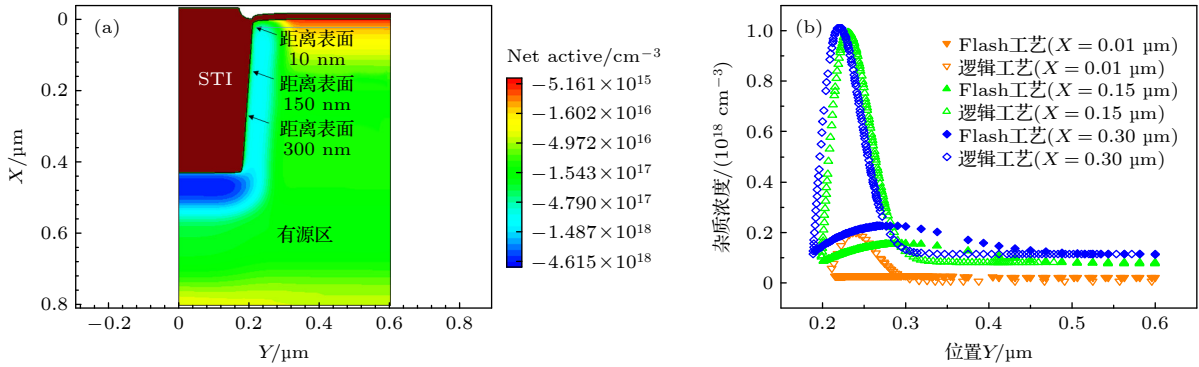


图 5 STI 边缘掺杂离子浓度仿真 (a) STI 结构中离子浓度分布图; (b) 不同工艺热预算下不同位置的离子浓度分布对比

Fig. 5. Simulation of doping concentration at STI edge region: (a) Ion distribution of STI structure; (b) doping profile comparison at various positions under different thermal budget.

布进行比较, 如图 5(b) 所示. 结果表明, 在有源区结深范围内, eFlash 工艺的 STI 边缘离子浓度低约 1 个数量级, 这影响了总剂量加固注入的效果.

### 2.3 加固工艺对漏击穿电压的影响

MOSFET 关断时, 漏区的反偏 PN 结将承受高电压. 对 NMOS 器件, 漏端 PN 结由重掺杂 N 型漏区和轻掺杂 P 型阱区组成, 能够承受的最大电压为 PN 结反向击穿电压. 漏区 PN 结可以近似为单边突变结, 击穿电压  $V_{BD}$  主要由轻掺杂一侧 (P 型阱区) 的电离杂质浓度决定, 由 (1) 式表示:

$$V_{BD} = \frac{\varepsilon_{Si} E_m^2}{2qN}, \quad (1)$$

其中  $\varepsilon_{Si}$  为硅的介电常数,  $E_m$  为硅材料能承受的最大电场,  $q$  为电子电量,  $N$  为轻掺杂一侧的电离杂质浓度.

由 (1) 式可知, 阱区的掺杂浓度越低, 器件漏击穿电压越高. 180 nm eFlash 工艺中的 5 V NMOS 器件, P 型阱区掺杂剂量为  $10^{12} \text{ cm}^{-2}$ , 而 STI 边缘的场区加固注入 P 型离子剂量为  $10^{13} \text{ cm}^{-2}$ . 加固注入比阱区掺杂剂量高 1 个数量级, 如图 6 所示, 加固离子注入在漏端 PN 结耗尽区 STI 边缘形成易击穿区.

为了验证上面的理论分析, 测试了不同 STI 场区加固注入剂量的器件的漏击穿电压. 所测器件沟道宽度为 10  $\mu\text{m}$ , 沟道长度分别为 0.55  $\mu\text{m}$  和 10  $\mu\text{m}$ . 测试时栅极、源极和体电压为 0 V, 漏端电



压从 0 V 开始以 50 mV 为单位逐渐增大, 定义漏电流为 1  $\mu\text{A}$  时的漏端电压为击穿电压. 图 7 所示测试结果表明, 两种沟道长度的器件漏击穿电压变化趋势是一致的. 未经加固注入的器件漏击穿电压高于 12 V, 随着加固注入剂量的增大, 器件漏击穿电压逐渐降低. 当加固注入剂量达到  $10^{14} \text{ cm}^{-2}$  时, 漏击穿电压低于 11 V, 电路无法正常工作.

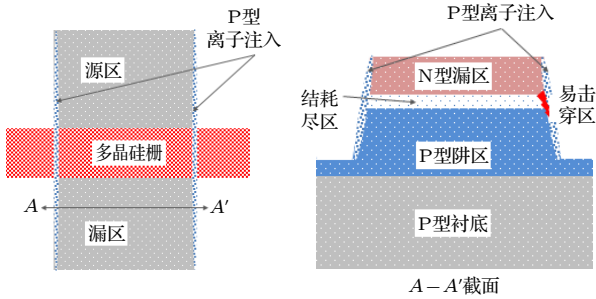


图 6 STI 场区离子注入对漏击穿电压的影响示意图

Fig. 6. Schematic of the impact of ion implantation on drain breakdown voltage.

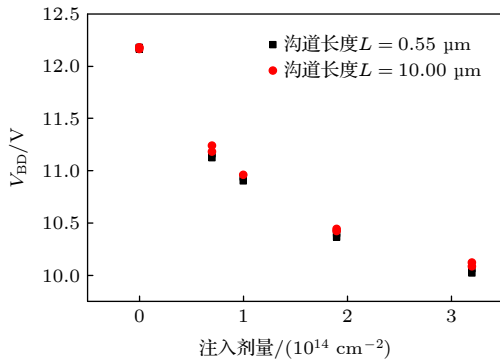


图 7 STI 场区加固注入剂量对器件漏击穿电压的影响

Fig. 7. Impact of hardening implantation dose on drain breakdown voltage.

### 3 新型总剂量加固解决方案

#### 3.1 新型部分沟道离子注入加固方案的提出

图 4 表明, 在经过总剂量  $5 \times 10^4 \text{ rad(Si)}$  辐照后, 边缘寄生器件为强反型状态, 未加固器件漏电流已超过 10  $\mu\text{A}$ . 为了避免加固注入对器件漏击穿电压的影响, 提出如图 8 所示的新型部分沟道离子注入加固方案. 在该加固方案中, STI 边缘寄生管由 3 个 NMOS 管  $N_1$ ,  $N_2$  和  $N_3$  串联组成, 其中只对  $N_2$  管沟道进行加固注入.  $N_2$  管沟道掺杂浓度最大, 阈值电压最高, 决定了边缘寄生管的漏电流.

与图 3 所示的 STI 场区离子注入加固方案相

比, 该方案主要有两方面的创新: 1) 通过光刻工艺形成如图 8 所示的加固注入窗口区, 提高沟道中部的掺杂浓度, 减小总剂量效应引起的漏电, 该注入窗口不包含漏区, 避免影响器件漏击穿电压; 2) 调整离子注入加固工艺至栅氧工艺之后, 减小 eFlash 工艺热预算造成的离子再分布效应, 提高了 STI 边缘离子浓度. 在现有工艺能力下, 加固注入窗口尺寸最小可做到  $0.25 \mu\text{m} \times 0.25 \mu\text{m}$ . 在 180 nm eFlash 工艺中, 5 V NMOS 器件最小沟道尺寸  $W/L = 0.6 \mu\text{m}/0.55 \mu\text{m}$ , 所以该技术方案可以满足高压 NMOS 器件的加固注入需求.

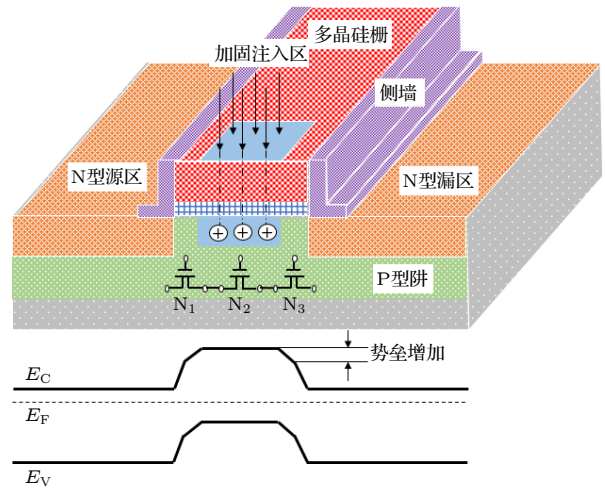


图 8 新型抗总剂量加固注入器件结构和能带图

Fig. 8. Device structure and band diagram with the new hardening ion implantation.

#### 3.2 新型加固方案测试分析

采用上述新型部分沟道离子注入加固方案的测试器件宽长比为  $W/L = 10 \mu\text{m}/0.55 \mu\text{m}$ , 工作电压为 5 V. 器件的栅氧厚度为 16 nm, 多晶硅栅厚度为 100 nm. 在淀积多晶硅栅后进行光刻和加固离子注入, 杂质为铟 (In), 未增加额外退火工艺. 样品 #4, #5 和 #6 的注入剂量分别为  $2 \times 10^{13} \text{ cm}^{-2}$ ,  $5 \times 10^{13} \text{ cm}^{-2}$  和  $8 \times 10^{13} \text{ cm}^{-2}$ , 注入能量均为 250 keV. 对器件进行总剂量  $1 \times 10^5 \text{ rad(Si)}$  和  $1.5 \times 10^5 \text{ rad(Si)}$  辐照实验, 并测试器件  $V_G - I_D$  特性, 结果如图 9 所示. 对比图 9(b) 和图 4(b) 表明, 加固离子注入剂量为  $5 \times 10^{13} \text{ cm}^{-2}$  时,  $1.5 \times 10^5 \text{ rad(Si)}$  总剂量辐照后, 采用部分沟道注入加固方案的器件漏电流为  $10^{-10} \text{ A}$  左右, 比 STI 场区离子注入加固方案低约 5 个数量级. 同时图 9 也表明, 器件抗总剂量能力随着加固离子注入剂量的增大而提高. 注入

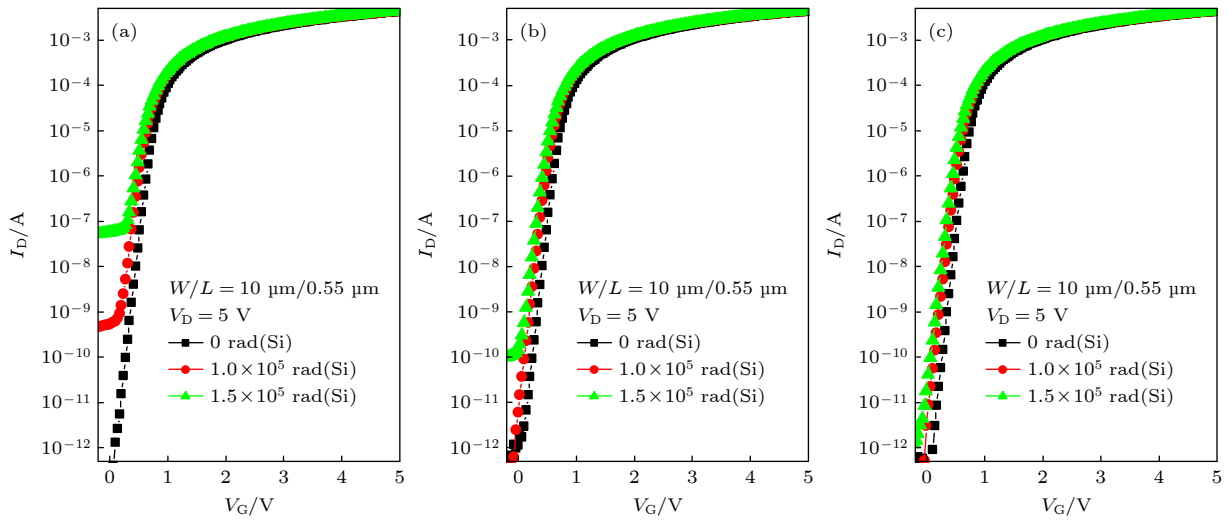


图9 采用部分沟道离子注入器件总剂量效应 (a) 加固注入剂量  $2 \times 10^{13} \text{ cm}^{-2}$ ; (b) 加固注入剂  $5 \times 10^{13} \text{ cm}^{-2}$ ; (c) 加固注入剂量  $8 \times 10^{13} \text{ cm}^{-2}$

Fig. 9. TID effect of the devices with partial channel hardened implantation: (a) Hardening implantation dose  $2 \times 10^{13} \text{ cm}^{-2}$ ; (b) hardening implantation dose  $5 \times 10^{13} \text{ cm}^{-2}$ ; (c) hardening implantation dose  $8 \times 10^{13} \text{ cm}^{-2}$ .

表2 两种注入加固方案测试结果对比

Table 2. Comparison of two total ionizing dose hardening methodology.

测试条件和参数		STI场区加固技术			部分沟道离子注入技术		
		#1	#2	#3	#4	#5	#6
辐照前	$V_T/\text{V}$	0.72	0.75	0.78	0.74	0.76	0.79
	$I_{\text{Dsat}}/(\mu\text{A} \cdot \mu\text{m}^{-1})$	428	421	431	426	433	430
	$I_{\text{off}}/(\text{pA} \cdot \mu\text{m}^{-1})$	9.7	9.5	1.4	2.0	1.1	2.2
	$B_{\text{VD}}/\text{V}$	12.2	11.4	11.1	12.1	12.2	12.1
$1 \times 10^5 \text{ rad(Si)}$ 辐照后	$V_T/\text{V}$	NA	NA	0.35	0.67	0.65	0.69
	$I_{\text{Dsat}}/(\mu\text{A} \cdot \mu\text{m}^{-1})$	448	436	445	444	449	441
	$I_{\text{off}}/(\text{pA} \cdot \mu\text{m}^{-1})$	$1.9 \times 10^7$	$2.5 \times 10^7$	$5.0 \times 10^6$	$5.3 \times 10^2$	5.9	3.0
辐照后参数变化	$\Delta V_T/\%$	—	—	-55.1	-9.5	-14.5	-12.7
	$\Delta I_{\text{Dsat}}/\%$	4.7	3.6	3.2	4.2	3.7	2.6
	$\Delta I_{\text{off}}/\%$	$1.4 \times 10^8$	$2.6 \times 10^8$	$3.6 \times 10^8$	$2.6 \times 10^5$	$4.2 \times 10^2$	36

剂量为  $8 \times 10^{13} \text{ cm}^{-2}$  时, 器件经过  $1.5 \times 10^5 \text{ rad(Si)}$  辐照后, 保持漏电流在  $10^{-12} \text{ A}$  左右的较低水平. 采用新型部分沟道离子注入加固方案的器件抗总剂量能力得到显著提升.

表2总结了 STI 场区离子注入加固技术和新型部分沟道离子注入加固技术的总剂量实验测试数据. 结果表明, 在辐照实验前器件的阈值电压 ( $V_T$ ) 随加固注入剂量的增大而略微增加, 这是由于注入杂质不可避免的进入主器件沟道区造成的; 所有样品的饱和电流 ( $I_{\text{Dsat}}$ ) 在  $420\text{--}430 \mu\text{A}/\mu\text{m}$ , 漏电流 ( $I_{\text{off}}$ ) 都在  $10 \text{ pA}/\mu\text{m}$  以下. 采用 STI 场区加固技术的器件漏击穿电压 ( $B_{\text{VD}}$ ) 受加固注入剂量影响较大, 这在前文已经具体分析过. 采用部分沟道离

子注入技术的样品的漏击穿电压则稳定在  $12 \text{ V}$  左右, 不受加固注入剂量影响. 经过  $1 \times 10^5 \text{ rad(Si)}$  总剂量辐照后, 样品#1和#2漏电流过大导致器件无法关断, 样品#3的阈值电压为  $0.35 \text{ V}$ , 比辐照前降低了  $55.1\%$ , 漏电流达到  $5 \mu\text{A}$ . 采用部分沟道离子注入技术的样品#4—#6辐照后阈值电压降低  $10\%\text{--}15\%$ , 这是栅氧总剂量效应引起的平带电压漂移造成的, 与加固注入剂量无关. 加固注入剂量为超过  $5 \times 10^{13} \text{ cm}^{-2}$  时, 辐照后仍保持漏电流在  $10 \text{ pA}/\mu\text{m}$  左右. 表2还表明, 总剂量辐照对器件饱和电流的影响较小, 无论是否采用离子加固注入, 所有样品的饱和电流在辐照后都略微增大, 幅度小于  $5\%$ .

## 4 结 论

本文研究了 180 nm eFlash 工艺中 5 V NMOS 器件的总剂量工艺加固技术. 首先采用传统的 STI 场区离子注入技术进行 5 V NMOS 总剂量加固, 结果表明该方案主要存在两个问题: 1) eFlash 工艺较多的热预算造成 STI 侧壁离子再分布, 经过  $1 \times 10^5$  rad(Si) 总剂量辐照后器件漏电流大于  $1 \mu\text{A}$ , 不能满足实际应用需求; 2) 加固离子注入提高了器件漏区衬底掺杂浓度, 降低漏击穿电压, 影响器件正常工作. 为解决上述问题, 本文提出了一种新型的部分沟道离子注入加固方案, 主要有两方面的创新: 1) 把加固离子注入工艺调整至栅氧工艺之后, 减小掺杂离子再分布效应, 提高 STI 边缘有效离子浓度; 2) 通过光刻工艺, 在 STI 边缘沟道中部形成矩形注入窗口, 加固注入不影响源漏区离子分布. 结果表明, 在相同加固注入剂量下经过  $1.5 \times 10^5$  rad(Si) 总剂量辐照后, 采用新型部分沟道离子注入技术的器件漏电流比 STI 场区注入方案低 5 个数量级以上, 器件总剂量能力得到显著提升. 有效解决了 eFlash 工艺中高压 NMOS 器件的抗总剂量能力与漏击穿电压之间的矛盾, 同时也为其他工艺中高压 NMOS 器件的抗辐射工艺加固提供参考.

## 参考文献

- [1] Barnaby H J, McLain M L, Sanchez Esqueda I, Chen X J 2009 *IEEE Trans. Circuits Syst. I* **56** 1870
- [2] Zhuo Q Q, Liu H X, Yang Z N, Cai H M, Hao Y 2012 *Acta Phys. Sin.* **61** 220702 (in Chinese) [卓青青, 刘红侠, 杨兆年, 蔡慧民, 郝跃 2012 物理学报 **61** 220702]
- [3] Zheng M Q, Liu Y, Duan C, Luo M T 2014 *12th IEEE International Conference on Solid-State and Integrated Circuit Technology* Guilin, China, October 28–31, 2014 p1
- [4] Liu Z L, Hu Z Y, Zhang Z X, Shao H, Chen M, Bi D W, Ning B X, Zou S C 2011 *Microelectron. Reliab.* **51** 1148
- [5] Hu Z Y, Liu Z L, Shao H, Zhang Z X, Ning B X, Chen M, Bi D W, Zou S C 2011 *Microelectron. Reliab.* **51** 1295
- [6] Liu Z L, Hu Z Y, Zhang Z X, Shao H, Chen M, Bi D W, Ning B X, Wang R, Zou S C 2010 *Nucl. Instrum. Methods Phys. Res. Sect. B* **268** 3498
- [7] Liu Y N, Yang Y P, Chen F G, Zhang J G, Guo R, Liang R C 2021 *Nucl. Tech.* **44** 030502 (in Chinese) [刘一宁, 杨亚鹏, 陈法国, 张建岗, 郭荣, 梁润成 2021 核技术 **44** 030502]
- [8] Schwank J R, Shaneyfelt M R, Fleetwood D M, Felix J A, Dodd P E, Paillet P, Véronique F C 2008 *IEEE Trans. Nucl. Sci.* **55** 1833
- [9] Dodd P E, Shaneyfelt M R, Schwank J R, Felix 2010 *IEEE Trans. Nucl. Sci.* **57** 1747
- [10] Wang X, Lu W, Wu X, Ma W Y, Cui J W, Liu M H, Jiang K 2014 *Acta Phys. Sin.* **22** 226101 (in Chinese) [王信, 陆妩, 吴雪, 马武英, 崔江维, 刘默寒, 姜柯 2014 物理学报 **22** 226101]
- [11] Zheng Q W, Cui J W, Wang H N, Zhou H, Yu D Z, Wei Y, Su D D 2016 *Acta Phys. Sin.* **65** 076102 (in Chinese) [郑齐文, 崔江维, 王汉宁, 周航, 余德昭, 魏莹, 苏丹丹 2016 物理学报 **65** 076102]
- [12] Giovanni B, Valentino L, Alberto S, Stefano G 2013 *Proceedings of the European Conference on Radiation and its Effects on Components and Systems* Oxford, UK, September 23–27, 2013 p1
- [13] Fan X, Li W, Li P, Zhang B, Xie X D, Wang G, Hu B, Zhai Y H 2012 *Acta Phys. Sin.* **61** 016106 (in Chinese) [范雪, 李威, 李平, 张斌, 谢小东, 王刚, 胡滨, 翟亚红 2012 物理学报 **61** 016106]
- [14] Clark L T, Mohr K C, Holbert K E 2007 *IEEE International Reliability Physics Symposium Proceedings* Phoenix, USA, April 15–19, 2007 p582
- [15] Lee M S, Lee H C 2013 *IEEE Trans. Nucl. Sci.* **60** 3084
- [16] Malik M, Prakash N R, Kumar A, Jatana H S 2022 *Silicon* **14** 3891
- [17] Dong Y, Shen M J, Liu Q 2018 *Spacecr. Environ. Eng.* **35** 468 (in Chinese) [董艺, 沈鸣杰, 刘岐 2018 航天器环境工程 **35** 468]
- [18] Chang J S, Chong K S, Shu W, Lin T, Jiang J, Lwin N K Z, Kang Y 2014 *IEEE 57th International Midwest Symposium on Circuits and Systems* College Station, USA, August 3–6, 2014 p821
- [19] Vaz P I, Both T H, Vidor F F, Brum R M, Wirth G I 2018 *J. Electron. Test.* **34** 735
- [20] Song L, Hu Z Y, Zhang M Y, Liu X N, Dai L H, Zhang Z X, Zou S C 2017 *Microelectron. Reliab.* **74** 1
- [21] Peng C, Hu Z Y, En Y F, Chen Y Q, Lei Z F, Zhang Z G, Zhang Z X, Li B 2018 *IEEE Trans. Nucl. Sci.* **65** 877
- [22] Xie R B, Wu J W, Chen H B, Li Y Y, Hong G S 2016 *J. Terahertz Sci. Electron. Inf. Technol.* **14** 805 (in Chinese) [谢儒彬, 吴建伟, 陈海波, 李艳艳, 洪根深 2016 太赫兹科学与电子信息学报 **14** 805]
- [23] Wang S H, Lu Q, Wang W H, An X, Huang R 2010 *Acta Phys. Sin.* **59** 1970 (in Chinese) [王思浩, 鲁庆, 王文华, 安霞, 黄如 2010 物理学报 **59** 1970]

# Radiation hardening by process technology for high voltage nMOSFET in 180 nm embeded flash process

Chen Xiao-Liang<sup>†</sup> Sun Wei-Feng

(National Application Specific Integrated Circuit System Engineering Research Center, School of Electronic Science & Engineering,  
Southeast University, Nanjing 211189, China)

( Received 13 June 2022; revised manuscript received 27 July 2022 )

## Abstract

Radiation-hardened embedded flash technology is widely used in aerospace field. The high voltage nMOSFET is the key device to be hardened as it is the most sensitive device to total ionizing dose (TID) effect. In this study, the shallow trench isolation (STI) sidewall implantation method is used to harden 5 V nMOSFET for 180 nm eFlash process. Through the study of the TID response of the device, two problems emerge in this hardening technology. Firstly, the hardening ions are implanted after STI trench etching, the doping profile is influenced by the following thermal process, resulting in lower doping concentration at STI edge. The device fails to work due to high leakage current after  $1 \times 10^5$  rad ( $1 \text{ rad} = 10^{-2} \text{ Gy}$ ) (Si) radiation. Secondly, the hardening ions that are implanted in drain region reduce the breakdown voltage of PN junction on the drain side. Device cannot satisfy the actual requirement in the circuit. To solve these problems, we propose a new device hardening method called partial channel ion implantation. Comparing with previous method, in order to reduce the doping redistribution effect, we adjust the hardening ion implantation to an extent after the oxidation of gate oxide. Moreover, an extra mask is introduced to determine the hardening implantation region to avoid ion implantation on the drain side of the device. Therefore, the drain breakdown voltage will not be influenced by hardening implantation. By using this new hardening technology for high voltage NMOS, the device can maintain the typical design of strip-type gate. The hardening method is compatible with general process technology and does not influence the electrical parameters of the device obviously. The results show that with the partial channel ion implantation method, the drain leakage of the device is kept at a pico-ampere level after  $1.5 \times 10^5$  rad (Si) radiation. That is five orders of magnitude lower than that obtained by using previous STI implantation hardening technology.

**Keywords:** total ionizing dose effect, radiation hardening by process, high voltage MOSFET, embedded flash

**PACS:** 61.80.-x, 85.30.-z, 07.87.+v

**DOI:** 10.7498/aps.71.20221172

<sup>†</sup> Corresponding author. E-mail: [four\\_1@126.com](mailto:four_1@126.com)



180 nm嵌入式闪存工艺中高压NMOS器件工艺加固技术

陈晓亮 孙伟锋

**Radiation hardening by process technology for high voltage nMOSFET in 180nm embeded flash process**

Chen Xiao-Liang Sun Wei-Feng

引用信息 Citation: *Acta Physica Sinica*, 71, 236102 (2022) DOI: 10.7498/aps.71.20221172

在线阅读 View online: <https://doi.org/10.7498/aps.71.20221172>

当期内容 View table of contents: <http://wulixb.iphy.ac.cn>

## 您可能感兴趣的其他文章

### Articles you may be interested in

超薄屏蔽层300 V SOI LDMOS抗电离辐射总剂量仿真研究

Simulation study on radiation hardness for total ionizing dose effect of ultra-thin shielding layer 300 V SOI LDMOS

物理学报. 2022, 71(10): 107301 <https://doi.org/10.7498/aps.71.20220041>

铁电存储器60Co  $\gamma$  射线及电子总剂量效应研究

Total ionizing dose effect of ferroelectric random access memory under Co-60 gamma rays and electrons

物理学报. 2018, 67(16): 166101 <https://doi.org/10.7498/aps.67.20180829>

新型绝缘体上硅静态随机存储器单元总剂量效应

Total ionizing dose effects on innovative silicon-on-insulator static random access memory cell

物理学报. 2019, 68(16): 168501 <https://doi.org/10.7498/aps.68.20190405>

55 nm硅-氧化硅-氮化硅-氧化硅-硅闪存单元的  $\gamma$  射线和X射线电离总剂量效应研究

Total ionizing dose effects of  $\gamma$  and X-rays on 55 nm silicon-oxide-nitride-oxide-silicon single flash memory cell

物理学报. 2019, 68(3): 038501 <https://doi.org/10.7498/aps.68.20181661>

三维数值仿真研究锗硅异质结双极晶体管总剂量效应

Three-dimensional simulation of total ionizing dose effect on SiGe heterojunction bipolar transistor

物理学报. 2022, 71(5): 058502 <https://doi.org/10.7498/aps.71.20211795>

绝缘体上硅金属氧化物半导体场效应晶体管中辐射导致的寄生效应研究

Radiation induced parasitic effect in silicon-on-insulator metal-oxide-semiconductor field-effect transistor

物理学报. 2018, 67(21): 216102 <https://doi.org/10.7498/aps.67.20181372>