

钝化层对背沟道刻蚀型 IGZO 薄膜晶体管的影响*

王琛¹⁾²⁾ 温盼²⁾ 彭聪²⁾ 徐萌²⁾ 陈龙龙²⁾ 李喜峰^{2)†} 张建华²⁾

1) (上海大学材料科学与工程学院, 上海 200444)

2) (上海大学, 新型显示技术及应用集成教育部重点实验室, 上海 200072)

(2022 年 11 月 29 日收到; 2023 年 1 月 9 日收到修改稿)

本文制备了氧化硅、聚酰亚胺以及氧化硅-聚酰亚胺堆叠结构钝化层的非晶铟镓锌氧背沟道刻蚀型薄膜晶体管. 与传统氧化硅钝化层薄膜晶体管相比, 聚酰亚胺钝化层薄膜晶体管的电学特性大幅提高, 场效应迁移率从 4.7 提升至 22.4 $\text{cm}^2/(\text{V}\cdot\text{s})$, 亚阈值摆幅从 1.6 降低至 0.28 V/decade, 电流开关比从 1.1×10^7 提升至 1.5×10^{10} , 负偏压光照稳定性下的阈值电压偏移从 -4.8 V 下降至 -0.7 V. 电学特性的改善可能是由于氢向聚酰亚胺钝化层扩散减少了背沟道的浅能级缺陷.

关键词: 非晶铟镓锌氧化物, 薄膜晶体管, 钝化层**PACS:** 73.61.Ey, 73.61.Jc, 73.61.-r**DOI:** 10.7498/aps.72.20222272

1 引言

非晶氧化物半导体 (AOS) 薄膜晶体管 (TFT) 不仅具有高场效应迁移率 (μ_{FE}) ($> 10 \text{ cm}^2/(\text{V}\cdot\text{s})$), 并且与传统非晶硅 TFT 工艺兼容, 因此已广泛应用于有源矩阵显示技术中^[1,2]. 由于源-漏电极 (SD) 图案化过程中所使用的酸性刻蚀液会对 AOS 材料产生严重的腐蚀破坏^[3], 因此通常 AOS TFT 使用刻蚀阻挡层 (ESL) 来保护有源层. 但是这为 TFT 制程额外引入了一层图形化, 增加了制造成本. 另外, SD-ESL 的层间套准造成栅极-漏极重叠区域增大, 使得沟道长度难以小于 10 μm , 并且栅极-漏极重叠电容增加^[4], 所以, 为了满足高分辨率显示技术的需求, 无刻蚀阻挡层的背沟道刻蚀型 (BCE) 结构得到广泛关注.

对于 BCE TFT, 钝化层沉积工艺能够对背沟道产生等离子体诱导损伤, 因为有源层不被保护, 所以 SD 刻蚀工艺也能够对背沟道产生损伤或

污染. 研究发现^[5,6], 由于氧化硅 (SiO_2)、氮化硅等传统无机钝化层的等离子体增强化学气相沉积 (PECVD) 使用硅烷为气源, 因此沉积工艺会引入氢杂质, 增加浅施主能级的浓度^[7]. 同时, BCE 结构的钝化层与沟道直接接触, 所以 BCE TFT 对钝化层的界面性能和阻挡氛围水氧的性能提出了更高要求^[8]. 相比之下, 聚酰亚胺 PI 钝化层无需干刻, 直接图形化, 工艺成本低^[9], 且避免氢引入对 BCE TFT 沟道的损伤^[10], 因此有机钝化层具有很高的应用潜力.

本文制备了 SiO_2 、聚酰亚胺 (PI) 和 SiO_2 -PI 堆叠结构钝化层的 BCE TFT, 并对比研究了其电学性能与稳定性.

2 实验

2.1 样品制备

图 1(a)–(c) 分别展示了 SiO_2 钝化层、 SiO_2 -PI 钝化层和 PI 钝化层 BCE TFT 阵列的光学显

* 国家自然科学基金 (批准号: 62174105, 61674101) 和上海市教育发展基金会和上海市教委 (批准号: 18SG38) 资助的课题.

† 通信作者. E-mail: lixifeng@shu.edu.cn

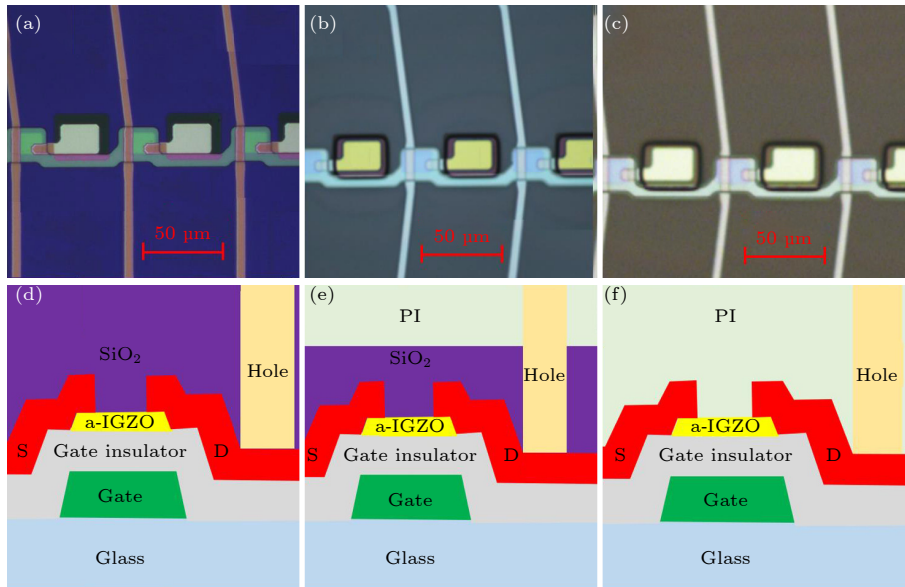


图 1 SiO₂ 钝化层 (a)、SiO₂-PI 钝化层 (b)、PI 钝化层 (c) BCE TFT 的阵列的光学显微镜俯视图; SiO₂ 钝化层 (d)、SiO₂-PI 钝化层 (e)、PI 钝化层 (f) BCE TFT 的器件结构示意图

Fig. 1. Top view of the array of BCE TFT with the passivation layer of SiO₂ (a), SiO₂-PI (b) and PI (c) taken by optical microscopy; schematic diagram of the BCE TFT with the passivation layer of SiO₂ (d), SiO₂-PI (e) and PI (f).

显微镜俯视图; 图 1(d)—(f) 分别展示了 SiO₂ 钝化层、SiO₂-PI 钝化层和 PI 钝化层 BCE TFT 的器件结构示意图. 在玻璃基板上, 利用磁控溅射工艺沉积 120 nm 厚的钼栅极, 通过通用的光刻和湿刻工艺对栅极图形化. 之后, 通过 PECVD 工艺在 350 °C 下沉积 350 nm 厚的 SiO₂-Si₃N₄ 栅绝缘层. 然后, 在 Ar 和 O₂ 的氛围下, 采用磁控溅射工艺沉积 40 nm 厚的 a-IGZO, 并通过光刻和湿刻工艺对 a-IGZO 图形化. 阵列有源层的宽 (W) 长 (L) 比为 20 μm/14 μm. 此后, 对有源层在大气环境、300 °C 下退火 1 h, 促进 a-IGZO 的结构弛豫和电学特性优化. 然后, 通过磁控溅射工艺沉积 50 nm 厚的钼 SD, SD Mo 金属电极使用 H₂O₂:NH₃:H₂O 体积比为 1:1:20 的刻蚀液在 40 °C 水浴刻蚀 35 s. 此后, 对于 SiO₂ 钝化层器件, 通过 PECVD 工艺沉积 200 nm 的 SiO₂ 钝化层, 工艺条件为硅烷 (SiH₄) 流量与笑气 (N₂O) 流量比为 1:4、基板温度 220 °C、射频功率 80 W、腔体气压 150 Pa、沉积时间 20 s—8 min. 然后, 通过干刻刻蚀对 SiO₂ 图形化; 对于 SiO₂-PI 钝化层器件, 先通过 PECVD 工艺沉积 200 nm 的 SiO₂ 钝化层, 工艺条件同上, 再通过旋涂工艺制备 2 μm 的 PI 钝化层, 通过显影液对 PI 图形化, 再通过干刻对 SiO₂ 图形化; 对于 PI 钝化层器件, 通过旋涂工艺制备 1.2 μm 的 PI 钝化层, 通过显影直

接图形化. 器件制备后, 在大气环境下 300 °C 或 380 °C 下稳定化退火 1 h.

2.2 样品表征

用 KEITHLEY 4200-SCS 半导体参数分析仪获得 TFT 的转移特性、输出特性以及偏压稳定性. 亚阈值摆幅 (SS) 取转移曲线的 $dV_g/d\log I_d$ 的最小值, 其中 V_g 为栅极电压, I_d 为漏极电流, μ_{FE} 通过饱和区域法从转移曲线提取, 阈值电压 (V_{th}) 取 $I_d = 10^{-8} W/L(A)$ 时的 V_g . 通过 ESCALAB 250xi 的 X 射线光电子能谱 (XPS) 分析背沟道的化学成键, 结合能利用 C 1s 峰 (284.5 eV) 进行校准.

3 结果与分析

图 2 为 SiO₂ 钝化层、SiO₂-PI 钝化层、PI 钝化层 BCE TFT 制备后的与 380 °C 退火后的转移特性, 以及 SiO₂ 钝化层、SiO₂-PI 钝化层、PI 钝化层 BCE TFT 在 5.0 V, 7.5 V 和 10.0 V 栅压下的输出特性. 由图 2(a), (c), (e) 可得, SiO₂ 钝化层、SiO₂-PI 钝化层、PI 钝化层 BCE TFT 的转移特性依次提升, 并且 380 °C 退火导致的特性退化的幅度依次下降. 3 类 TFT 的 μ_{FE} 分别为 4.7, 17.6 和 22.4 cm²/(V·s), SS 分别为 1.60, 0.42 和 0.28 V/decade, 电流开关比 (I_{on}/I_{off}) 分别为 1.1×10^7 , 3.8×10^8 和 1.5×10^{10} ,

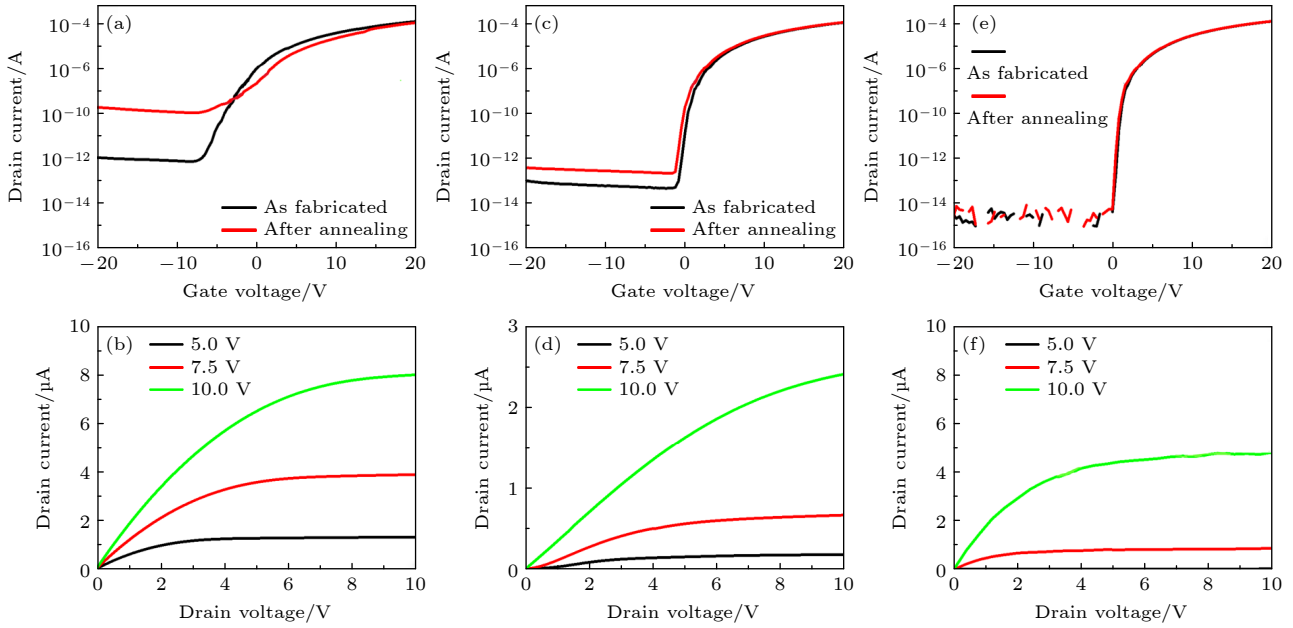


图 2 SiO₂ 钝化层 (a)、SiO₂-PI 钝化层 (c)、PI 钝化层 (e) BCE TFT 制备后的与 380 °C 退火后的转移特性; SiO₂ 钝化层 (b)、SiO₂-PI 钝化层 (d)、PI 钝化层 (f) BCE TFT 在 5.0 V, 7.5 V 和 10.0 V 栅压下的输出特性
 Fig. 2. Transfer characteristics of as-fabricated and 380 °C-annealed BCE TFT with the passivation layer of SiO₂ (a), SiO₂-PI (c) and PI (e); output characteristics under the V_g of 5.0 V, 7.5 V or 10.0 V of BCE TFT with the passivation layer of SiO₂ (b), SiO₂-PI (d) and PI (f).

V_{th} 分别为 -2.84, 0.86 和 1.23 V. 其中, 关态电流 (I_{off}) 的依次变化最为明显, 分别为 9.1×10⁻¹², 2.7×10⁻¹³ 和 6.5×10⁻¹⁵ A. 图 2(b), (d), (f) 的输出曲线也展示出使用 PI 钝化层的 BCE TFT 具有低于 SiO₂ 钝化层 TFT 的导电性.

图 3(a) 的 XPS 的 O 1s 分峰数据展示了 27% 的 O-H 含量, 说明 BCE TFT 面临着背沟道 H 含量过高的问题. 由于 PECVD 生长 SiO₂ 的主要气源是含有氢的 SiH₄, 因此无法避免 H 的引入^[6]. 此外, PECVD 沉积 SiO₂ 的成膜速率较高, 易发生杂质成键及孔隙生成, 所以, SiO₂ 薄膜自身也可能有较多的 H 含量, 并且, 已有研究表明, SiO₂、氮化硅等无机钝化层中的 H 含量能够扩散数百纳米的距离^[11]. 为了降低 H 含量, 需大幅降低 SiH₄/N₂O 的流量比例, 但是这也会造成沉积速率的快速下降, 无法满足产业高产量的需求. 除了 PECVD 可能造成背沟道的 H 杂质, 在 SD 刻蚀工艺中, 由于 BCE TFT 的背沟道没有 ESL 保护, 所以刻蚀液中的 H 离子也容易引入背沟道^[12]. 综上所述, 背沟道的 H 杂质可能来源于 SD 刻蚀工艺、PECVD 沉积工艺以及 SiO₂ 钝化层自身的扩散. 这些 H 杂质能够作为类施主缺陷态能级, 降低栅压对沟道的调制能力, 造成 SS 退化^[13]. 同时, 密度泛函理论计算表明过剩

的 H 含量在非晶金属氧化物 (AOS) 中能够形成 M—OH 键, 并释放一个自由电子^[14]. 此外, 对 AOS 材料低腐蚀性的 H₂O₂ 基刻蚀液可能会带来背沟道的钼金属残留^[15]. 因此, 背沟道的 H 杂质含量过高会造成关态电流上升, 尤其是过高的背沟道引起的非理想电导. 实际上, SiO₂ 钝化层沉积的大量 BCE TFT 器件均表现出类似结果. 退火后, SiO₂ 钝化层 BCE TFT 的关态电流进一步上升, 这可能是由于氛围中水汽以及 SiO₂ 自身所含的 H 能够进一步向背沟道扩散.

SiO₂-PI 钝化层和 PI 钝化层 BCE TFT 电学特性的依次改善, 可以用 H 向 PI 扩散的机制来解释. 已有研究表明, 对于玻璃衬底顶栅 TFT, 由于 H 难以向玻璃扩散, 所以 SiO₂ 缓冲层中的 H 对有源层单向扩散; 而对于 PI 衬底顶栅 TFT, 由于 H 易于向 PI 衬底扩散, 所以 SiO₂ 的 H 发生双向扩散, 大幅降低了有源层中的 H 含量, 此外, SiO₂ 或 Si₃N₄ 绝缘层难以阻挡有源层与 PI 之间的长距离的氢原子扩散^[16]. 在本实验中, SiO₂ 钝化层 BCE TFT 在一段时间的放置后, I_{off} 上升, PI 钝化层 BCE TFT 在一段时间的放置后, I_{off} 则下降, 同时考虑到 SiO₂ 中的 H 浓度明显高于 PI, 本文认为, 这是由于在放置时间内, H 的扩散方向相反导致的. 对

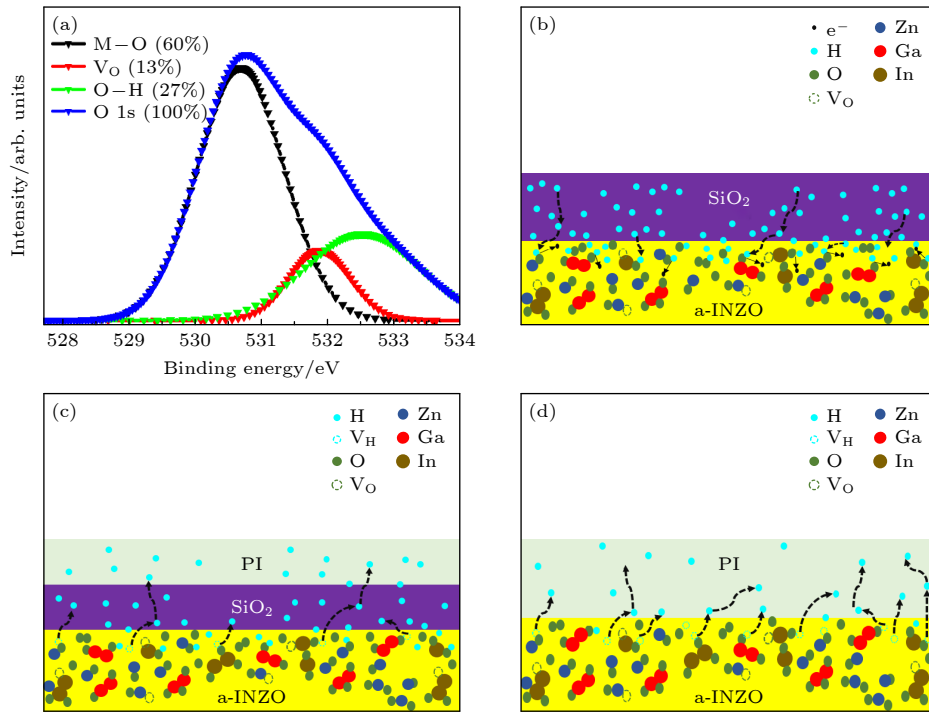


图3 背沟道的X射线光子能谱(XPS)O 1s分峰图像(a); SiO₂钝化层(b)、SiO₂-PI钝化层(c)、PI钝化层(d)BCE TFT的背沟道化学动力学过程示意图

Fig. 3. Deconvoluted O 1s spectra of back channel (a); schematic diagrams of the chemical dynamic process of the back channel of BCE TFT with the passivation layer of SiO₂ (b), SiO₂-PI (c) and PI (d).

于 SiO₂ 钝化层 BCE TFT, 在较长时间放置或 380 °C 退火处理的条件下, H 进一步向背沟道扩散; 对于 SiO₂-PI 钝化层 BCE TFT, SiO₂ 中的 H 能够向 PI 扩散, 使得 SiO₂ 自身的 H 浓度下降, 因此也促进了背沟道的 H 杂质向 SiO₂ 扩散, 所以减小了背沟道 H 杂质的浓度; 对于 PI 钝化层 BCE TFT, 能够有效避免 PECVD 工艺在背沟道引入 H 杂质以及 SiO₂ 中 H 含量的扩散, 其次, 如果 SD 刻蚀的溶液仍然造成背沟道 H 含量较高, 那么 H 也易于继续向上扩散. 这些机制被描述在图 3(b)—(d) 中. 相比于 SiO₂ 钝化层 BCE TFT, SiO₂-PI 钝化层 BCE TFT 在 380 °C 退火后的器件退化幅度显著下降, 佐证了 H 的向上扩散能够大幅降低它向下扩散的浓度. 而 PI 钝化层的 BCE TFT 在 380 °C 退火下的电学特性几乎不变化, 说明了背沟道的 H 含量更低, 并且 PI 钝化层抑制氛围水氧污染的性能好于 SiO₂. 此外, PECVD 工艺制备的 SiO₂ 对沉积表面的保型性较差, 并且 SiO₂ 材料自身的硬度较高, 这导致钝化层的上界面和下界面可能存在针孔类缺陷, 并且在热退火后易产生孔隙或内应力, 这既会增大背沟道漏电流, 也不利于钝化层阻隔氛围水氧的性能. 由于 PI 钝化层是柔性较大的

高分子材料, 所以具有良好的表面覆盖性以及热应力的缓冲性能, 能够减少几何形貌导致的背沟道缺陷^[17]. 这些优势都有助于进一步降低背沟道的漏电流, 因此, 在一段时间的放置后, PI 钝化层 BCE TFT 展现出极好的关态性能, I_{off} 最终下降到 10⁻¹⁴ A 以下. 值得注意的是, 具有更低 H 含量的 PI 钝化层器件也展示出了更高的迁移率. 有研究表明, 氢能够钝化氧空位及前沟道界面缺陷, 从而提升迁移率^[18], 本文认为, 对于 BCE 结构器件, IGZO 的磁控溅射、栅绝缘层的氢扩散以及器件的 300 °C 退火也实现了一定的氢含量和前沟道的钝化作用, 同时, PI 钝化层器件又避免了背沟道更加过量的氢浓度和杂质散射, 因此迁移率得到进一步提升.

图 4 给出了 SiO₂ 钝化层 BCE TFT 和 PI 钝化层 BCE TFT 的正偏压稳定性、负偏压稳定性及负偏压光照稳定性. 对于 NBS, SiO₂ 钝化层 TFT 的 ΔV_{th} 为 -2.3 V, 可能是由于 SiO₂ 中以间隙 (H_i) 或空位 (H₀) 形式存在的 H 具有正电性^[7,19], 在负栅压下被吸引至背沟道界面, 产生扫描效应; 对于 PBS, SiO₂ 钝化层 TFT 改善为 ΔV_{th}=1.1 V, 这是由于在正栅压下正电性 H 杂质难以在背沟道集聚; 对于 NBIS, 在 3600 s 负偏压和 10000 lm 底部光

照下, SiO₂ 钝化层 TFT 的 ΔV_{th} 进一步恶化为 -4.8 V, 这是由于光照激发了 H₁ 或 H₀ 的断键和迁移 [20].

PI 钝化层 TFT 的稳定性总体上明显优于 SiO₂ 钝化层 TFT, 这是由于 PI 的 H 杂质更少.

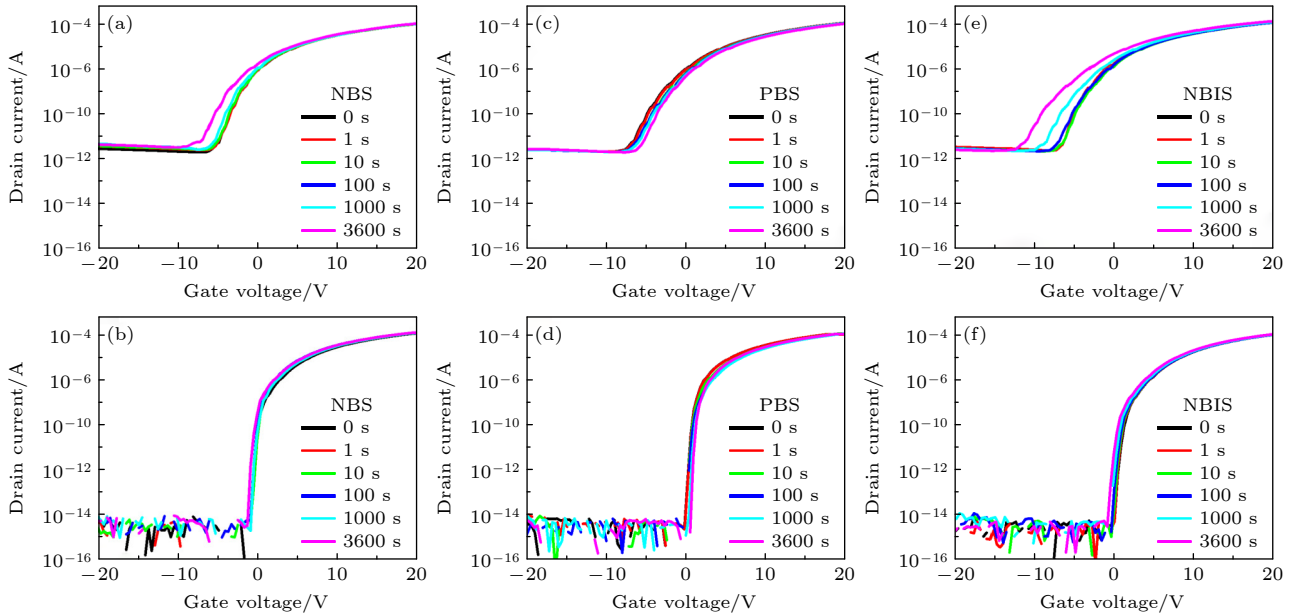


图 4 偏压稳定性, $V_g = \pm 20$ V, $V_d = 0.1$ V SiO₂ 钝化层 (a) 或 PI 钝化层 (b) BCE TFT 的负偏压稳定性 (NBS); SiO₂ 钝化层 (c) 或 PI 钝化层 (d) BCE TFT 的正偏压稳定性 (PBS); SiO₂ 钝化层 (e) 或 PI 钝化层 (f) BCE TFT 的负偏压光照稳定性 (NBIS)

Fig. 4. Bias stability, $V_g = \pm 20$ V, $V_d = 0.1$ V: NBS of BCE TFT with the passivation layer of SiO₂ (a) and PI (b); PBS of BCE TFT with the passivation layer of SiO₂ (c) and PI (d); NBIS of BCE TFT with the passivation layer of SiO₂ (e) and PI (f).

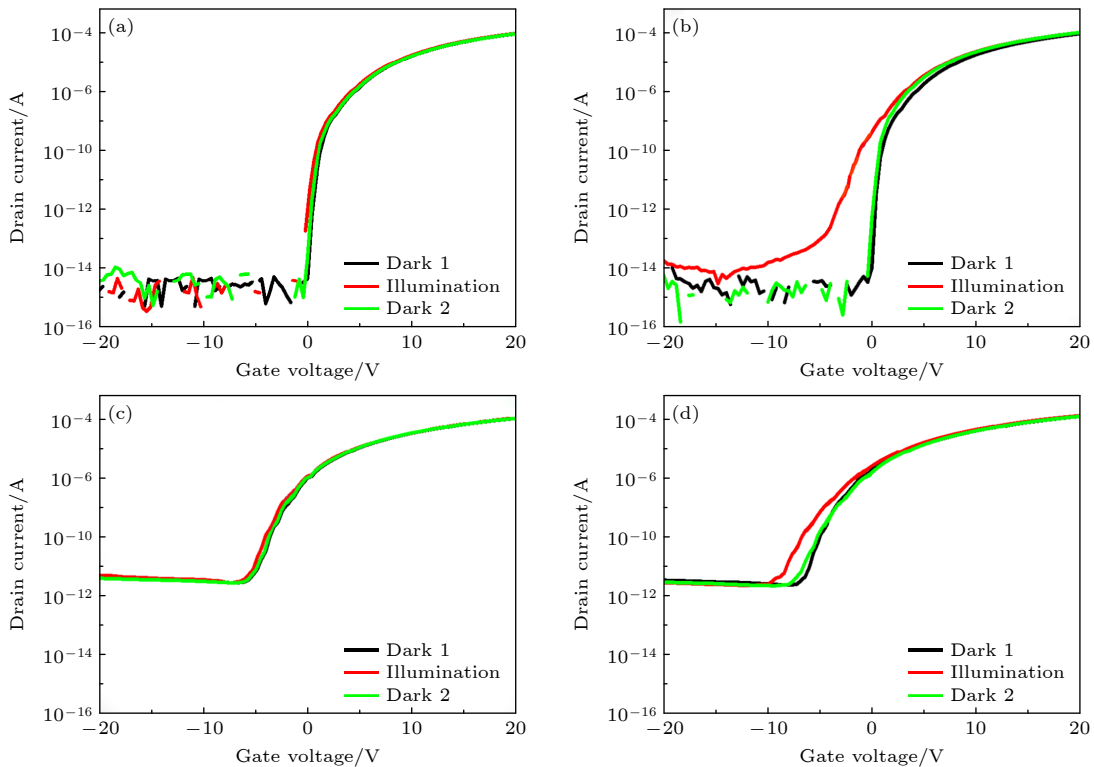


图 5 PI 钝化层 BCE TFT 在底部光照 (a) 或顶部光照 (b) 下的转移特性退化; SiO₂ 钝化层 BCE TFT 在底部光照 (c) 或顶部光照 (d) 下的转移特性退化

Fig. 5. Bottom illumination (a) and top illumination (b) induced degradation of transfer characteristics of BCE TFT with the passivation layer of PI; bottom illumination (c) and top illumination (d) induced degradation of transfer characteristics of BCE TFT with the passivation layer of SiO₂.

图5展示了PI钝化层和SiO₂钝化层BCE TFT在未加光照前、在10000 lm光照2 min后,以及在撤去光照10 s后的转移特性. PI钝化层和SiO₂钝化层TFT在顶部光照下的转移特性退化比较严重,并且,随着光照条件撤去,转移特性在10 s内几乎完全恢复原样,而底部光源未使两类器件的转移特性明显退化. 这种差别是由于顶部光源能够直接照射背沟道,引起了背沟道深能级电子的跃迁,而底部光源被底栅极遮挡住了绝大部分. 众所周知,AOS材料自身含有较多的深能级缺陷,如Zn—O键氧空位、氧弱键、间隙氧原子、Dimer双氧键等^[13]. 由于BCE TFT的沟道没有ESL保护,在SD磁控溅射工艺、SD湿法刻蚀工艺与钝化层PECVD工艺中,背沟道可能因为腔体氧气流量、湿化学反应断键或等离子体轰击而产生远高于有源层体区的氧相关缺陷态浓度^[21]. 在图3(a)中,O与In, Ga, Zn的非化学计量比不完美成键占O 1s分峰的13%,证实了BCE TFT的背沟道具有更高的氧相关缺陷态浓度,而H原子能够与氧相关缺陷态成键,将其钝化,并且降低氧相关缺陷态所处的能级位置^[22]. PI钝化层BCE TFT背沟道的H向PI扩散,导致背沟道存在大量未被钝化的氧相关缺陷态,所以,背沟道的氧相关缺陷态的电子能够大量跃迁至价带,带来暂时的非平衡载流子浓度,造成转移特性的严重退化. 撤去光照后,在10 s内,根据热平衡态的费米统计分布,过剩载流子大部分复合完毕,所以转移特性快速回到了光照前的状态. 因此,这种暂时性的光发电导现象能够佐证PI钝化层BCE TFT背沟道的H含量的下降. 此外,在显示面板的实际工作条件下,光照是由底部向上照射,因此背沟道深能级缺陷并不影响底栅的PI钝化层BCE TFT的实际产业应用.

4 结 论

本文制备了SiO₂, PI和SiO₂-PI堆叠结构钝化层的a-IGZO BCE TFT,实验结果表明,PI钝化层BCE TFT具有最好的电学特性, μ_{FE} 为

22.4 cm²/(V·s),SS为0.28 V/decade, $I_{on/off}$ 为1.5×10¹⁰,NBIS下的 ΔV_{th} 为-0.78 V. 在顶部光照下,PI钝化层BCE TFT的性能出现退化,这可能是由H原子易向PI扩散导致.

参考文献

- [1] Zhu L Y, Gao Y N, Zhang J H, Li X F J 2015 *Acta Phys. Sin.* **64** 108501 (in Chinese) [朱乐永, 高娅娜, 张建华, 李喜峰 2015 物理学报 **64** 108501]
- [2] He P, Hong R, Li G, Zou X, Hu W, Lan L, Iñíguez B, Liao L, Liu X J 2022 *IEEE Trans. Electron Devices* **43** 1894
- [3] Kwon J Y, Lee D J, Kim K B 2011 *Electron. Mater. Lett.* **7** 1
- [4] Kang D H, Kang I, Ryu S H, Jang J 2011 *IEEE Electron Device Lett.* **32** 1385
- [5] Bonneville D B, Miller J W, Smyth C, Mascher P, Bradley J D 2021 *Appl. Sci.* **11** 2110
- [6] Chowdhury M D H, Mativenga M, Um J G, Mruthyunjaya R K, Heiler G N, Tredwell T J, Jang J 2015 *IEEE Trans. Electron Devices* **62** 869
- [7] Jeong S G, Jeong H J, Choi W H, Kim K, Park J S 2020 *IEEE Trans. Electron Devices* **67** 4250
- [8] LI G, YANG B-R, LIU C, Lee C Y, Tseng C Y, Lo C C, Xu N 2015 *J. Phys. D.* **48** 475107
- [9] Guo H Q, Yang Z H, Gao L X 2021 *Chinese J. Appl. Chem.* **38** 1119 (in Chinese) [郭海泉, 杨正华, 高连勋 2021 应用化学 **38** 1119]
- [10] Sezer H A, Celik B A 2021 *SN Appl. Sci.* **1** 22
- [11] Nakata M, Ochi M, Tsuji H, Takei T, Miyakawa M, Yamamoto T, Fujisaki Y 2019 *J. Appl. Phys.* **58** 090602
- [12] Xu H, Lan L, Xu M, Zou J, Wang L, Wang D, Peng J High 2011 *Appl. Phys. Lett.* **99** 253501
- [13] Ide K, Nomura K, Hosono H, Kamiya T 2019 *Phys. Status Solidi* **216** 1800372
- [14] Hanyu Y, Domen K, Nomura K, Hiramatsu H, Kumomi H, Hosono H, Kamiya T 2013 *Appl. Phys. Lett.* **103** 202114
- [15] Li M, Huang D, Li M, Zhang W, Xu H, Zou J, Xu M 2019 *IEEE Trans. Electron Devices* **66** 3854
- [16] Han K L, Cho H S, Ok K C, Oh S, Park J S 2018 *Electron. Mater. Lett.* **14** 749
- [17] Flack W W, Flores G E, Christensen L D H, Newman G 1996 *Optical Microlithography IX. SPIE* (Santa Clara CA)p169
- [18] Shao Y, Ding S J 2018 *Acta Phys. Sin.* **67** 098502 (in Chinese) [邵夔, 丁士进 2018 物理学报 **67** 098502]
- [19] Kang Y, Ahn B D, Song J H, Mo Y G, Nahm H H, Han S, Jeong J K 2015 *Adv. Electron. Mater.* **1** 1400006
- [20] Noh H K, Park J S, Chang K J 2013 *J. Appl. Phys.* **113** 063712
- [21] Choi S H, Jang J H, Kim J J, Han M K 2012 *IEEE Electron Device Lett.* **33** 381
- [22] Nomura K, Kamiya T, Hosono H 2012 *ECS J. Solid State Sci. Technol.* **2** 5

Effect of passivation layer on back channel etching InGaZnO thin film transistors*

Wang Chen¹⁾²⁾ Wen Pan²⁾ Peng Cong²⁾ Xu Meng²⁾
Chen Long-Long²⁾ Li Xi-Feng^{2)†} Zhang Jian-Hua²⁾

1) (*School of Materials Science and Engineering, Shanghai University, Shanghai 200444, China*)

2) (*Key Laboratory of Advanced Display and System Application, Ministry of Education, Shanghai University, Shanghai 200072, China*)

(Received 29 November 2022; revised manuscript received 9 January 2023)

Abstract

Amorphous indium gallium zinc oxide (IGZO) thin film transistors (TFT) are widely used in active-matrix displays because of their excellent stability, low off-current, high field-effect mobility, and good process compatibility. Among IGZO TFT device structures, back channel etching (BCE) is favorable due to low production cost, short channel length and small SD-to-gate capacitance. In this work, prepared are the BCE IGZO TFTs each with the passivation layer of silicon dioxide (SiO₂), polyimide (PI) or SiO₂-PI stacked structure to study their difference in back channel hydrogen impurity and diffusion behavior. Comparing with the conventional SiO₂ passivation BCE TFT, the performance of PI passivation TFT is improved greatly, specifically, the saturation field effect mobility increases from 4.7 to 22.4 cm²/(V·s), subthreshold swing decreases from 1.6 to 0.28 V/decade, and the on-off current ratio rises dramatically from 1.1×10⁷ to 1.5×10¹⁰. After the SiO₂ passivation layer is substituted with PI, the I_{off} decreases from 10⁻¹¹ A to 10⁻¹⁴ A, which indicates that there exist less shallow-level donor states of hydrogen impurities, which might be explained by the following three mechanisms: first, in the film formation process of PI, the direct incorporation of hydrogen-related radicals from SiH₄ precursor into the back channel is avoided; second, the hydrogen content in the PI film is lower and harder to diffuse into the back channel; third, the hydrogen impurity of back channel that is introduced by the H₂O₂-based etchant in the SD etching process could diffuse more easily toward the PI layer. The TFTs with PI passivation layer also shows the less electrical degradation after the annealing treatment at 380 °C and better output performance, which confirms less defects and higher quality of the back channel. The bias stabilities of PI devices are improved comprehensively, especially negative bias illumination stability with the threshold voltage shifting from -4.8 V to -0.7 V, which might be attributed to the disappearance of hydrogen interstitial sites and hydrogen vacancies that are charged positively in the back channel. The PI passivation layer is effective to avoid back channel hydrogen impurities of BCE TFT and promises to have broad applications in the display industry.

Keywords: amorphous indium gallium zinc oxide, thin-film transistors, passivation layer

PACS: 73.61.Ey, 73.61.Jc, 73.61.-r

DOI: 10.7498/aps.72.20222272

* Project supported by the National Natural Science Foundation of China (Grant Nos. 62174105, 61674101) and the Shanghai Education Development Foundation and Shanghai Municipal Education Commission, China (Grant No. 18SG38).

† Corresponding author. E-mail: lixifeng@shu.edu.cn



钝化层对背沟道刻蚀型IGZO薄膜晶体管的影响

王琛 温盼 彭聪 徐萌 陈龙龙 李喜峰 张建华

Effect of passivation layer on back channel etching InGaZnO thin film transistors

Wang Chen Wen Pan Peng Cong Xu Meng Chen Long-Long Li Xi-Feng Zhang Jian-Hua

引用信息 Citation: *Acta Physica Sinica*, 72, 087302 (2023) DOI: 10.7498/aps.72.20222272

在线阅读 View online: <https://doi.org/10.7498/aps.72.20222272>

当期内容 View table of contents: <http://wulixb.iphy.ac.cn>

您可能感兴趣的其他文章

Articles you may be interested in

氢元素对铟镓锌氧化物薄膜晶体管性能的影响

Effects of hydrogen impurities on performances and electrical reliabilities of indium-gallium-zinc oxide thin film transistors

物理学报. 2018, 67(9): 098502 <https://doi.org/10.7498/aps.67.20180074>

N₂O处理对背沟刻蚀金属氧化物薄膜晶体管性能的影响

Effect of N₂O treatment on performance of back channel etched metal oxide thin film transistors

物理学报. 2022, 71(5): 058503 <https://doi.org/10.7498/aps.71.20211350>

基于蛋清栅介质的超低压双电层薄膜晶体管

Ultralow-voltage albumen-gated electric-double-layer thin film transistors

物理学报. 2018, 67(23): 237302 <https://doi.org/10.7498/aps.67.20181539>

镨掺杂铟镓氧化物薄膜晶体管的低频噪声特性分析

Analysis of low frequency noise characteristics of praseodymium doped indium gallium oxide thin film transistor

物理学报. 2021, 70(16): 168501 <https://doi.org/10.7498/aps.70.20210368>

铟镓锌氧薄膜晶体管的悬浮栅效应研究

Floating gate effect in amorphous InGaZnO thin-film transistor

物理学报. 2018, 67(4): 047302 <https://doi.org/10.7498/aps.67.20172325>

硅异质结太阳能电池中钝化层和发射层的优化设计

Design and optimization of passivation layers and emitter layers in silicon heterojunction solar cells

物理学报. 2021, 70(18): 188401 <https://doi.org/10.7498/aps.70.20210674>