

# 单层 SnS 场效应晶体管的第一性原理研究\*

郭颖<sup>1)†</sup> 潘峰<sup>1)</sup> 姚彬彬<sup>1)</sup> 孟豪<sup>1)</sup> 吕劲<sup>2)‡</sup>

1) (陕西理工大学物理与电信工程学院, 汉中 723001)

2) (北京大学物理学院, 北京 100867)

(2024 年 7 月 18 日收到; 2024 年 9 月 4 日收到修改稿)

基于硅基材料的逻辑器件由于其短沟道效应, 使摩尔定律失效, 二维半导体材料被认为是继续缩小晶体管尺寸以生产更多摩尔电子器件的潜在沟道材料. 最近在实验上突破了技术瓶颈的限制, 实现了二维场效应晶体管突破亚 1 nm 沟道极限, 并且表现出优异的器件性能. 这极大地鼓舞了在理论上进一步探索二维器件的性能. 二维 SnS 具有较高的载流子迁移率和各向异性的电子性能, 且材料性能环境稳定. 本文应用第一性原理研究了亚 5 nm SnS 场效应晶体管的量子输运特性, 鉴于 SnS 的各向异性, 本文将器件沿单层 SnS 的 armchair 和 zigzag 两个方向进行构造, 发现 p 型 zigzag 方向的器件性能优于其他类型 (包括 n 型、p 型的 armchair 方向和 n 型的 zigzag 方向). p 型 zigzag 方向器件的开态电流在栅长缩短到 1 nm 也能满足国际半导体技术路线图的高性能 (HP) 器件要求, 其值高达 1934  $\mu\text{A}/\mu\text{m}$ . 这在目前报道的 1 nm 栅长上的器件材料性能方面处于领先.

**关键词:** 量子输运模拟, 单层 SnS, 亚 5 nm 场效应管, 开态电流

**PACS:** 73.63.-b, 85.30.Tv, 31.15.A-, 31.15.E

**DOI:** 10.7498/aps.73.20241004

**CSTR:** 32037.14.aps.73.20241004

## 1 引言

摩尔定律表明, 每隔 18 个月集成电路上可容纳的晶体管数目会增加 1 倍, 同时芯片的成本减少 1/2. 在黄金时期, 半导体工业界对硅基场效应晶体管 (FET) 不断进行尺寸微缩从而获得了巨大的经济效益. 然而, 随着晶体管尺寸的不断缩小, 一些不良影响变得更加显著, 例如短沟道效应 (主要包括漏极引起的势垒降低、载流子表面散射等效应)、漏极效应 (源漏电流的泄漏现象)、寄生电阻和寄生电容的增加、制造难度和成本增加等<sup>[1]</sup>. 这些都限制了晶体管的性能和能效, 使得晶体管面临着一系列严峻的挑战. 传统的块材硅基材料由于不可

避免的“器件尺寸效应”影响了器件的性能, 即块材硅基晶体管的尺寸逐渐接近物理极限, 不能满足现代信息社会对基本器件的需求, 同时还面临着基本物理原理失效和器件功耗高等的挑战. 二维半导体材料由于独特的结构而在光电子学等方面存在着潜在的应用前景, 被认为很有希望成为未来传统半导体沟道材料的替代品. 相对于块体材料, 二维材料具有以下优势<sup>[2]</sup>: 1) 单原子层或者超薄的厚度, 使二维材料作为器件的沟道材料时短沟道效应更弱, 栅的静电控制能力更强, 易于在纵向进行高密度的器件集成; 2) 表面平整、没有悬挂键, 使二维材料作为器件的沟道材料时不易和介电层间形成载流子的陷阱态, 器件的输运性能更好<sup>[3]</sup>; 3) 第 3 个方向不成键, 使得二维材料更容易被刻蚀为器

\* 国家自然科学基金 (批准号: Z20230015, 12174238)、陕西省自然科学基金基础研究计划项目 (批准号: 2022JM-051) 和陕西理工大学人才引进项目 (批准号: SLGRC202401) 资助的课题.

† 通信作者. E-mail: guosophia@163.com

‡ 通信作者. E-mail: jinglu@pku.edu.cn

件集成电路,且不容易引入杂质或者收缩为团簇,并且有希望制作垂直堆积的集成芯片<sup>[4]</sup>; 4) 弯曲性好,使二维材料可用于制作柔性可穿戴器件.因此,发展基于二维半导体的新型器件对于现代信息产业升级、智能型社会的构建具有极为重要的意义.国际半导体技术路线图(ITRS)和国际设备系统路线图(IRDS)将二维材料列为硅基材料的潜在沟道材料.特别是在最新版本(IRDS(2022版)),二维材料被列为自0.7 nm技术节点(即2034年的目标)以后硅基材料的唯一替代材料<sup>[5]</sup>.

正如ITRS和IRDS所预设的一样,2016年,Desai等<sup>[6]</sup>首次实验实现了1 nm栅长的双层MoS<sub>2</sub>FET,显示出约10<sup>-9</sup> mA/ $\mu$ m的低漏电流,其亚阈值摆幅SS为65 mV/dec,接近理想亚阈值摆幅(SS = 60 mV/dec),其开关比约为10<sup>6</sup>.最近,Wu等<sup>[7]</sup>巧妙地利用了半金属单层石墨烯的边缘作为晶体管的栅极,实现了迄今为止最短的栅极长度(0.34 nm)器件,其亚阈值摆幅低至117 mV/dec,开关比达到1.02 $\times$ 10<sup>5</sup>,漏电流小于10<sup>-9</sup> mA/ $\mu$ m,满足IRDS对低功耗(LP)逻辑器件的要求.最引人瞩目的是,Jiang等<sup>[8]</sup>通过结合高质量的超薄介电层在二维InSe FET中观察到了理论预测的卓越性能,首次使得二维晶体管实际性能超过Intel商用10 nm节点的硅基Fin晶体管,并且将二维晶体管的工作电压降到0.5 V,这也是世界上迄今速度最快能耗最低的二维半导体晶体管.因此,鉴于二维器件的优异性能,我们还需继续探索其他性能优异、材料稳定性好的二维材料器件,并且模拟其器件性能、检测其能否满足ITRS和IRDS的要求.

单层(ML) SnS与ML黑磷烯(BP)有相似的结构(3个Sn原子与1个S原子配位形成puckered的Sn-S层)和各向异性的机械、光电特性.然而二维SnS在空气中非常稳定而且具有以下几个优点:首先,SnS具有合适的带隙(1.61 $\pm$ 0.13) eV,且其带隙值与太阳光谱很匹配,因此具有制作成为光电探测器的潜质.而且层状SnS由于自旋-轨道耦合的相互作用和奇数层结构中反对称性的缺乏,导致了能带的各向异性自旋分裂,从而使其带隙会随着层数的变化表现出奇偶量子约束效应<sup>[9]</sup>.其次,ML SnS具有深紫外光谱光探测能力,载流子响应时间可达400 ms,由其制备

的ML SnS晶体管器件可以在环境条件下长时间工作的显著稳定性,且器件具有6.7 $\times$ 10<sup>-3</sup> A/W的响应率<sup>[10]</sup>.理论预测SnS具有较高的载流子迁移率约10<sup>3</sup>—10<sup>4</sup> cm<sup>2</sup>/(V·s)<sup>[11]</sup>,但实验结果显示,测量到的载流子迁移率p型器件仅为87.4 cm<sup>2</sup>/(V·s)(但开关比为10<sup>4</sup>)<sup>[12]</sup>,n型器件的霍尔迁移率约为100 cm<sup>2</sup>/(V·s)<sup>[13]</sup>.鉴于二维BP高的载流子迁移率,SnS的载流子迁移率也有潜在的提高空间.有团队制备的SnS器件由于SnS薄膜在器件界面处有负电容值而使其SS值低于理论极限值60 mV/dec<sup>[14]</sup>,这对降低晶体管的功耗有很大的意义.此外,在相对较低的温度(约350 $\text{^\circ}$ C)下SnS大面积的沉积能力和具有超过10<sup>18</sup> cm<sup>-3</sup>的高孔密度使其成为后段制程工艺的潜在材料<sup>[12]</sup>.这促进了对二维SnS逻辑器件的性能研究,以探究二维SnS器件是否具有类似于二维InSe器件优异的器件性能,是否也可以在实验上达到预期的效果.

本文采用基于第一性原理的量子输运计算方法,系统地研究了n型和p型亚5 nm双门控(DG)ML SnS金属氧化物半导体场效应晶体管(MOSFET)沿SnS的armchair方向和zigzag方向的器件性能.发现器件开态电流沿armchair方向在门长为2—5 nm(p型)和5 nm(n型)能够满足ITRS高性能(HP)标准,沿zigzag方向栅长为1—5 nm(p型)和3—5 nm(n型)能够满足ITRS HP标准.同时zigzag方向的p型器件在栅长为1 nm时不仅能满足ITRS HP标准的开态电流要求,而且是这个栅长下具有最大的开态电流(1934  $\mu$ A/ $\mu$ m).因此,ML SnS器件由于其高稳定性和高器件性能,是一种潜在的超短沟道晶体管材料.

## 2 计算方法

采用基于密度泛函理论的VASP软件包模拟实现SnS的结构优化和电子特性模拟.计算中选用缀加平面波赝势(PAW),电子波函数通过平面波基组展开,电子与电子之间相互作用的交换关联采用广义梯度近似(GGA)下的PBE(Perdew-Burke-Ernzerhof)交换泛函形式.原子位置、晶格参数及单胞体积等几何结构都进行了完全弛豫,直到原子上受的力收敛于1 $\times$ 10<sup>-3</sup> eV/ $\text{Å}$ 为止;收敛精度为1 $\times$ 10<sup>-6</sup> eV/atom;在结构优化和能带计算中,

截止能量分别为 400 eV 和 500 eV, 在布里渊区采用的  $k$  点网格为  $9 \times 9 \times 1$  和  $24 \times 24 \times 1$ . 图 1(a), (b) 分别为单层 (ML)SnS 的结构和能带结构示意图. ML SnS 的晶格常数 ( $a = 4.44 \text{ \AA}$ ,  $b = 4.03 \text{ \AA}$ ) 与文献 [15] 报道的结果基本一致, 间接带隙为 1.62 eV, 其导带最小值 (CBM) 和价带最大值 (VBM) 分别位于  $\Gamma$  与  $Y$  点、 $\Gamma$  与  $X$  之间的区域. ML SnS 的各向异性是因为 zigzag 方向的电子/空穴有效质量 ( $0.20 m_0/0.27 m_0$ ) 比 armchair 方向的电子/空穴有效质量 ( $0.19 m_0/0.22 m_0$ ) 稍大而产生 [16].

本文使用 DG 两探针模型 (图 1(c)) 来模拟亚 5 nm ML SnS MOSFET 器件, 与单栅极相比, DG 器件能明显提高栅控能力. 本征 ML SnS 作为器件的沟道置于  $xz$  平面上,  $z$  轴是器件的传输方向, 器

件的电极为重度掺杂的 n 型或 p 型 ML SnS. 我们测试了 5 种掺杂浓度 ( $1 \times 10^{12}$ ,  $5 \times 10^{12}$ ,  $1 \times 10^{13}$ ,  $5 \times 10^{13}$  和  $8 \times 10^{13} \text{ cm}^{-2}$ ), 得出相应的开态电流如表 1 所示. 从测试的转移特性曲线发现掺杂浓度为  $5 \times 10^{13} \text{ cm}^{-2}$  的 SnS MOSFET 器件具有最佳的表现 (如图 2 所示), 因此选择该掺杂浓度为后续的掺杂浓度. 在实验室中, 掺杂浓度也可以通过分子化学吸附或电双层技术来实现 [17,18].

本文在 MOSFET 器件中设计了超结构—underlap(UL) 结构, 对应每个栅长 UL 的长度取为 0, 2 和 4 nm, UL 在栅极和电极之间 (图 1(c) 所示), 可以增强栅极的调控能力. 根据 ITRS 2.0 对栅长为亚 5 nm 的 HP 和 LP 标准的要求, 电源电压 ( $V_{dd}$ ) 为 0.64 V, 器件的电介质材料 (二氧化硅)

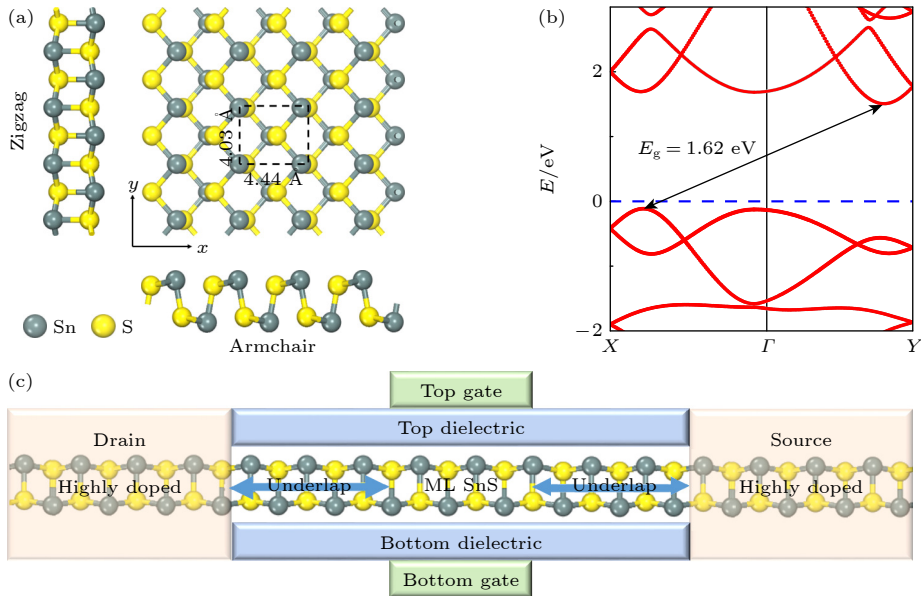


图 1 (a) ML SnS 的最佳优化结构侧视和俯视图, 黑色虚线的矩形框为单胞结构; (b) ML SnS 的能带结构图, 费米能级 (蓝色虚线) 能量为零,  $\Gamma$ - $X$  和  $\Gamma$ - $Y$  分别表示 armchair 方向和 zigzag 方向; (c) ML SnS MOSFET 器件的结构示意图

Fig. 1. (a) Side and top view of the optimized ML SnS structure, the black dash rectangle represents the primitive cell; (b) band structure of the ML SnS, the blue dashed line indicates the Fermi level, and  $\Gamma$ - $X$  and  $\Gamma$ - $Y$  representing the armchair and zigzag directions, respectively; (c) schematic diagram of the ML SnS MOSFET.

表 1 不同的测试掺杂浓度对应的器件开态电流

Table 1.  $I_{on}$  of the SnS MOSFET with different doping concentrations.

$N_e/N_h$ doping concentration/ $\text{cm}^{-2}$	$I_{on}$ (HP/LP)/( $\mu\text{A}\cdot\mu\text{m}^{-1}$ )			
	Zigzag		Armchair	
	n-type	p-type	n-type	p-type
$1 \times 10^{12}$	32.24/33.69	45/40.9	129.66/21.55	31.82/35.72
$5 \times 10^{12}$	232.26/51.9	310.69/95.35	741.82/17.33	185.95/32.23
$1 \times 10^{13}$	1105.66/35.52	756.83/105.06	970.15/8.42	379.27/42.5
$5 \times 10^{13}$	1330.51/0.425	2693.37/0.12	1216.66/0.061	973.2/0.026
$8 \times 10^{13}$	1207.55/0.082	280.42/0.0013	1020.21/0.0074	676.8/5.37



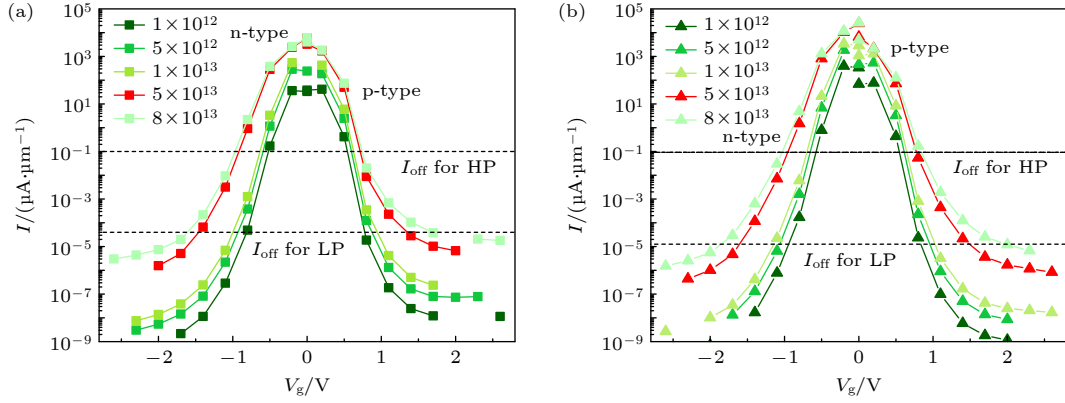


图 2 测试器件掺杂浓度的转移特性曲线, 不同源极和漏极掺杂电子/空穴 ( $N_e$  ( $N_h$ )) 浓度下 n 型和 p 型 5 nm 栅长 DG ML SnS MOSFET 沿 zigzag (a) 和 armchair (b) 方向的转移特性曲线

Fig. 2. Transfer characteristics of the n- and p-type 5 nm gate-length DG ML SnS MOSFET for different source and drain doping concentrations of electron/hole ( $N_e$  ( $N_h$ )) along the zigzag (a) and armchair (b) directions.

等效氧化物厚度 (EOT) 取为 0.41 nm. 器件的输运特性利用耦合 DFT 的非平衡 Green 函数 (NEGF) 方法在 QATK (quantum atomistix tool kit) 软件包中进行. 交换关联采用 GGA 下的 PBE 交换泛函形式, 在以二维材料为 FET 器件的沟道结构中, DFT-PBE (single electron approximation) 是描述电子结构的最佳方法, 因为掺杂的载流子可以很好地屏蔽电子-电子之间的相互作用. 例如, 采用该方法计算的 ML MoS<sub>2</sub> FET (1 nm 栅长) 的亚阈值摆幅 SS 值为 66 mV/dec, 与实验值 65 mV/dec 几乎一致 [6,19]. 采用 Pt/Au 电极模拟计算的 MoS<sub>2</sub> FET 电子肖特基势垒高度为 0.28/0.20 eV, 与实验值 0.14—0.26/0.06—0.32 eV 也基本一致 [20–23]. 用镍做电极的二维 BP FET 器件的实验和理论模拟的输运能隙值也非常接近, 分别为 1.00/0.79 (ML)、0.71/0.81 (双层) 和 0.61/0.68 eV (三层) [24–27]. 用 DFT-PBE 理论模拟 Ti 做电极的 BP FET 器件 p 型肖特基势垒分别为 0.3/0.18/0.21 eV 与实验测量的多层 BP 器件的肖特基势垒 0.21 eV 一致 [28]. 因此, DFT-PBE 这种模拟算法适合于模拟预测 FET 器件的基本器件性能. 在器件的电极和中心区域采用  $9 \times 1 \times 129$  自洽的 Monkhorst-Pack 网格, 截止能量 75 Hartree, 采用 HGH 赝势中的 T3 基, 温度设定为 300 K. 在实空间中求解自洽的静态泊松方程, 边界条件为: 周期边界 (器件前后)、诺伊曼边界 (器件上下) 和狄利克雷边界 (电极与沟道边缘). 狄利克雷边界条件是 QATK 软件特有的边界条件, 其目的是确保电极区域的电荷中性.

传输系数  $T(k_z, E)$  ( $k_z$  向量的方向与传输方向

垂直) 可由反向格林函数得到:

$$T(k_z, E) = T_r(G_r(k_z, E)\Gamma_L(k_z, E) \times G_a(k_z, E)\Gamma_R(k_z, E)), \quad (1)$$

$G_r(k_z, E)$  ( $G_a(k_z, E)$ ) 是反向 (正向) 格林函数,  $\Gamma_{L(R)}(k_z, E) = i \left( \sum_{L(R)}^r(k_z, E) - \sum_{L(R)}^a(k_z, E) \right)$  描述的是由于电极自能  $\sum_{L(R)}^r(E)$  引起的左/右电极能级展宽, 即电极对散射区域的影响. 在一定能量下,  $T(E)$  是 129 个  $k$  点的平均值  $T(k_z, E)$ . 电流  $I(V_{ds}, V_b)$  是给定的栅极电压  $V_g$  和偏置电压  $V_{ds}$  下由传输系数  $T(E, V_{ds}, V_b)$  的积分, 公式为 Landauer-Büttiker:

$$I(V_{ds}, V_g) = \frac{2e}{h} \int_{-\infty}^{+\infty} \{T(E, V_{ds}, V_g)[f_L(E - \mu_L) - f_R(E - \mu_R)]\} dE, \quad (2)$$

其中  $f_L/f_R$  为左右电极的费米-狄拉克分布函数,  $\mu_L/\mu_R$  为左右电极的电化学电位. 栅控效应是通过求解自洽泊松方程实现的.

### 3 计算结果与分析

#### 3.1 开态电流

ML SnS n 型和 p 型 1—5 nm 栅长 (armchair 方向和 zigzag 方向) 的器件电流转移曲线如图 3 所示. 除了 1—2 nm 栅长  $UL = 0$  外, 其他所有类型的 SnS MOSFET 器件都具有合适的漏电流, 它们都满足 HP 关态电流 ( $I_{off} = 0.1 \mu A/\mu m$ ) 要求. 参照 LP 关态电流标准 ( $I_{off} = 5 \times 10^{-5} \mu A/\mu m$ ),

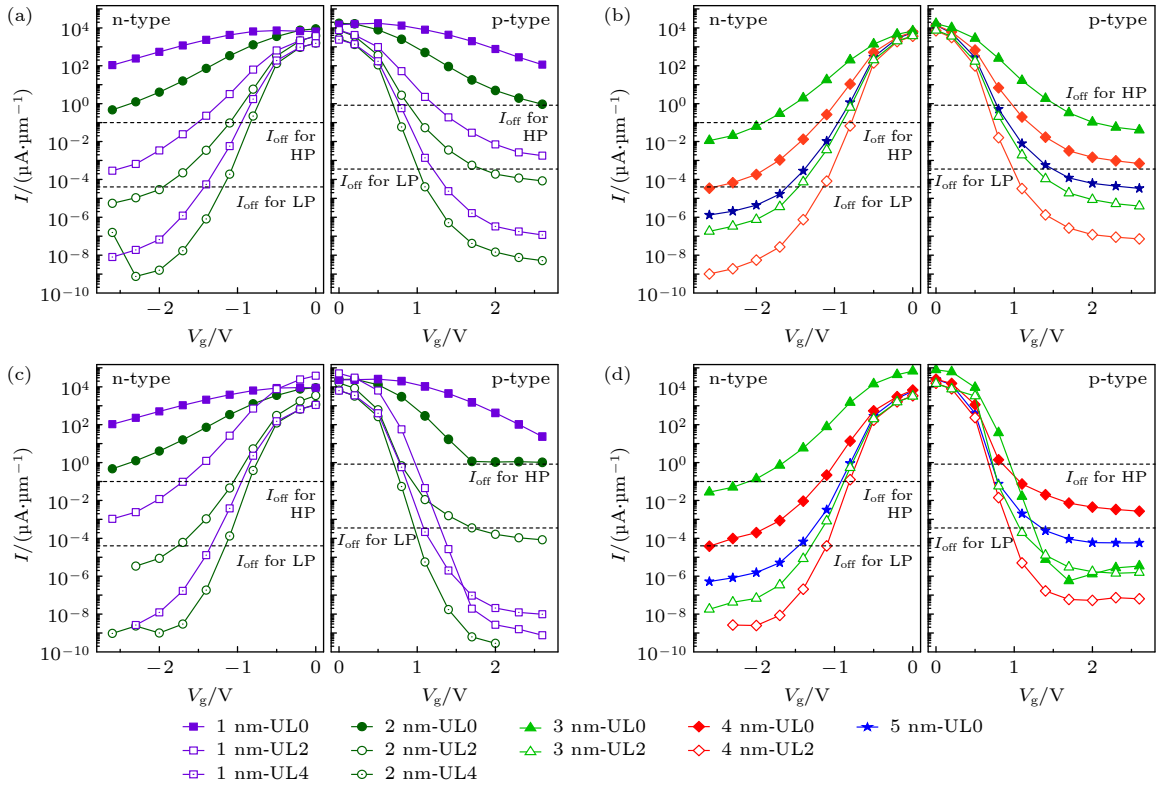


图3 n型和p型DG ML SnS MOSFET器件转移特性曲线 (a) 1—2 nm, (b) 3—5 nm 栅极长沿 armchair 方向转移特性曲线; (c) 1—2 nm, (d) 3—5 nm 栅极长沿 zigzag 方向的转移特性

Fig. 3. Transfer characteristics curves of the n- and p-type DG ML SnS MOSFET: (a) 1–2 nm, (b) 3–5 nm gate-length along the armchair direction; (c) 1–2 nm, (d) 3–5 nm gate-length along the zigzag directions.

1 nm 栅长  $UL = 4$  和  $UL = 2$  (zigzag 方向 p 型)、2 nm 栅长 ( $UL = 2, 4$ )、3 nm 栅长  $UL = 2$  和  $UL = 0$  (zigzag 方向 p 型)、4 nm 栅长  $UL = 2$  和  $UL = 0$  (armchair 方向 n 型和 p 型、zigzag 方向 n 型)、5 nm 栅长  $UL = 0$  器件都能满足要求。

由 ML SnS 器件的电流转移曲线还能计算出包括电流开关比 (current on/off ratio)、开态电流 ( $I_{on}$ )、亚阈值摆幅 (SS), 列于表 2 中。

开态电流  $I_{on}$  是提升逻辑器件的传输速率关键因素之一, 高的  $I_{on}$  能够帮助提高 HP 器件的开关速率. 开态电流值通常在转移曲线里用  $V_{g(on)} = V_{g(off)} \pm V_{dd}$  计算对应的电流 (n 型和 p 型器件分别取“+”号和“-”号).  $V_{dd} = V_b$  为供应电压、 $V_{g(off)}$  为关态电压. 亚 5 nm 的 n 型和 p 型器件的开态电流值见图 4. n 型 2 nm 栅长 ( $UL = 4$  armchair 方向)、3 nm 栅长 ( $UL = 2$ )、4 nm 栅长 ( $UL = 2$ ) 和 5 nm 栅长 ( $UL = 0$ ) 器件的开态电流值能满足 HP 要求. p 型器件在 armchair 方向除了 5 nm 栅长能满足 HP 要求外, 其他类型均不能达到 HP 要求 ( $900 \mu A/\mu m$ ), 然而 zigzag 方向 1 nm 栅长 ( $UL = 2$ )、

2 nm 栅长 ( $UL = 2$ )、3 nm 栅长 ( $UL = 2, 4$ )、4 nm 栅长 ( $UL = 2, 4$ ) 和 5 nm 栅长器件的开态电流值均能满足 HP 要求. 这是因为在相同栅压  $V_g$  下, 由于电子的有效质量在 armchair 方向 ( $0.19m_0$ ) 和 zigzag 方向 ( $0.20m_0$ ) 的值差别不大, 因此 n 型器件的开态电流值沿两个方向差异不大. 但是由于空穴的有效质量在 armchair 方向 ( $0.22m_0$ ) 和 zigzag 方向 ( $0.27m_0$ ) 的值差别较大, 因此 p 型器件的电流值沿两个方向差异较大. 这与单层 GeSe MOSFET 器件电流值各向异性特性一样. p 型 GeSe 器件沿 zigzag 方向具有较小的空穴有效质量 ( $0.11m_0$ ), 因此其电流值大于 armchair 方向的器件电流值, 导致了器件电流的各向异性特点<sup>[29]</sup>. 值得注意的是, p 型 1 nm 栅长 ( $UL = 2$ ) 单层 SnS MOSFET 器件的开态电流值达到  $1934 \mu A/\mu m$ , 这是我们所知二维半导体场效管在此长度下并能满足 HP 标准的最高值。

n 型 ML SnS MOSFET 器件沿 armchair 方向的开态电流值 ( $31\text{—}2369 \mu A/\mu m$ ) 比 zigzag 方向的开态电流值 ( $4.04\text{—}1943 \mu A/\mu m$ ) 大, 主要原

表 2 n 型和 p 型 DG ML SnS MOSFET 器件开态电流、开关比和亚阈值摆幅与 ITRS HP 和 LP 标准 (2023 版) 的比较  
Table 2. Benchmark of the ballistic performances upper limit of the sub-5 nm DG ML SnS MOSFET (zigzag- and armchair-directed) for HP and LP applications against the ITRS requirements (2023 version).

	$L_g/\text{nm}$	UL/nm	SS/(mV·dec <sup>-1</sup> )		$I_{\text{on}}/(\mu\text{A}\cdot\mu\text{m}^{-1})$		$I_{\text{on}}/I_{\text{off}}$		$I_{\text{on}}/(\mu\text{A}\cdot\mu\text{m}^{-1})$		$I_{\text{on}}/I_{\text{off}}$	
HP	5.1	0	—		900		$9.00\times 10^3$		LP	295	$5.9\times 10^6$	
			n-type	p-type	n-type	p-type	n-type	p-type	n-type	p-type	n-type	p-type
Armchair		0	843	719	—	—	—	—	—	—	—	—
	1	2	260	276	31	56	$3.1\times 10^2$	$5.6\times 10^2$	—	—	—	—
		4	120	122	407	209	$4.07\times 10^3$	$2.09\times 10^3$	2.06	6.34	$4.12\times 10^4$	$1.27\times 10^5$
		0	561	418	—	0.7	—	$7.0\times 10^2$	—	—	—	—
	2	2	212	172	41	319	4.1	$3.19\times 10^3$	0.007	0.0031	$1.40\times 10^2$	61.6
		4	101	90	938	285	$9.38\times 10^3$	$2.85\times 10^3$	45.7	50.83	$9.14\times 10^5$	$1.02\times 10^6$
	3	0	293	254	5.18	13	$5.18\times 10^1$	$1.30\times 10^2$	—	—	—	—
		2	118	101	1204	665	$1.20\times 10^4$	$6.65\times 10^3$	0.406	0.86	$8.12\times 10^3$	$1.72\times 10^4$
	4	0	189	241	226	292	$2.26\times 10^3$	$2.92\times 10^3$	—	—	—	—
		2	93	78	2369	817	$2.37\times 10^4$	$8.17\times 10^3$	110.58	92.08	$2.21\times 10^6$	$1.84\times 10^6$
	5	0	125	112	1113	924	$1.11\times 10^4$	$9.24\times 10^3$	0.1	0.03	$2.0\times 10^3$	$6.00\times 10^2$
	Zigzag		0	904	603	—	—	—	—	—	—	—
1		2	259	96	72	1934	$7.20\times 10^2$	$1.93\times 10^4$	—	69.3	—	$1.39\times 10^6$
		4	107	85	390	545	$3.90\times 10^3$	$5.45\times 10^3$	10.04	79.2	$2.01\times 10^5$	$1.58\times 10^6$
		0	530	252	—	—	—	—	—	—	—	—
2		2	147	101	509	1236	$5.09\times 10^3$	$1.24\times 10^4$	0.035	0.0021	$7.0\times 10^2$	42.8
		4	89	78	621	693	$6.21\times 10^3$	$6.93\times 10^3$	85.02	136.51	$1.70\times 10^6$	$2.73\times 10^6$
3		0	233	89	4.04	4119	$4.04\times 10^1$	$4.12\times 10^4$	—	171.91	—	$3.44\times 10^6$
		2	117	66	1168	1407	$1.17\times 10^4$	$1.41\times 10^4$	7.73	516.18	$1.55\times 10^5$	$1.03\times 10^7$
4		0	166	106	322	1648	$3.22\times 10^3$	$1.65\times 10^4$	—	—	—	—
		2	85	70	1843	1874	$1.84\times 10^4$	$1.87\times 10^4$	231.06	271.4	$4.62\times 10^6$	$5.43\times 10^6$
5		0	118	78	1280	2463	$1.28\times 10^4$	$2.46\times 10^4$	0.67	0.13	$1.34\times 10^4$	$2.6\times 10^3$

因是 armchair 方向电子有效质量 ( $0.19m_0$ ) 比 zigzag 方向的 ( $0.20m_0$ ) 小. 然而 p 型器件的开态电流值却并没有遵循这个规律. p 型器件沿 zigzag 方向具有较大的空穴有效质量 ( $0.27m_0$ ), 其开态电流值 ( $545\text{—}4119 \mu\text{A}/\mu\text{m}$ ) 却远大于具有较小空穴有效质量 ( $0.22m_0$ ) 的 armchair 方向开态电流值 ( $0.7\text{—}924 \mu\text{A}/\mu\text{m}$ ). 产生 p 型器件开态电流值的这一反常现象的主要原因是: 基于能带结构理论计算空穴的有效质量由 VBM 计算, 但是由于单层 SnS 空穴有效质量并不能代表 VBM 附近的所有有效质量. 根据单层 SnS 能带结构 (见图 1(b)), 此 VBM 仅比计算有效空穴质量的 VBM 高 0.01 eV, 这将影响空穴的有效质量计算值, 导致 p 型 MOSFET 器件开态电流值偏离“开态电流与有效质量值的一般规律”. 这一结论与 GeSe 计算有效质量的 CBM 与次 CBM 比差值很小, 导致 n 型 MOSFET 器件的开态电流偏离了一般规律一致<sup>[29]</sup>.

本工作理论模拟表明, p 型 ML SnS MOSFET 器件在 5, 4, 3, 2 和 1 nm 栅极长度中, 器件沿 zigzag 方向的开态电流最大值分别为 2463, 1874, 4119, 1236 和 1934  $\mu\text{A}/\mu\text{m}$ , 分别对应的 UL 结构为 UL = 0, 2, 0, 2 和 2 nm. n 型器件在 5, 4, 3, 2 和 1 nm 栅极长度中, 开态电流最大值分别为 1113  $\mu\text{A}/\mu\text{m}$  (zigzag 方向)、2369  $\mu\text{A}/\mu\text{m}$  (armchair 方向)、1204  $\mu\text{A}/\mu\text{m}$  (armchair 方向)、938  $\mu\text{A}/\mu\text{m}$  (armchair 方向) 和 407  $\mu\text{A}/\mu\text{m}$  (armchair 方向), 分别对应的 UL 结构为 UL = 0, 2, 2, 4 和 4 nm. 3 nm 栅长 (UL = 0) 的器件沿 zigzag 方向具有最大开态电流 4119  $\mu\text{A}/\mu\text{m}$ , 比同样栅长下 UL = 2 器件的开态电流值 ( $1407 \mu\text{A}/\mu\text{m}$ ) 高 2.93 倍. 可见在 SnS MOSFET 器件中合适的 UL 超结构能够有效地抑制从源极到漏极的电流, 增大了器件的有效沟道长度, 使器件能够满足 ITRS HP 器件的要求. 但是, 过长的 UL 超结构反而会降低器件的性

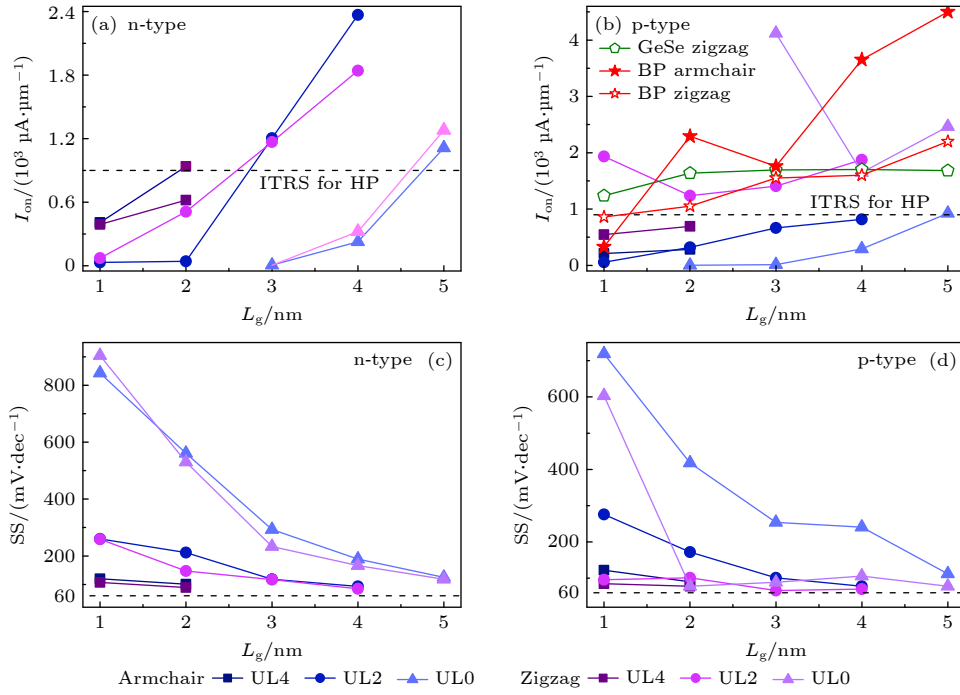


图 4 亚 5 nm 的 n 型和 p 型 DG ML SnS MOSFET 开态电流 (a), (b) 和亚阈值摆幅 (c), (d) 与栅极长度的关系

Fig. 4. On-state current (a), (b) and subthreshold swing (c), (d) of the sub-5 nm DG n-type and p-type DG ML SnS MOSFET as a function of the gate-length.

能, 因为器件的栅极无法更好地控制器件 UL 区域的性能. 因此, 选择适合 SnS MOSFET 器件的 UL 长度非常重要.

将本次结论与基于密度泛函耦合非平衡格林函数的量子输运计算的 p 型亚 5 nm ML 黑磷烯 (BP) 和 ML GeSe 场效应管的相应值进行比较. 如图 4(b) 所示, 采用 HP 标准比较亚 5 nm BP MOSFET (zigzag 和 armchair 方向) 和 ML GeSe MOSFET 的最佳开态电流与本文 SnS MOSFET 的大小关系. 可以发现对于这种各向异性的二维半导体材料, 他们的器件电流都会在某一个方向表现出优于其他方向的特点, 例如相同条件下器件在 zigzag 方向的开态电流优于 armchair 方向. 虽然 p 型 2, 4, 5 nm 栅长 ML BP MOSFET (zigzag 方向) 器件的开态电流大于 SnS, 但是在栅极长度为 1, 3 nm 栅长处, 其值低于 p 型 ML SnS 器件 (zigzag 方向) 的最佳开态电流值. 对于 ML GeSe MOSFET, 虽然其在 1 nm 栅极长度时开态电流值不仅满足 ITRS 的 HP 标准要求, 且其值 ( $1684 \mu\text{A}/\mu\text{m}$ ) 较大, 但是依然比 SnS ( $1934 \mu\text{A}/\mu\text{m}$ ) 小. 值得注意的是, 与 ML BP 和 ML GeSe MOSFET 相比, ML SnS MOSFET 的开态电流在超短沟道器件范围内非常具有优势.

对于 ITRS 的低功耗 LP 要求标准, 亚 5 nm 的 n 型 ML SnS 器件开态电流值不能满足 ITRS 的要求 ( $295 \mu\text{A}/\mu\text{m}$ , 如图 5 示). 沿 armchair 和 zigzag 方向的开态电流最大值分别为 111 ( $L_g = 4 \text{ nm}$ ,  $UL = 4 \text{ nm}$ ) 和  $231 \mu\text{A}/\mu\text{m}$  ( $L_g = 4 \text{ nm}$ ,  $UL = 2 \text{ nm}$ ), 分别达到 ITRS 的 LP 标准的 38% 和 78%. 显然, ML SnS MOSFET n 型器件栅长在 5 nm 以下对 LP 标准不令人满意. 但是 p 型 ( $L_g = 3 \text{ nm}$ ,  $UL = 2 \text{ nm}$ ) 器件沿 zigzag 方向的开态电流最大值为  $516 \mu\text{A}/\mu\text{m}$ , 满足 ITRS 的 LP 要求标准.

### 3.2 亚阈值摆幅

亚阈值摆幅指在亚阈值区域中摆幅和栅源极电压之间的关系, 即栅在亚阈值区域的控制能力, 被定义为

$$SS = \frac{\partial V_g}{\partial \lg I_D}, \quad (3)$$

其中  $\partial V_g$  表示栅源极电压的变化量,  $\partial \lg I_D$  表示电流的对数变化量, 即栅控越好, SS 值越小. 传统 FET 在室温下 SS 的理论极限值为  $60 \text{ mV}/\text{dec}$ . 图 4 中分别给出 n 型和 p 型亚 5 nm ML SnS MOSFET 的 SS 与栅长  $L_g$  的函数关系. 由于漏电流受有效质量的影响, ML SnS MOSFET zigzag



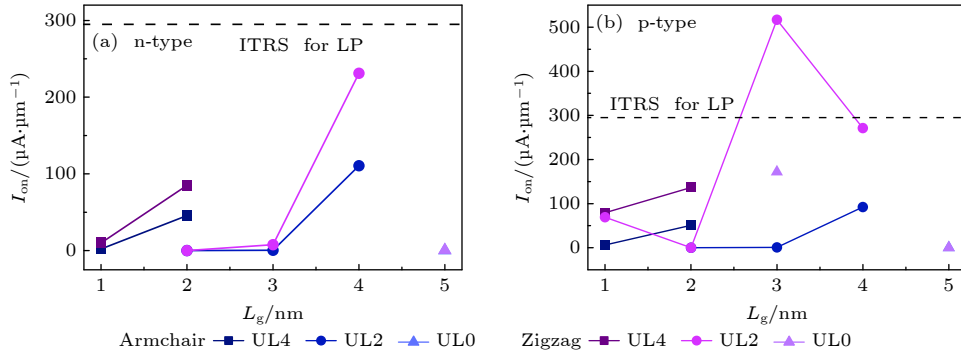


图 5 亚 5 nm 的 n 型 (a) 和 p 型 (b) DG ML SnS MOSFET 的开态电流与栅极长度的关系

Fig. 5. On-state current of the sub-5 nm n-type (a) and p-type (b) DG ML SnS MOSFET as a function of the  $L_g$ , the set of red and green lines indicate the armchair and zigzag directions, respectively.

方向的 SS 普遍小于 armchair 方向. 沿 zigzag 方向, 空穴的有效质量 ( $0.11m_0$ ) 小于 armchair 方向的有效质量 ( $0.30m_0$ ), 从而获得较高的载流子传输速率. 对于所有类型的 ML SnS MOSFET 器件, 在相同的 UL 下, 每个传输方向上, SS 一般随  $L_g$  的减小而增大. 沿着 zigzag 方向的 p 型 3 nm 栅长 UL = 2 nm 器件的 SS 值达到了最小值 66 mV/dec.

### 3.3 讨论

在模拟 MOSFET 器件中, 使用高掺杂的 ML SnS 作为源极和漏极. 因此, 在电极和沟道区域之间不存在肖特基势垒. 然而, 由于在二维逻辑器件中缺乏可靠的掺杂方式, 通常使用金属电极注入载流子, 导致在真实器件的界面中往往存在肖特基势垒, 从而会降低器件中载流子的速率. 实验中如何消除或降低器件的肖特基势垒是实现器件高性能的有效途径之一. 与之前的实验和理论模拟一样, 通常会选择合适的金属电极来消除或减少肖特基势垒. 例如, ML BP 场效应晶体管采用石墨烯作为电极, 在界面上形成欧姆接触, 器件的开态电流为 ML BP MOSFET 的 90%. 基于密度泛函理论的量子输运理论模拟表明: 当用石墨烯做电极时, ML SnS FET 在电极区具有极小的接触电阻 (界面势垒小于 0.38 eV), 用石墨烯和石墨烯插层做 GeSe 器件的电极时具有欧姆接触<sup>[30]</sup>. 当器件使用合适的欧姆接触电极时, 真正的二维半导体的性能有望接近 MOSFET 的极限值.

基于密度泛函理论的量子输运计算, 比较了 SnS 器件与其他二维器件 (亚 5 nm ML 碲烯、砷烯、ML BP、Bi<sub>2</sub>O<sub>2</sub>Se、MoS<sub>2</sub>、InSe 和 GeSe MOSFET) 的性能, 如图 6 所示. p 型 SnS MOSFET 在 zigzag

方向的开态电流可以与 ML BP 器件相媲美, 而且与 BP 晶体管相比 SnS 器件在空气中器件性能稳定. n 型 SnS 器件的开态电流与 ML 碲烯、Bi<sub>2</sub>O<sub>2</sub>Se、砷烯、GeSe 和 InSe 器件相当. 1 nm 栅长的 ML SnS MOSFET 在 zigzag 方向可以满足 ITRS 的 HP 标准要求, 而碲烯和 InSe 晶体管满足 HP 标准的最小栅长分别为 3 nm 和 4 nm.

在二维晶体管中, 传输方向的有效质量 ( $m_{||}^*$ ) 对开态电流值的影响表现在两个方面. 1) 有效质量小导致载流子沿输运方向的速度大, 从而得到高的开态电流. 由于沿传输方向的电流定义为  $I = Nev$ ,  $N$  为载流子数目,  $v$  为载流子速度, 定义为  $v = eE\tau/m^*$ , 其中  $E$  和  $\tau$  分别为电场和弛豫时间. 2) 小的有效质量导致在 VBM 或 CBM 附近小的态密度. 因为态密度 DOS 定义为

$$\text{DOS} = \frac{g_s g_v}{2\pi\hbar^2} \sqrt{m_{||}^* m_{\perp}^*}, \quad (4)$$

其中  $g_s$  和  $g_v$  分别是自旋和谷状简并,  $m_{\perp}^*$  是垂直与传输方向的有效质量. 因此开态电流的值是有限的. 为了表述开态电流和传输方向有效质量之间的关系, 图 6 给出了 HP 标准的开态电流与不同的二维材料亚 5 nm 栅长 (MLMoS<sub>2</sub> MOSFET 在 9 nm 栅极长度) 沿传输方向的有效质量的关系.  $I_{\text{on}}$  在  $m_{||}^* = 0.30m_0$  时开始迅速下降, 在  $m_{||}^* > 0.30m_0$  时开始增大. 基于拟合曲线和曲线附近一些离散点的趋势, 可以推测在 HP 标准下当  $m_{||}^* < 0.30m_0$  时,  $I_{\text{on}}$  值由载流子的速度主导, 当  $m_{||}^* > 0.30m_0$  时由 DOS 主导. 也就是说, 无论是大的有效质量还是小的有效质量的二维材料 (拟合曲线的两端) 都可以获得较高的  $I_{\text{on}}$ . 例如, 由于具有较强的各向异性有效质量 ( $m_{\text{BP}||}^* = 0.16m_0$  和  $m_{\text{BP}\perp}^* = 5.4m_0$ ), ML



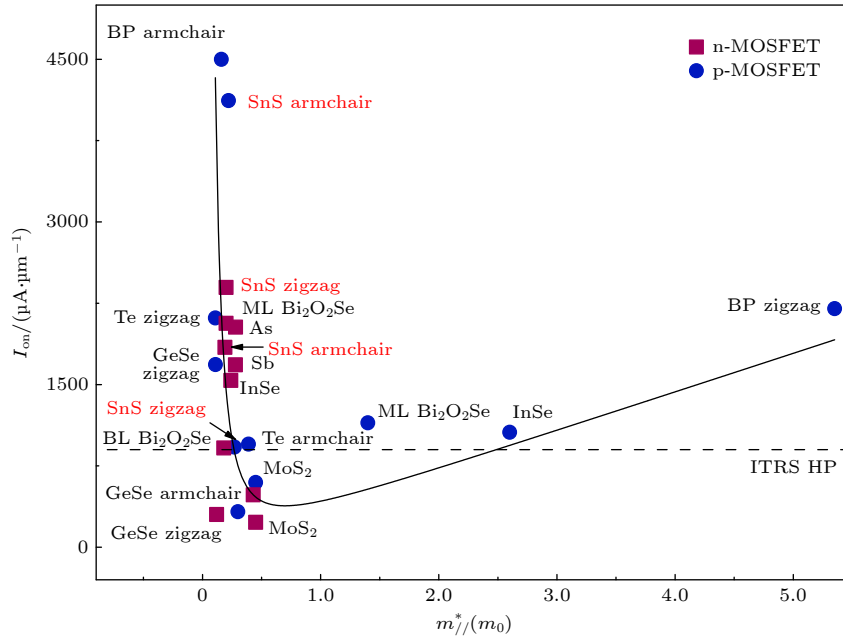


图6 n型和p型MOSFET在HP标准下亚5 nm栅长下的开态电流与ML二维沟道材料有效质量的关系,所有数据均采基于密度泛函理论的量子输运模拟计算

Fig. 6. On-state current of n- and p-type MOSFET for high-performance applications at sub-5 nm gate-lengths versus the effective mass of ML two dimensional channel materials, all the data are calculated by *ab initio* quantum transport simulations.

BP MOSFET 的  $I_{\text{on}}$  ( $4500 \mu\text{A}/\mu\text{m}$ ) 远高于其他二维材料. 由于 SnS 器件的有效质量都小于  $0.30m_0$ , 因此其器件的  $I_{\text{on}}$  是由载流子的速度主导, 而且 SnS 器件  $I_{\text{on}}$  值都能满足 HP 标准的要求. 同时与 ML BP 相比, ML SnS 有效质量的各向异性要弱得多, 其有效质量都小于  $0.30m_0$ , 因此器件的  $I_{\text{on}}$  值也集中于曲线的左半部分.

## 4 结论

采用基于密度泛函理论的量子输运模拟计算首次研究了亚 5 nm 的 n 型和 p 型 ML SnS MOSFET (沿 zigzag 方向和 armchair 方向) 器件的性能. p 型亚 5 nm 栅长 (甚至在 1 nm 栅长) ML SnS (沿 zigzag 方向) 器件的开态电流完全满足 HP 标准的要求, 这一结果也优于 1 nm 栅长 ML BP MOSFET (沿 zigzag 方向) 器件的开态电流. 对于沿 armchair 方向的 n 型 3—5 nm 栅长器件, 开态电流也能满足 HP 应用要求. 我们希望高性能亚 5 nm ML SnS MOSFET 能够在室温环境下通过实验稳定实现.

## 参考文献

[1] Cao W, Bu H M, Vinet M, Cao M, Takagi S, Hwang S, Ghani T, Banerjee K 2023 *Nature* **620** 501

[2] Liu Y, Duan X D, Shin H J, Park S, Huang Y, Duan X F 2021 *Nature* **591** 43

[3] Wang Y Y, Liu S Q, Li Q W, Quhe R, Yang C, Guo Y, Zhang X Y, Pan Y Y, Li J S, Zhang H, Xu L, Shi B W, Tang H, Li Y, Yang J, Zhang Z Y, Xiao L, Pan F, Lu J 2021 *Rep. Prog. Phys.* **84** 056501

[4] Jayachandran D, Pendurthi R, Sadaf M U K, Sakib N U, Pannone A, Chen C, Han Y, Trainor N, Kumari S, Mc Knight T V, Redwing J M, Yang Y, Das S 2024 *Nature* **625** 276

[5] <https://irds.ieee.org/editions/2022>

[6] Desai S B, Madhvapathy S R, Sachid A B, Llinas J P, Wang Q X, Ahn G H, Pitner G, Kim M J, Bokor J, Hu C H, Wong H S P, Javey A 2016 *Science* **354** 99

[7] Wu F, Tian H, Shen Y, Hou Z, Ren J, Gou G Y, Sun Y B, Yang Y, Ren T L 2022 *Nature* **603** 259

[8] Jiang J F, Xu L, Qiu C G, Peng L M 2023 *Nature* **616** 470

[9] Xin C, Zheng J X, Su Y T, Li S K, Zhang B K, Feng Y C, Pan F 2016 *J. Phys. Chem. C* **120** 22663

[10] Sarkar A S, Konidakis I, Gagaoudakis E, Maragkakis G M, Psilodimitrakopoulos S, Katerinopoulou D, Sygellou L, Deligeorgis G, Binas V, Oikonomou I M, Komminou P, Kiriakidis G, Kioseoglou G, Stratakis E 2022 *Adv. Sci.* **10** 2201842

[11] Li S B, Xiao W J, Pan Y Y, Jie J S, Xin C, Zheng J X, Lu J, Pan F 2018 *J. Phys. Chem. C* **122** 12322

[12] Chang Y R, Nishimura T, Taniguchi T, Watanabe K, Nagashio K 2022 *ACS Appl. Mater. Interfaces* **14** 19928

[13] Sucharitakul S, Rajesh Kumar U, Sankar R, Chou F C, Chen Y T, Wang C H, He C, He R, Gao X P 2016 *Nanoscale* **8** 19050

[14] Dragoman M, Dinescu A, Avram A, Dragoman D, Vulpe S, Aldrigo M, Braniste T, Suman V, Rusu E, Tiginyanu I 2022 *Nanotechnology* **33** 405207

[15] Pandit A, Hamad B 2021 *Appl. Surface Sci.* **538** 147911

- [16] Xu L, Yang M, Wang S J, Feng Y P 2017 *Phys. Rev. B* **95** 235434
- [17] Zhao P D, Kiriya D, Azcatl A, Zhang C X, Tosun M, Liu Y S, Hettick M, Kang J S, McDonnell S, KC S, Guo J H, Cho K, Wallace R M, Javey A 2014 *ACS Nano* **8** 10808
- [18] Fathipour S, Pandey P, Fullerton-Shirey S, Seabaugh A 2016 *J. Appl. Phys.* **120** 234902
- [19] Quhe R, Li Q H, Zhang Q X, Wang Y Y, Zhang H, Li J Z, Zhang X Y, Chen D X, Liu K H, Ye Y, Dai L, Pan F, Lei M, Lu J 2018 *Phys. Rev. Appl.* **10** 024022
- [20] Das S, Chen H Y, Penumatcha A V, Appenzeller J 2013 *Nano Lett.* **13** 100
- [21] Kaushik N, Nipane A, Basheer F, Dubey S, Grover S, Deshmukh M M, Lodha S 2014 *Appl. Phys. Lett.* **105** 113505
- [22] Liu Y, Guo J, Zhu E B, Liao L, Lee S J, Ding M N, Shakir I, Gambin V, Huang Y, Duan X F 2018 *Nature* **557** 696
- [23] Kim C, Moon I, Lee D, Choi M S, Ahmed F, Nam S, Cho Y, Shin H J, Park S, Yoo W J 2017 *ACS Nano* **11** 1588
- [24] Pan Y Y, Wang Y Y, Ye M, Quhe R, Zhong H X, Song Z G, Peng X Y, Yu D P, Yang J B, Shi J J, Lu J 2016 *Chem. Mater.* **28** 2100
- [25] Pan Y Y, Dan Y, Wang Y Y, Ye M, Zhang H, Quhe R, Zhang X Y, Li J Z, Guo W L, Yang L, Lu J 2017 *ACS Appl. Mater. Interfaces* **9** 12694
- [26] Zhang X Y, Pan Y Y, Ye M, Quhe R, Wang Y Y, Guo Y, Zhang H, Dan Y, Song Z G, Li J Z, Yang J B, Guo W L, Lu J 2017 *Nano Res.* **11** 707
- [27] Das S, Zhang W, Demarteau M, Hoffmann A, Dubey M, Roelofs A 2014 *Nano Lett.* **14** 5733
- [28] Liu H, Neal A T, Zhu Z, Luo Z, Xu X F, Tomanek D, Ye P D 2014 *ACS Nano* **8** 4033
- [29] Guo Y, Pan F, Zhao G Y, Ren Y J, Yao B B, Li H, Lu J 2020 *Nanoscale* **12** 15443
- [30] Guo Y, Zhao G Y, Pan F, Quhe R, Lu J 2022 *J. Electron. Mater.* **51** 4824

## First principles study of high-performance sub-5-nm monolayer SnS field-effect transistors\*

Guo Ying<sup>1)†</sup> Pan Feng<sup>1)</sup> Yao Bin-Bin<sup>1)</sup> Meng Hao<sup>1)</sup> Lü Jin<sup>2)‡</sup>

1) (School of Physics and Telecommunication Engineering, Shaanxi University of Technology, Hanzhong 723001, China)

2) (School of Physics, Peking University, Beijing 100867, China)

(Received 18 July 2024; revised manuscript received 4 September 2024)

### Abstract

Currently, Si-based field-effect transistors (FET) are approaching their physical limit and challenging Moore's law due to their short-channel effect, and further reducing their gate length to the sub-10 nm is extremely difficult. Two-dimensional (2D) layered semiconductors with atom-scale uniform thickness and no dangling bonds on the interface are considered potential channel materials to support further miniaturization and integrated electronics. Wu et al. [Wu F, et al. 2022 *Nature* **603** 259] successfully fabricated an FET with gate length less than 1 nm by using atomically thin molybdenum disulfide with excellent device performance. This breakthrough has greatly encouraged further theoretical predictions regarding the performance of 2D devices. Additionally, 2D SnS has high carrier mobility, anisotropic electronic properties, and is stable under ambient condition, which is conducive to advanced applications in 2D semiconductor technology. Herein, we explore the quantum transport properties of sub-5 nm monolayer (ML) SnS FET by using first-principles quantum transport simulation. Considering the anisotropic electronic SnS, the double-gated-two-probe device model is constructed along the armchair direction and the zigzag direction of ML SnS. After testing five kinds of doping concentrations, a doping concentration of  $5 \times 10^{13} \text{ cm}^{-2}$  is the best one for SnS FET. We also use the underlaps (ULs) with lengths of 0, 2, and 4 nm to improve the device performance. On-state current ( $I_{\text{on}}$ ) is an important parameter for evaluating the transition speed of a logic device. A higher  $I_{\text{on}}$  of a device can help to

\* Project supported by the National Natural Science Foundation of China (Grant Nos. Z20230015, 12174238), the Natural Science Basic Research Project of Shaanxi Province, China (Grant No. 2022JM-051), and the Shaanxi University of Technology Talent Introduction Programm, China (Grant No. SLGRC202401).

† Corresponding author. E-mail: [guosophia@163.com](mailto:guosophia@163.com)

‡ Corresponding author. E-mail: [jinglu@pku.edu.cn](mailto:jinglu@pku.edu.cn)

increase the switching speed of high-performance (HP) servers. The main conclusions are drawn as follows.

1)  $I_{\text{on}}$  values of the n-type 2 nm (UL = 4 armchair), 3 nm (UL = 2), 4 nm (UL = 3), 5 nm (UL = 0) and the p-type 1 nm (UL = 2 zigzag), 2 nm (UL = 2 zigzag), 3 nm (UL = 2, 4 zigzag), 4 nm (UL = 2, 4 zigzag), and 5 nm (UL = 0, armchair/zigzag) gate-length devices can meet the standards for HP applications in the next decade in the International Technology Roadmap for semiconductors (ITRS, 2013 version).

2)  $I_{\text{on}}$  values of the n-type device along the armchair direction (31–2369  $\mu\text{A}/\mu\text{m}$ ) are larger than those in the zigzag direction (4.04–1943  $\mu\text{A}/\mu\text{m}$ ), while  $I_{\text{on}}$  values of the p-type along the zigzag direction (545–4119  $\mu\text{A}/\mu\text{m}$ ) are larger than those in the armchair direction (0.7–924  $\mu\text{A}/\mu\text{m}$ ). Therefore, the p-type ML GeSe MOSFETs have a predominantly anisotropic current.

3)  $I_{\text{on}}$  value of the p-type 3 nm gate-length (UL = 0) device along the zigzag direction has the highest value 4119  $\mu\text{A}/\mu\text{m}$ , which is 2.93 times larger than that in the same gate-length UL = 2 (1407  $\mu\text{A}/\mu\text{m}$ ). Hence, an overlong UL will weaken the performance of the device because the gate of the device cannot well control the UL region. Thus, a suitable length of UL for FET is very important.

4) Remarkably,  $I_{\text{on}}$  values of the p-type devices (zigzag), even with a gate-length of 1 nm, can meet the requirements of HP applications in the ITRS for the next decade, with a value as high as 1934  $\mu\text{A}/\mu\text{m}$ . To our knowledge, this is the best-performing device material reported at a gate length of 1 nm.

5) Subthreshold swing (SS) evaluates the control ability of the gate in the subthreshold region. The better the gate control, the smaller the SS of the device is. The limit of SS for traditional FET is 60 mV/dec (at room temperature). Values of SS for ML SnS FET along zigzag direction are less than those along the armchair direction because the leakage current is influenced by the effective mass.

**Keywords:** quantum transport simulation, monolayer SnS, sub-5 nm field-effect transistor, on-state current

**PACS:** 73.63.-b, 85.30.Tv, 31.15.A-, 31.15.E

**DOI:** [10.7498/aps.73.20241004](https://doi.org/10.7498/aps.73.20241004)

**CSTR:** [32037.14.aps.73.20241004](https://cstr.cn/32037.14.aps.73.20241004)



## 单层SnS场效应晶体管的第一性原理研究

郭颖 潘峰 姚彬彬 孟豪 吕劲

### First principles study of high-performance sub-5-nm monolayer SnS field-effect transistors

Guo Ying Pan Feng Yao Bin-Bin Meng Hao Lü Jin

引用信息 Citation: *Acta Physica Sinica*, 73, 207304 (2024) DOI: 10.7498/aps.73.20241004

在线阅读 View online: <https://doi.org/10.7498/aps.73.20241004>

当期内容 View table of contents: <http://wulixb.iphy.ac.cn>

---

## 您可能感兴趣的其他文章

### Articles you may be interested in

#### 铁电负电容场效应晶体管研究进展

Recent research progress of ferroelectric negative capacitance field effect transistors

物理学报. 2020, 69(13): 137701 <https://doi.org/10.7498/aps.69.20200354>

#### 垂直短沟道二硫化钼场效应晶体管

Vertical short-channel MoS<sub>2</sub> field-effect transistors

物理学报. 2022, 71(21): 218502 <https://doi.org/10.7498/aps.71.20220738>

#### 一个圆柱形双栅场效应晶体管的物理模型

A physical model of cylindrical surrounding double-gate metal-oxide-semiconductor field-effect transistor

物理学报. 2021, 70(15): 157302 <https://doi.org/10.7498/aps.70.20202156>

#### 纳米线环栅隧穿场效应晶体管的电容模型

Capacitance model for nanowire gate-all-around tunneling field-effect-transistors

物理学报. 2021, 70(21): 218501 <https://doi.org/10.7498/aps.70.20211128>

#### 短沟道金属-氧化物半导体场效应晶体管的散粒噪声模型

Shot noise model of the short channel metal-oxide-semiconductor field-effect transistor

物理学报. 2020, 69(17): 177102 <https://doi.org/10.7498/aps.69.20200497>

#### 10 nm金属氧化物半导体场效应晶体管中的热噪声特性分析

Analysis of thermal noise characteristics in 10 nm metal oxide semiconductor field effect transistor

物理学报. 2023, 72(22): 227303 <https://doi.org/10.7498/aps.72.20230661>